

有機 4 値論理回路の開発 (II) : 並列型アンチ・アンバイポーラトランジスタ

Development of quaternary logic circuit: parallel-type antiambipolar transistors

物材機構¹, 東理大² ○高橋 海斗^{1,2}, 早川 竜馬¹, 金井 要², 若山 裕^{1,2}

NIMS¹, Tokyo Univ. of Sci.², ○Kaito Takahashi^{1,2}, Ryoma Hayakawa¹, Kaname Kanai², Yutaka Wakayama^{1,2}

E-mail: TAKAHASHI.Kaito@nims.go.jp

【はじめに】IoT 社会の実現に向け、柔軟性と軽量性を併せ持つ高性能有機集積回路の開発が必要とされている。この課題に対して我々は演算値の多値化による集積度の向上に取り組んできた。本講演では、4 値論理回路の実現に向けてアンチ・アンバイポーラトランジスタ(AAT)を並列接続することで I_D - V_G 特性に明瞭な 2 つの負性微分トランスコンダクタンス (NDT) を観測できたことを報告する。AAT はチャンネル内に PN 接合を有し、ドレイン電流が増減する NDT を室温で示す^[1]。この特異な伝導現象を利用し、AAT と N 型トランジスタを組み合わせた 3 値論理回路を開発してきた。近年ではさらに AAT の PN 接合数を増やすことで 2 つの NDT 領域を形成し、4 値論理回路動作に成功した^[2]。しかし、出力電圧のバランスやノイズマージンなどの特性に改善の余地が残る。この問題を解決するために本研究では AAT を並列に接続した回路を作製した。ここではふたつの AAT の PN 接合位置とドレイン電圧値を独立に制御することでバランスの取れた 4 値論理回路を目指している。

【実験及び結果】並列型 AAT の素子断面図と平面図を Fig.1(a), (b)に示す。SiO₂/Si 基板を支持基板とし、ボトムゲート電極として Cr (3 nm)/Au (30 nm) を真空蒸着した。その後、ゲート絶縁膜として HfO₂ (30 nm) を原子層堆積法により形成し、CYTOP (20 nm) をコーティングした。続いて P 型半導体として α -sexithiophene (α -6T) (15 nm) を成膜し、N 型半導体として PTCDI-C8 (15 nm)をソースからドレインまで架橋させ並列型 AAT を作製した。

Fig. 1(c)に I_D - V_G 特性を示す。 $V_G = -2.3$ V (V_{peak1})と -6.7 V (V_{peak2})に Fig. 1(b)の AAT 1、2 に起因する 2 つの分離したピーク電流を観測できた。この成果は、以下に示す 2 つの効果により達成した。まずふたつの AAT における PN 接合位置を変えることにより、 V_{peak1} と V_{peak2} の間隔を 1 V 程度シフトさせた。これは PN 接合位置の変化により実効的なチャンネル長が変化したことに起因する。2 つ目はドレイン電圧の効果で、ドレイン電極を D1 および D2 に分離し、異なる電圧を印加することで V_{peak1} と V_{peak2} の間隔をさらに 3 V 程度シフトさせた。このように、PN 接合位置とドレイン電圧という 2 つのパラメータによりふたつのピーク電圧 (V_{peak1} , V_{peak2})を制御できるため、4 値論理回路の特性向上が期待できる。

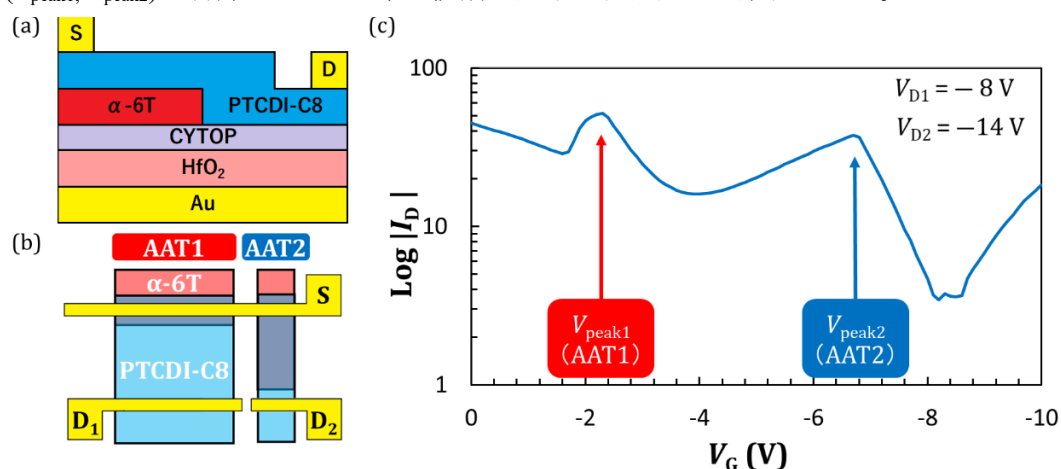


Fig.1 (a) Cross-section and (b) top view of a parallel-type AAT. (c) I_D - V_G curve of double-peak AAT.

【参考文献】 [1] K. Kobashi *et al.*, *Adv. Electron. Mater.* 3, 1700106 (2017). [2] D. Panigrahi *et al.*, *Adv. Funct. Mater.* 33, 2213899 (2023).