

MOSFET の極低温動作における DIBL パラメータ過剰見積の発生条件 Condition to overestimate DIBL parameter in cryogenic operation of MOSFETs

東京理科大¹, 産総研² ○(M1) 小林 唯華^{1,2}, 浅井 栄大², 飯塚 将太²,

服部 淳一², 池上 努², 福田 浩一², 二国 徹郎¹, 森 貴洋²

Tokyo Univ. of Science¹, AIST², ○Yuika Kobayashi^{1,2}, Hidehiro Asai², Shota Iizuka²,
Junichi Hattori², Tsutomu Ikegami², Koichi Fukuda², Tetsuro Nikuni¹, and Takahiro Mori²

E-mail: kobayashi-yuika@aist.go.jp

【背景】極低温環境における MOSFET の動作機構の解明は、量子コンピュータの制御用集積回路の実現にむけて重要である。回路設計において重要なパラメータの 1 つに DIBL (Drain Induced Barrier Lowering) がある。極低温下においては、拡散キャリアの減少とそれに伴うチャネル/ドレイン間の容量低下が発生するため、直感的には DIBL が抑制されると考えられる。一方で、近年極低温下において DIBL が増大するという報告が複数ある[1]。我々はこれまでに、ゲートに対するソース/ドレイン (S/D) のアンダーラップが存在する場合、低 V_d 条件下での V_t が異常を示し、DIBL パラメータが過剰に見積られ、DIBL が増大したように見えてしまう可能性を指摘した[2]。今回我々は、このような過剰見積が発生する条件を、TCAD シミュレーションを用いて詳細に検討したので、これを報告する。その原因は S/D アンダーラップ状況下での I_d - V_g 特性の異常な V_d 依存性にある。

【シミュレーション方法】産総研が独自開発する Impulse TCAD[3] を用いた。極低温特性計算のために、フェルミ・ディラック分布に対応した一般化されたアインシュタインの関係式[4]と、フリーズアウトを考慮したドーパントのイオン化モデル[5]を組み込んでいる。短チャネル pMOSFET を想定しており、計算に用いたデバイスのモデル図を Fig. 1 に示す。

【結果・考察】アンダーラップ長 L_{under} が 15 nm のときのデバイスについて、15 K における I_d - V_g 特性のシミュレーション結果を Fig. 2 に示す。 $|V_d|=0.2$ V 以下の低 $|V_d|$ 領域において、 $|V_d|$ の低下に伴う $|V_t|$ の急激な増加が見られる。アンダーラップのために発生するチャネル両端のポテンシャル障壁が、 $|V_d|$ の低下と共に発生、チャネルが切断されるためである[2]。一方、 $|V_d|=0.2$ V 以上の $|V_d|$ 領域においては、ソース・チャネル・ドレイン間が電氣的に接続された結果、通常の DIBL 現象による $|V_t|$ の低下がみられている。ここで、DIBL パラメータを線形領域での閾値電圧 $V_t(V_d=V_{d-\text{low}})$ と飽和領域での閾値電圧 $V_t(V_d=-1$ V) の差で定義する。このときの DIBL パラメータの $V_{d-\text{low}}$ 依存性を Fig. 3 に示す。15 K において、低 $|V_{d-\text{low}}|$ 領域での DIBL パラメータは、低 $|V_d|$ 領域における V_t の急激な低下を反映し、室温時よりも大きい値を見せている。このように、アンダーラップが存在している状況下で、 $V_{d-\text{low}}$ の設定によっては DIBL パラメータが過剰見積られ、DIBL が増大しているかのように見えることになる。

【謝辞】この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものである。

【参考文献】[1] Y. Zhang *et al.*, IEEE Trans. Electron Devices **68**, 4267 (2021). [2] T. Inaba *et al.*, Appl. Phys. Express **15**, 084004 (2022). [3] T. Ikegami *et al.*, J. Comput. Electron. **18**, 534 (2019). [4] K. M. Van Vliet and A. H. Marshak, Phys. Status Solidi B **78**, 501 (1976). [5] P. P. Altermatt *et al.*, J. Appl. Phys. **100**, 113715 (2006).

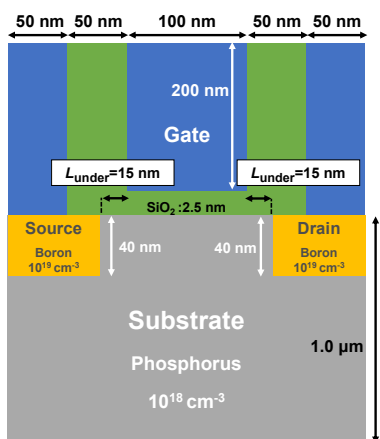


Fig. 1 Schematic of pMOS device structure.

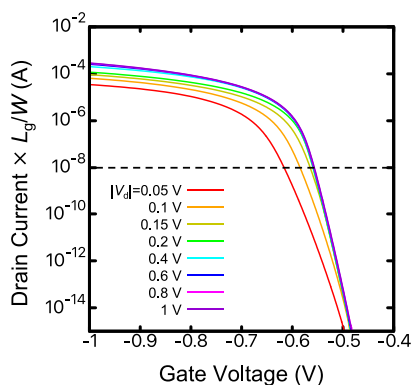


Fig. 2 $I_d \times L_g/W$ versus V_g characteristics at 15 K. V_t values were calculated by constant current method at 10 nA.

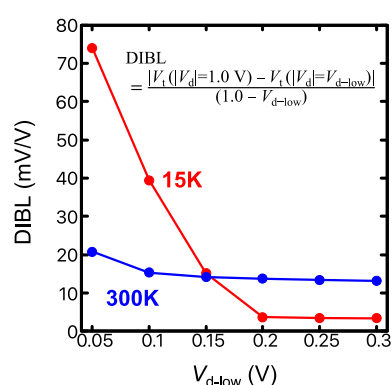


Fig. 3 $V_{d-\text{low}}$ dependence of DIBL parameter at 15 K and 300 K.