

量子殻 GaN 系 LD のトンネル接合層の炉内その場活性化アニール条件の最適化 Optimization of in situ activation annealing conditions for tunnel junction layers of quantum-shell GaN-based LDs

○高橋美月, 山中優輝, 伊井詩織, 島綾香, 稲葉颯磨, 久保田光星, 服部祐汰,
竹内哲也, 岩谷素顕, 上山智
名城大学・理工学部

○Mizuki Takahashi, Yuki Yamanaka, Shiori Ii, Ayaka Shima, Soma Inaba, Kosei Kubota, Yuta Hattori, Tetsuya Takeuchi, Motoaki Iwaya, Satoshi Kamiyama
Faculty of Science and Technology, Meijo University

Email: 223428015@ccalumni.meijo-u.ac.jp

【はじめに】本研究グループは、コアシェル型 GaN ナノワイヤ (NW) を用いた半導体レーザーにおいて、電流注入の際にトンネル接合 (TJ) を介して、n-GaN で埋め込む構造を検討している。このような構造を用いたデバイスの課題として、トンネル接合層の抵抗が高いことが挙げられる。原因の一つとして、p-GaN が水素パッシベーションにより高抵抗化することが考えられる。その改善のためにはその場活性化アニールを行う必要がある[1]。また、非極性面である m 面では c 面よりも駆動電圧が高く、Mg の活性化が難しくなることが想定される[2]。本研究では、トンネル接合層の低抵抗化を目指し炉内その場活性化アニールの時間依存性を検討した。

【実験方法】Fig. 1 に試料の断面構造図を示す。ナノインプリントリソグラフィ加工を施し、SiO₂ マスクにホールパターンを形成した n-GaN 上に MOVPE 法を用いて、GaN NW、GaInN 系量子殻、p-GaN 層、TJ 層を積層し n-GaN を 3 段階成長で埋め込んだ。トンネル接合層は p⁺-GaN および n⁺⁺-GaN にて構成した構造を用いた。本検討ではトンネル接合層の p⁺-GaN の成長後に炉内その場活性化アニールを N₂ 雰囲気、700 °Cで行った。本研究室の c 面成長での炉内活性化アニールの最適条件である 15 min をベースに、炉内その場活性化アニール時間を 15~45 min の 3 水準で作製し比較した。作製したサンプルは SEM によって構造評価、デバイス化後に I-V 特性による評価を行った。

【結果と考察】Fig. 2 にアニール時間を変更した際の I-V 特性を示す。結果として活性化時間により立ち上がり電圧および駆動電圧の違いが確認された。また、微分抵抗はほぼ同程度であることも同時に確認された。アニール時間 30 min のサンプルの立ち上がり電圧が最も低い約 5.6 V であり、c 面成長の場合に比べて長時間の炉内活性化アニールが有効であることが示唆された。NW では Mg の活性化が困難と考えられる m 面が存在し、c 面の最適条件のアニール時間 15 min では活性化が不十分であったと考えられる。一方、アニール時間 45 min のサンプルは 30 min の場合に比べ立ち上がり電圧が高くなってしまった。炉内活性化アニールを行っている間は NH₃ の供給を行っていないため、長時間高温下にあったことで熱の影響が示唆される。ただし、立ち上がり電圧 5.6 V は c 面の同様に作製した場合のデバイスと比べて未だ高いことからさらなる最適化が必要であると考えられる。

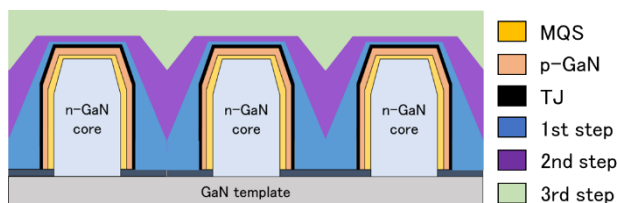


Fig. 1 growth structure

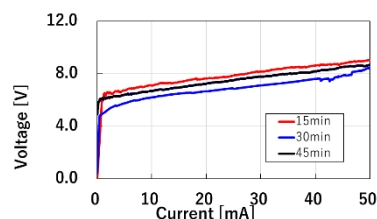


Fig. 2 I-V 特性

【参考文献】[1] 神谷直樹“その場 Mg 活性化を用いた低抵抗 GaN 系トンネル接合に関する研究” (名城大学 理工学研究科 令和 4 年度修士学位論文)

[2] 山村志織“量子殻デバイスへのトンネル接合導入のための m 面 GaN 基板上トンネル接合成長に関する検討 (2)” (第 69 回応用物理学会春季学術講演会 22p-E202-11)

【謝辞】本研究の一部は文部科学省・私立大学研究ブランディング事業、JST-A-STEP(JPMJTR201D)、NEDO 先導研究、および科学研究費補助金基盤研究 A(22H00304)の援助により実施した。