

Oral presentation 13 Semiconductors : 13.4 Si processing /Si based thin film / MEMS / Equipment technology
--

📅 Tue. Sep 19, 2023 9:00 AM - 11:45 AM JST | Tue. Sep 19, 2023 12:00 AM - 2:45 AM UTC | 🏢 A301 (KJ Hall)

[19a-A301-1~10] 13.4 Si processing /Si based thin film / MEMS / Equipment technology

Tatsuya Okada(Univ. of the Ryukyus), Yan Wu(Tokyo Inst. of Tech.)

9:00 AM - 9:15 AM JST | 12:00 AM - 12:15 AM UTC

[19a-A301-1] [Young Scientist Presentation Award Speech] Atomic-Scale and Real-Time Observation of Solid-Phase Epitaxial Growth in Thin Silicon Film using *in situ* Heating High-Resolution TEM

○Manabu Tezura¹, Takanori Asano¹, Riichiro Takaishi¹, Mitsuhiro Tomita¹, Masumi Saitoh¹, Hiroki Tanaka¹ (1.Kioxia Corp.)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

9:15 AM - 9:30 AM JST | 12:15 AM - 12:30 AM UTC

[19a-A301-2] Nucleation control for low defects and high mobility in polycrystalline GeSn thin films

○Shintaro Maeda¹, Takamitsu Ishiyama¹, Kenta Moto², Keisuke Yamamoto², Takashi Suemasu¹, Kaoru Toko¹ (1.Univ. of Tsukuba, 2.Kyushu Univ.)

9:30 AM - 9:45 AM JST | 12:30 AM - 12:45 AM UTC

[19a-A301-3] Explosive Crystallization of Amorphous Ge Films on Substrates by Irradiation with a Low-Energy Electron Beam

○Hibiki Sakamoto¹, Ryusuke Nakamura¹, Junichi Yanagisawa¹, Taizoh Sadoh² (1.Univ. of Shiga Pref., 2.Kyushu Univ.)

9:45 AM - 10:00 AM JST | 12:45 AM - 1:00 AM UTC

[19a-A301-4] Formation of a-SiC thin films using vinylsilane and Tri-methyl-aluminum

○Yuuki Tsuchiizu¹, Kouki Ono², Kennichi Uehara³, Shigeo Yasuhara³, Wakana Takeuchi¹ (1.Aichi Inst. of Tech., 2.Nagoya Univ. Eng., 3.Japan advanced chemicals Ltd.)

10:00 AM - 10:15 AM JST | 1:00 AM - 1:15 AM UTC

[19a-A301-5] Reduction of Schottky barrier height for Mo/n-Si junctions by inserting MoSi_n

○Naoya Okada¹, Noriyuki Uchida¹, Toshihiko Kanayama¹ (1.AIST)

10:30 AM - 10:45 AM JST | 1:30 AM - 1:45 AM UTC

[19a-A301-6] Linear agglomeration during the CW-laser lateral crystallization of Si films (2)

○Nobuo Sasaki^{1,2}, Satoshi Takayama², Rikuto Sasai², Yukiharu Uraoka² (1.Sasaki Consulting, 2.NAIST)

10:45 AM - 11:00 AM JST | 1:45 AM - 2:00 AM UTC

[19a-A301-7] Linear agglomeration during the CW-laser lateral-crystallization of Si films (3)

○Rikuto Sasai¹, Nobuo Sasaki^{1,2}, Satoshi Takayama¹, Yukiharu Uraoka¹ (1.NAIST, 2.Sasaki Consulting)

11:00 AM - 11:15 AM JST | 2:00 AM - 2:15 AM UTC

[19a-A301-8] Infinite growth of single crystal (001) strip in Ge films by micro chevron laser scanning

○WENCHANG YEH¹, Takashi Osato¹ (1.Shimane Univ.)

11:15 AM - 11:30 AM JST | 2:15 AM - 2:30 AM UTC

[19a-A301-9] Crystallization of a-Si Films Deposited by RF Sputtering using Blue Direct Diode Laser (Part 4)

○Tatsuya Okada¹, Takashi Noguchi¹, Mitsuoki Hishida², Kentaro Miyano², Naohiko Kobata², Masaki Nobuoka² (1.Univ. Ryukyus, 2.Panasonic Connect)

11:30 AM - 11:45 AM JST | 2:30 AM - 2:45 AM UTC

[19a-A301-10] Ultra-high concentration p⁺n junctions by excimer laser doping

○Ren aoki¹, Keita Katayama¹, Daisuke Nakamura¹, Hisato Yabuta¹, Hiroshi Ikenoue¹, Taizoh Sadoh¹ (1.Kyushu Univ.)

加熱その場高分解能 TEM による薄膜 Si 固相エピタキシャル成長の 原子スケールリアルタイム観察

Atomic-Scale and Real-Time Observation of Solid-Phase Epitaxial Growth
in Thin Silicon Film using *in situ* Heating High-Resolution TEM

手面学, 浅野孝典, 高石理一郎, 富田充裕, 齋藤真澄, 田中洋毅
キオクシア株式会社 メモリ技術研究所

M. Tezura, T. Asano, R. Takaishi, M. Tomita, M. Saitoh, and H. Tanaka

Institute of Memory Technology R&D, Kioxia Corporation

E-mail: manabu1.tezura@kioxia.com

固相結晶化(SPC)によって形成された多結晶 Si チャンネルの薄膜トランジスタについて, 結晶粒界や粒内欠陥といった微細構造による移動度劣化や閾値電圧のバラつきが報告されている[1]. 粒径が大きく, かつ粒内欠陥が少ない多結晶 Si を得るために, SPC のメカニズム理解が進められてきた. 熱処理によるアモルファス Si (a-Si) 薄膜の SPC では, 膜内に無数に存在する微結晶 Si (c-Si) と結晶化していない a-Si の局所的な界面で固相エピタキシャル(SPE)成長が個々に進展し, 多結晶 Si が形成される. これまでは, 主にラマン分光[2], X 線回折, および加熱前後の透過電子顕微鏡(TEM)像の解析から Si 薄膜全体の平均的な結晶成長の情報を得て, SPC に関する議論がなされてきた. 一方で, 形成される多結晶 Si の微細構造を決定する c-Si/a-Si 界面での原子スケールでの結晶成長の描像は未解明であった. 本研究では, 内部構造である界面を原子スケールかつリアルタイムで唯一直接観察できるその場高分解能 TEM を適用し, c-Si/a-Si 局所界面での SPE 成長の素過程を解析した.

化学気相堆積法(CVD)を用いて SiO₂ 層に挟まれた CVD-a-Si 層のサンプルを作製した. このサンプルの一部を集束イオンビーム・走査電子顕微鏡複合装置(FIB-SEM)を用いて薄片化し, 加熱ホルダー用の MEMS チップにマウントした. TEM 内で 900 K に加熱し, Si 原子面の形成過程を 100 frame/s でその場観察した.

550°Cにおいて Si 微結晶と a-Si の界面(Fig. 1, 赤線枠)で, Si(111)原子面が形成される過程を解析した結果, 連続的な SPE 成長(従来から知られている”理想的な”成長モード)と粒内欠陥の形成が生じる不連続な SPE 成長(新しいモード)の存在を初めて区別できた. 連続的な SPE 成長では, 無欠陥の Si 結晶粒が形成されることがわかった. 一方, 不連続な SPE 成長では, 未結晶領域が Si 結晶粒の内部に残り, 結晶化が粒内側に向かって進展し, 粒内欠陥の起源となることが示唆された.

本研究では, 原子スケールでの結晶成長に着目し, 大粒径で欠陥のない多結晶 Si チャンネルを形成するためのプロセス制御の糸口となる知見を得た.

参考文献

[1] M. Oda *et al.*, IEDM, p. 125 (2015). [2] C. Spinella *et al.*, J. Appl. Phys. **84**, 5383 (1998). [3] M. Tezura *et al.*, SSDM, p. 309 (2022).

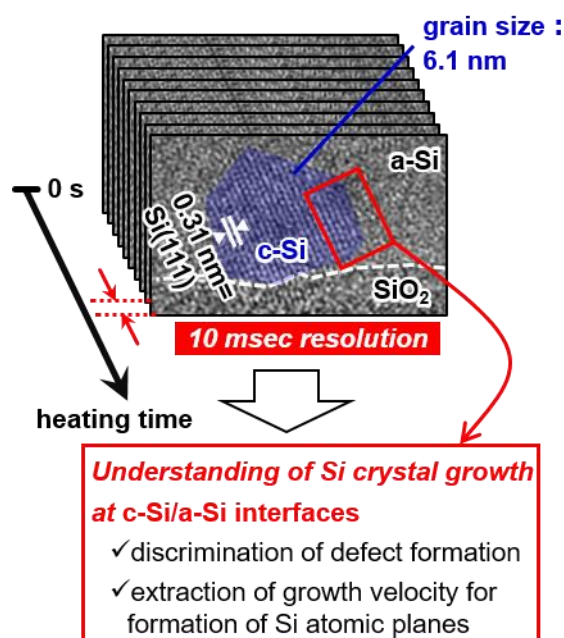


Fig. 1: Concept of real-time observation system in this study (Revised from [3], © 2022 The Japan Society of Applied Physics). The region surrounded by the red line rectangle frame is the local interface between a-Si and c-Si.

核発生制御による多結晶 GeSn 薄膜の低欠陥・高移動度化

Nucleation control for low defects and high mobility in polycrystalline GeSn thin films

筑波大院 数理解物質¹, 九大院 総合理工²°前田真太郎¹, 石山隆光¹, 茂藤健太², 山本圭介², 末益崇¹, 都甲薫¹Univ. of Tsukuba¹, Kyushu Univ.²

°S. Maeda, T. Ishiyama, K. Moto, K. Yamamoto, T. Suemasu, and K. Toko

E-mail: maeda.shintaro.tg@alumni.tsukuba.ac.jp

【はじめに】薄膜トランジスタの高速化に向けて、絶縁体基板上に Ge 系薄膜を合成する研究が活発化している。しかし、トランジスタ応用に望ましい薄い膜 (≤ 50 nm) では結晶粒径、電気的特性の顕著な劣化が課題である。特に Ge の固相成長では過剰な基板界面核発生が原因であるため[1,2]、核発生の制御により薄い膜の結晶粒径と電気的特性の改善を検討した。

【実験方法】石英ガラス基板を加熱しながら非晶質 GeSn を真空蒸着した。核発生制御のため、核生成層 (125 °C 堆積) と核抑制層 (75 °C 堆積) を連続堆積した。核生成層の導入位置は下部 (Bottom)、内部 (Middle) および上部 (Top) に導入した (Fig. 1)。全膜厚 50 nm のうち 25 nm が核生成層である。その後、N₂ 中で熱処理 (400 °C, 50 h) して固相成長を誘起し、多結晶 (poly-) GeSn 薄膜を得た。さらに Ar 中でポストアニール (500 °C, 5 h) を行った。

【結果・考察】結晶化開始までの潜伏時間が核生成層の導入位置によって変化し、Top 構造において最も大きな結晶粒径が得られた (Fig. 1)。Middle 構造では核発生だけでなく、核成長を過度に抑制したため Top 構造より粒径が小さくなったと推察される。Top 構造についてさらに Sn 添加を行い、組成依存性を調査した。Fig. 2(a) は最大の粒径が得られた GeSn 薄膜 (Sn 組成: 2%) の逆極点 (IPF) 像である。また透過電子顕微鏡 (TEM) を用いた断面評価により、平坦膜の形成と単一結晶粒に対応する明るいコントラストの領域が確認された (Fig. 2(b))。制限視野電子回折像 (SAED) においても単一粒に起因した明瞭なスポットが見られ、Sn の析出は確認されなかった (Fig. 2(c))。非晶質時の二層構造に起因した界面はなく、均一な多結晶膜が得られたことが判る (Fig. 2(d))。Fig. 3 にこれまでに報告されている Ge(Sn) 薄膜 (~50 nm) の電気的特性をまとめた。薄い膜において膜全体が空乏化可能な低い値 ($\sim 4 \times 10^{17} \text{ cm}^{-3}$) と高い移動度の両立は困難であった。しかし核発生位置の変調と Sn 添加により、低い正孔密度 ($3 \times 10^{17} \text{ cm}^{-3}$) と、高い移動度 ($260 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) の両立を達成した。当日は核発生制御のメカニズムから電気的特性との関係まで包括的に議論する。

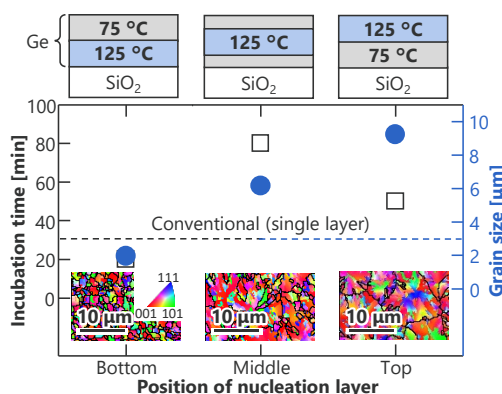


Fig. 1 Influence of the introduction position of nucleation layer on incubation time, grain size and their IPF images.

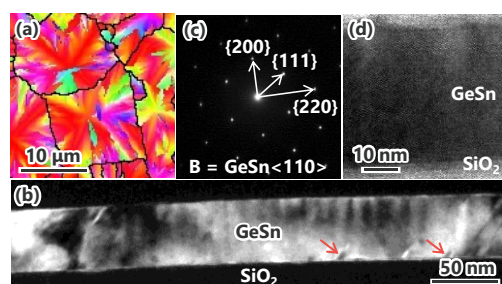


Fig. 2 Electron backscattering diffraction analysis and cross-sectional observation of GeSn film (Sn composition: 2%). (a) IPF image. (b) Dark-field TEM image, where red arrows represent twin grain boundaries. (c) SAED pattern of GeSn <110> zone axis obtained from a 200-nm diameter selected area. (d) High-resolution image of a typical area.

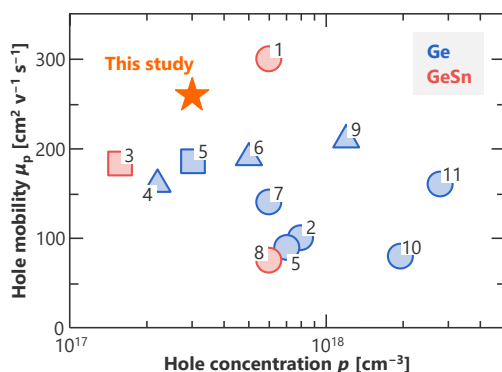


Fig. 3 Summary of hole concentration and mobility for ~50 nm thick poly-Ge(Sn) thin films synthesized on insulators. The circular, triangular, square and star symbols indicate poly Ge(Sn) grown directly on the substrate, pseudo single-crystal Ge formed by metal-induced crystallization, poly-Ge(Sn) thinned by polishing after thick-film growth, and poly-GeSn obtained in this study, respectively.

[1] C. Xu et al., *Appl. Phys. Lett.* **115**, 042101 (2019).

[2] R. Yoshimine et al., *Appl. Phys. Express* **11**, 031302 (2018).

[3] K. Moto et al., *IEEE Electron Device Lett.* **42**, 1735 (2021).

[4] J.-H. Park et al., *Appl. Phys. Lett.* **103**, 082102 (2013).

[5] K. Moto et al., *Appl. Phys. Lett.* **114**, 212107 (2019).

[6] H. Higashi et al., *Appl. Phys. Lett.* **111**, 222105 (2017).

[7] K. Toko et al., *Solid. State. Electron.* **53**, 1159 (2009).

[8] T. Sadoh et al., *Appl. Phys. Lett.* **109**, 232106 (2016).

[9] K. Kasahara et al., *Appl. Phys. Lett.* **107**, 142102 (2015).

[10] R. Oishi et al., *Jpn. J. Appl. Phys.* **61**, SC1086 (2022).

[11] K. Usuda et al., *Appl. Phys. Express* **7**, 056501 (2014).

基板に成膜したアモルファス Ge 薄膜への低エネルギー電子ビーム照射による爆発的結晶化

Explosive Crystallization of Amorphous Ge Films on Substrates by Irradiation with a Low-Energy Electron Beam

滋賀県大工¹, 九大工² ◯(M2)坂元 響¹, 仲村 龍介¹ 柳澤 淳一¹ 佐道 泰造²

Univ. of Shiga Pref.¹, Kyushu Univ.², ◯Hibiki Sakamoto¹, Ryusuke Nakamura¹, Junichi Yanagisawa¹, Taizoh Sadoh²

E-mail: oe21hsakamoto@ec.usp.ac.jp

【緒言】これまでに、アモルファスゲルマニウム(a-Ge)[1]や錫合金[2]の薄膜に 3 keV の電子ビームを照射すると、瞬間的かつ広域に結晶化する爆発的結晶化が起こることを報告した．先行の研究は、透過型電子顕微鏡による結晶化組織の観察を意図して、グリッドにすくった、基板に支持されない薄膜に対するものであった．本研究では、基板に成膜した a-Ge において、低エネルギーの電子ビーム照射により爆発的結晶化が起こる条件を調べた．

【実験方法】高周波スパッタリング装置を用いて a-Ge 薄膜を作製した．厚さ 0.5 mm のシリコンおよび厚さ 0.05 mm のガラスを基板とした．基板温度を室温に維持して、高周波電力を 50 W および Ar 圧力を 0.74 Pa として成膜した．膜厚を 40~400 nm とした．電子ビームの照射には走査型電子顕微鏡 (SEM, Hitachi S-3400N) を用いた．触針式プロファイラを用いて、薄膜を堆積して湾曲した基板の曲率半径を求め、薄膜の残留応力を評価した．

【実験結果と考察】Fig. 1(a)および(b)は厚さ 0.05 mm のガラス基板に成膜した試料の光学顕微鏡像である．薄膜の厚さ 40 nm (a)の表面は平滑であるのに対し、400 nm (b)の表面には起伏 (しわ) が生じた．これらに対して 1 – 5 keV の電子ビームを照射したところ、起伏が生じた 400 nm の試料において、Fig 1(c)の SEM 像に示すように爆発的結晶化特有の渦巻き模様が現れた．膜厚の増大によって生じる表面起伏が爆発的結晶化の必要条件となる．起伏の原因として薄膜の残留応力が考えられる．ガラス基板に a-Ge 薄膜を 40, 120 および 360 nm 成膜すると表面の起伏は生じないが、基板は湾曲した．膜厚 360 nm の曲率半径から、残留応力は 940 MPa と得られた．当日は、膜厚と残留応力の関係を発表する．

[1]R.Nakamura et al., J. Appl. Phys. 129, 215301 (2021).

[2]R.Nakamura et al., J. Appl. Phys., 133, 185304 (2023).

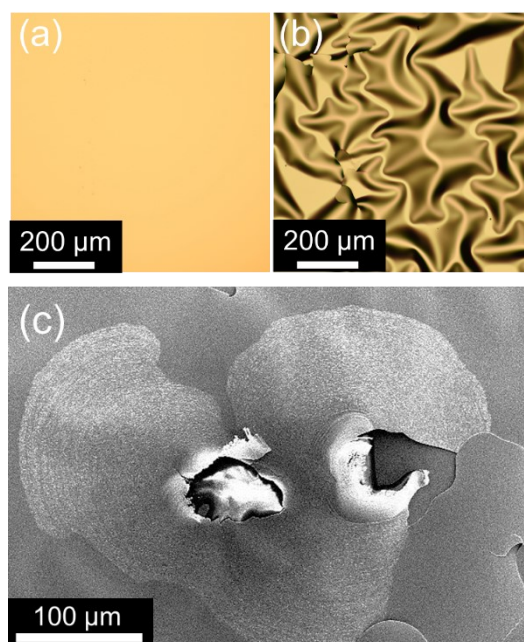


Fig 1. Optical microscope images of an a-Ge film deposited on a glass substrate of 0.05 μm in thickness; the film thickness of sample (a) and (b) is 40 and 400 nm, respectively. (c) A SEM image of a region of sample (b) irradiated with an electron beam.

トリメチルアルミニウムとビニルシランを用いた p 型 a-SiC 薄膜形成 Formation of a-SiC thin films using vinylsilane and Tri-methyl-aluminum

愛知工大¹, 名大院工², Japan Advanced Chemicals Ltd.³

°(M1)土射津 佑起¹, (D)小野 浩毅², 上原 賢一³, 安原 重雄³, 竹内 和歌奈¹

Aichi Inst. of Tech.¹, Nagoya Univ. Eng.², Japan Advanced Chemicals Ltd.³

°Yuuki Tsuchiizu¹, Kouki Ono², Kennichi Uehara³, Shigeo Yasuhara³, Wakana Takeuchi²

E-mail: wtakeuchi@aitech.ac.jp

【はじめに】シリコンカーバイド (SiC) は堅牢かつ高い化学的安定性から電極への耐腐食性コーティング材料の応用が期待されている[1]。導電性コーティング応用では、SiC に伝導性を持たせるためドーピングが必須であり、低温で n 型または p 型 SiC 薄膜を作製するためには in-situ ドーピングが必要である。

これまで我々のグループはビニルシラン原料単体を用いてアモルファス SiC (a-SiC) を様々な基板上に熱化学気相成長 (CVD) 法で成膜してきた[2]。リン原料をビニルシランに同時供給することで n 型 a-SiC の形成が可能である知見を得てきた[3]。仕事関数を大きく変えるためには p 型も必要となる。そこで、本研究では p 型 a-SiC 薄膜形成に向けて、トリメチルアルミニウム(TMA)をビニルシラン原料に同時供給を行った。

【実験方法】SiC 薄膜はビニルシランと TMA を同時供給し、ホットウォール CVD 装置を用いて、Si (100)基板上 ($\geq 20 \text{ k } \Omega \text{ cm}$ と $12 \sim 16 \text{ } \Omega \text{ cm}$)に成長させた。ビニルシランの流量は 2 sccm であり、TMA はニードルバルブの開口長により供給量を調整し 0~0.50 mm で変化させた。希釈ガスの Ar は 200 sccm である。成長時間は 1 時間行い、成長圧力は 1 Torr、ヒータ温度は 800 度で行った。SiC 薄膜の評価は X 線回折 (XRD)、フーリエ変換赤外分光光度 (FT-IR) 測定、光電子分光法 (XPS)、4 短針測定を行った。

【結果及び考察】XRD の結果から、ニードルバルブの開口長 0.25 mm まではピークが観測されず、アモルファス構造を示した。一方、開口長 0.50 mm では Al_4C_3 のピークを観測した。図 1 に FT-IR 結果を示す。すべての試料で Si-C 結合由来のピークが観測された。一方で開口長 0.50 mm ではブロードなピークとなった。図 2 に XPS により得られた Si2p、C1s、Al2p の光電子スペクトルにより算出した組成比を示す。この結果から、開口長 0.15 mm 以下では 1%ほど Al が混入し、0.25 mm 以上では 12%以上の Al の導入が検出された。開口長 0.5 の XRD の結果と XPS の結果から、FT-IR の低波数側のピークはアルミカーバイドであると考えられる。4 短針結果からアンドープの試料では測定ができなかった一方、0.05 mm の試料では $0.61 \text{ } \Omega \text{ cm}$ の結果が得られた。これらの結果から、ビニルシラン原料に対して TMA はドーパントとして利用可能である知見を得た。一方、Al をドーピングレベルに抑えるためには 0.05 mm 以下で希釈等の制御が必要である。

【謝辞】本研究の一部は低温プラズマ科学研究センターの助力によって遂行された。

【参考文献】[1] J. P. Alper, *et al.*, APL. **100**, 163901 (2012). [2] T. Doi, *et al.*, JJAP. **57**, 01AE08 (2018). [3] T. Doi, *et al.*, ECS Trans. **98**(5), 169 (2020).

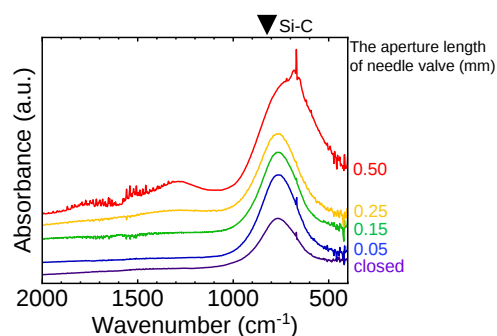


Figure 1 FT-IR spectra of a-SiC thin films with different amounts of TMA.

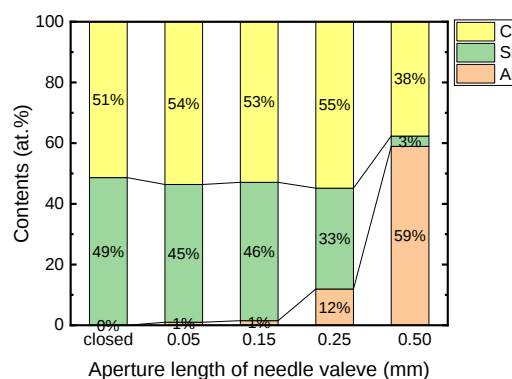


Figure 2 Contents of C, Si, and Al in a-SiC thin films with different amounts of TMA estimated by XPS results.

アモルファス MoSi_n 挿入層による $\text{Mo}/n\text{-Si}$ 接合のショットキー障壁高さ低減Reduction of Schottky barrier height for $\text{Mo}/n\text{-Si}$ junctions by inserting MoSi_n

産総研 ○岡田 直也、内田 紀行、金山 敏彦

AIST, N. Okada, N. Uchida, T. Kanayama E-mail: okada-naoya@aist.go.jp

【背景】微細 Si-CMOS の高性能化のために、ソース/ドレイン (S/D) 部での電極の寄生抵抗やコンタクト抵抗の低減が求められている。現行電極材料の W を低抵抗金属へ置換することで寄生抵抗低減が可能であり、Co や Mo 等が次世代電極材料として注目されている。しかし、金属と Si の直接接合は、Si 界面でのフェルミレベルピンニング (FLP) により高い電子ショットキー障壁高さ (SBH) $\sim 0.6\text{--}0.8\text{ eV}$ を示し、コンタクト抵抗増大の要因となる。この課題に対して、我々はこれまでに S/D コンタクト材料「W 原子内包シリコンクラスターを単位構造とする Si 系アモルファス薄膜 (WSi_n)」の $n\text{-Si}$ に対する SBH 低減効果[1]、および、電極材料 (W, Co, Cu) に対する優れた拡散バリア特性[1-3]を報告した。本研究では、この WSi_n の W 原子を Mo 原子に置き換えた MoSi_n を挿入層として、次世代電極 Mo を用いた「新しいコンタクト構造: $\text{Mo}/\text{MoSi}_n/\text{Si}$ 」の接合特性を調べた。

【実験】ホットウォール型反応炉 (外壁温度: $50\text{--}440\text{ }^\circ\text{C}$) に MoSi_n の原料ガスとなる SiH_4 と MoF_6 を導入し (圧力: $500\text{--}2000\text{ Pa}$)、気相中で SiH_4 と MoF_6 を反応させて水素化 Mo 内包 Si クラスターを合成し、下流側にある n 型 Si ($\sim 5\text{ }\Omega\cdot\text{cm}$) 基板上に堆積し、基板上で含有する水素を熱脱離させクラスター同士を凝集させて MoSi_n (膜厚: $2\text{--}10\text{ nm}$) を形成した。同じ原料ガスの流量比を制御して MoSi_n 上に Mo 電極を形成後、ショットキーダイオードを作製し、容量-電圧特性より SBH を算出した。その後、熱処理 (Ar 雰囲気、 $700\text{ }^\circ\text{C}$ 、10 分) を行い、SBH の変化を調べた。

【結果】 $\text{Mo}/n\text{-Si}$ 直接接合では、Si 界面での FLP に起因して高い SBH 0.72 eV を示した (Fig. 1 (a))。 MoSi_n を挿入した接合では、 MoSi_n の n 値の増大に伴い、SBH が連続的に減少し、 n 値が 7.9 の時、SBH が最も低い値 0.48 eV を示した (Fig. 1 (a))。この SBH 変化は MoSi_n の FLP 緩和効果に起因する。 MoSi_n は n 値の増大に伴い、効果的に Si 界面をパッシベーションして、界面状態を低減する。さらに、 MoSi_n は構成原子 Mo と Si の $d\text{-}sp$ 混成軌道に由来した擬ギャップを有しており[4]、このセミメタル特性が MoSi_n/Si 界面の Metal-induced gap states (MIGS) を抑制する。以上の特徴は、 $\text{WSi}_n/n\text{-Si}$ と同じであり、 MoSi_n と WSi_n の電子状態が類似していることに由来する。さらに、この SBH 低減効果は、 $700\text{ }^\circ\text{C}$ 熱処理後においても維持した (Fig. 1 (b))。これは MoSi_n/Si の優れた熱的安定性に由来しており (Fig. 1 (c))、現に MoSi_n ($n=8.8$) は $900\text{ }^\circ\text{C}$ 熱処理後においてもアモルファス構造を維持した。

【まとめ】 MoSi_n を Si と Mo 電極の接触界面に挿入することで、フェルミレベルピンニングを緩和でき、電子障壁高さを 0.48 eV まで低減できる。さらに、 MoSi_n の優れた熱的構造安定性により、SBH 低減効果は $700\text{ }^\circ\text{C}$ の熱処理後も維持される。従って、 Mo/MoSi_n は $n\text{-FET}$ の S/D コンタクト材料として有用である。

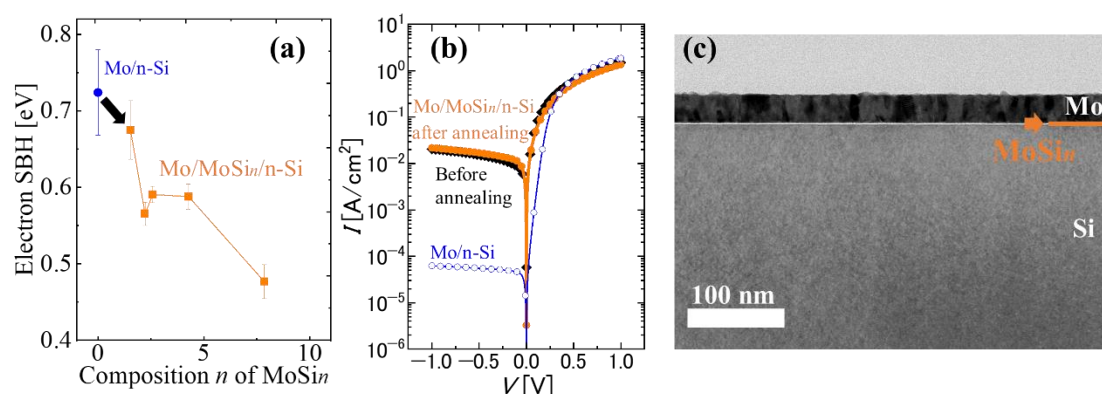


Fig. 1. (a) Electron Schottky barrier height of the $\text{Mo}/\text{MoSi}_n/n\text{-Si}$ estimated from $C\text{-}V$ characteristics as a function of composition ratio n of the MoSi_n film. (b) $I\text{-}V$ characteristics of the as-deposited $\text{Mo}/n\text{-Si}$, Mo/MoSi_n ($n=7.9$)/ $n\text{-Si}$ before and after annealing at $700\text{ }^\circ\text{C}$. (c) Cross-sectional TEM image of the Mo/MoSi_n film with $n=7.9$ after annealing at $700\text{ }^\circ\text{C}$.

【参考文献】 [1] N. Okada, et. al., *IEDM*, 22.5, (2017). [2] N. Okada, et. al., *IEEE ITC*, 10.20, (2018). [3] N. Okada, et. al., *IEEE ITC*, 9.4, (2019). [4] N. Uchida, et. al., *Thin. Solid films* 519, 8456 (2011).

Si 薄膜のレーザ結晶化における線状 Agglomeration (II)

Linear agglomeration during the CW-laser lateral-crystallization of Si films (2)

Sasaki Consulting¹、奈良先端大² ○佐々木 伸夫^{1,2}、高山 智之²、笹井 陸杜³、浦岡 行治²

Sasaki Consulting¹, and NAIST²,

○Nobuo Sasaki^{1,2}, Satoshi Takayama², Rikuto Sasai², and Yukiharu Uraoka²

E-mail: sassasaki@yahoo.co.jp

(背景と課題) CW レーザラテラル結晶化 (CLC) によるアモルファス Si 膜の熔融結晶化では、下層の温度を低く保ったままで、絶縁膜上に (100) 配向の結晶粒界 (GB) の無い (GB-Free) 高品質 Si 薄膜を得ることができる [1-5]。本 CLC (100) 結晶化は、monolithic 三次元 ICs や、system FPDs、wearable devices への応用が期待される。下層基板への熱的ダメージの少ない TFT 材料としては、有機半導体、アモルファス Si、酸化物半導体などがあるが、Si 薄膜は、他の材料に比べて大きな移動度が得られ、CMOS 化が可能で回路の低消費電力化も容易なだけでなく、Si 材料起因の高信頼性を備えているので、高集積かつ高速/低消費電力なデバイス応用に極めて有望である。CLC (100) 結晶化は、ガラスや石英基板上のみならず [1-5]、PI 基板上でも実証されている [6]。(100)GB-Free Si 膜に造られた TFT は、 $\sim 700 \text{ cm}^2/\text{Vs}$ の high field effect 移動度、および等方的な基板面内電気特性を示す [7]。ここで、CLC 照射パワーを、GB-Free の最適結晶化条件より大きくしていくと、偶発的な線状 agglomeration の発生が見られた [8]。この発生機構を、高速度カメラによる結晶化過程のその場 (In-Situ) 観察より検討した。

(実験) CLC 結晶化の In-Situ 観察を行った。図 1 に示す実験系で、レーザビームによる melt zone と発生した agglomeration を、高速度カメラで動画撮影した。サンプルは、石英上に 60 nm の a-Si と 110 nm の SiO₂ キャップを堆積したものである。

(結果) 図 2 は、CLC 結晶化過程におけるその場観察の snap shot である。CLC はスキャン速度 2 mm/s、パワー 2 W で行った。In-Situ 観察より、線状 agglomeration は二段階の機構から発生すると考えられる。第一に、熔融ゾーン内において偶発的に agglomeration で穴 (void) が発生し、第二に、この void が熔融ゾーン内を一定速度でレーザスキャン方向に垂直に移動する事で、Void の運動の痕跡がスキャン方向に対して一定の角度をなす線状 agglomeration が groove として残る。

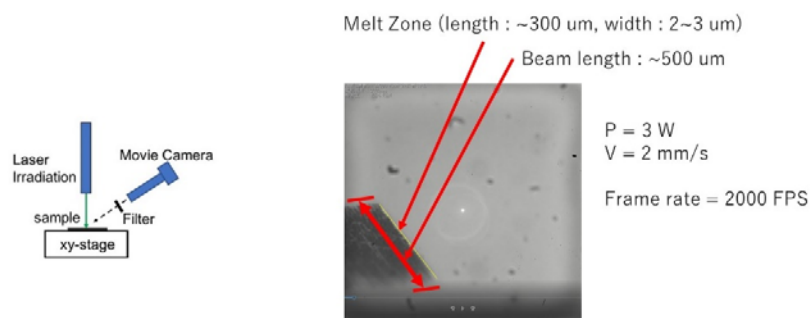


図 1. 実験系のセットアップ

図 2. 高速度カメラ映像のスナップショット

(結論) CLC 結晶成長の In-Situ 観察により、線状 agglomeration は、熔融ゾーン内の穴 (void) の等速運動で発生している事が明らかになった。

(参考文献)

- [1] N. Sasaki et al., Thin Solid Films, Vol. 631, 112, 2017.
- [2] N. Sasaki et al., Jpn. J. Appl. Phys., 58, SBBJ02, 2019.
- [3] N. Sasaki et al., Appl. Phys. Express 12, 055508, 2019.
- [4] N. Sasaki et al., Crystals, Vol. 10, 405, 2020.
- [5] M. Arif et al., Thin Solid Films, Vol. 708, 138127, 2020.
- [6] N. Sasaki et al., J. Electronic Materials, Vol. 50(6), pp. 2974-2980, 2021.
- [7] N. Sasaki et al., Crystals, Vol. 13, 130, 2023.
- [8] 佐々木ら、応用物理学会春季学術講演会 (上智大学四谷、2023 春) 15p-B410-7.

Si 薄膜のレーザ結晶化における線状 Agglomeration (Ⅲ)

Linear agglomeration during the CW-laser lateral-crystallization of Si films (3)

奈良先端大¹, Sasaki Consulting² ○笹井 陸杜¹, 佐々木 伸夫^{1,2}, 高山 智之¹, 浦岡行治¹
NAIST¹, Sasaki Consulting², [○]Rikuto Sasai¹, Nobuo Sasaki^{1,2}, Satoshi Takayama¹, and Yukiharu Uraoka¹

E-mail: sasai.rikuto.sq5@ms.naist.jp

(背景と課題) 高品質な Si 薄膜は、有機半導体やアモルファス Si、酸化物半導体などの他の材料に比べて大きな移動度が得られ、CMOS 化が可能で回路の低消費電力化も容易であるなどのメリットがある。高品質な Si 薄膜を得る方法として高温プロセスが挙げられるが、ガラス基板やフレキシブル基板を用いる場合は基板への熱的ダメージを考慮する必要がある。しかし我々が注目する CW レーザラテラル結晶化 (CLC) では、基板温度を低く保ったまま絶縁膜上に(100)配向の結晶粒界の無い(GB-Free)高品質 Si 薄膜を得ることができ[1,2]、monolithic 三次元 ICs や、system FPDs、wearable devices への応用が期待される。(100) GB-Free Si 膜に造られた TFT は、 $\sim 700 \text{ cm}^2/\text{Vs}$ の高 field effect 移動度、および等方的な基板面内電気特性を示す[2]。ここで、CLC 照射パワーを、GB-Free の最適結晶化条件より大きくしていくと、偶発的な線状 agglomeration の発生が見られるようになる[3]。この agglomeration の断面構造を atomic force microscope (AFM)解析により検討した。

(実験方法) 石英基板上に CVD で a-Si を厚さ 72 nm 堆積した後、Cap 層として SiO₂ を 107 nm 堆積させ、波長 532 nm の Nd:YVO₄ CW-Green レーザで CLC スキャンを行い、線状 agglomeration を含む結晶化領域を得た。パワーは 3 W、スキャン速度は 10 mm/s である。この試料を buffered HF (BHF)で 10 s 浸漬エッチングを行い、AFM を用いて表面の凹凸形状を測定した。これを逐次的に繰り返し行った。CLC スキャン後を 0 s とし、エッチングの時間経過と表面凹凸形状の変化から線状 agglomeration の断面構造を評価した。

(結果) 図 1 の線状 agglomeration の下部を AFM で測定したものが図 2 である。BHF etch 0 s~20 s の間は表面凹凸形状に大きな変化は見られなかった。BHF etch 30 s で急に表面に Si 膜厚に対応する深い溝が表れた。30 s 以降は石英基板がエッチングされ、10 s 毎に $\sim 13 \text{ nm}$ ずつ溝が深くなる。

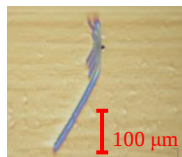


Fig1. Optical micrograph of the Linear agglomeration

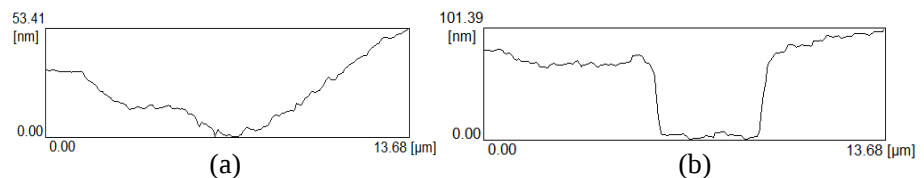


Fig2. Cross sectional view by AFM
(a) after 20 s etch and (b) 30 s at just etch to remove cap SiO₂

(結論) 線状 agglomeration には、基板の深さ方向に対してほぼ垂直に溝が形成されており、c-Si/SiO₂ 界面まで達している。

(参考文献)

- [1] M. Arif et al., Thin Solid Films, Vol. 708, 138127, 2020.
- [2] N. Sasaki et al., Crystals, Vol. 13, 130, 2023.
- [3] 佐々木ら、応用物理学会春季学術講演会 (上智大学四谷、2023 春) 15p-B410-7

マイクロシェブロンレーザーによる Ge 薄膜の (001) 単結晶帯無限成長 Infinite growth of single crystal (001) strip in Ge films by micro chevron laser scanning

島根大総合理工, °葉 文昌, (M2)大里 卓司

Shimane Univ.¹, °Wenchang Yeh, Takashi Osato

E-mail: yeh@riko.shimane-u.ac.jp

【背景】Ge は高い移動度と赤外感度を持つことから、様々なデバイスで期待されている。Si 上にエピ成長する方法が研究されてきたが、格子定数差による転位は根源的で解決ができない。SiO₂ 上 Ge 膜を固相成長法(SPC)やレーザー液相成長法(LC)で結晶化する方法も研究されているが、多結晶しか得られてない。我々はマイクロシェブロンレーザー走査法 (μCLS) を提案し、Si、Cu₂O、Au、Al 膜で幅 3-8μm の単結晶帯の無限成長を実現してきた。Ge 膜はレーザー破壊が起きやすく、膜が完全熔融する前後で膜破壊が起こるため成長条件が狭く、単結晶成長は長さ数十 μm で途切れていた。厚いキャップ膜と界面材料が結晶成長に影響することは多くの研究者により示されており、我々もそれらを最適化して無限成長を試みた。

【方法】基板:石英。成膜法:400°Cスパッタ堆積。Ge 膜厚:60nm。キャップ膜材料:GeO₂、膜厚 t_{cap} :250nm、375nm、500nm。上下界面膜材料:SiO₂, GeO₂, SiN_x のいずれか。μCLS 走査速度:45mm/s。使用波長 λ :405nm。 t_{cap} は、膜中レーザー波長 250nm の $1/2n$ となるようにした。キャップ膜に GeO₂ を使った理由は堆積速度が 0.8~1.2nm/s と早くかつ除去しやすいため。

【結果】Ge 膜破壊しきいレーザーパワー I_{break} は t_{cap} 増大とともに上昇し 375nm から 500nm でほぼ飽和した。以降 $t_{cap}=500nm$ とした。界面層が SiN_x と GeO₂ では、単結晶帯は数十 μm 以下しか持続せず、SiO₂ で無限成長できた。単結晶帯の EBSD 結晶方位マップ(ND)を図 1 に示した。 I_{break} は 110mW で、それより低い 106mW 以下で(001)<100>となった。膜の完全熔融閾値 I_{melt} は 99mW で、この条件ではレーザーパワーのわずかな揺らぎで不完全熔融箇所(白抜き矢印)が発生し、大角粒界が生じる。103mW と 106mW では測定範囲内(2.8mm)では大角粒界や双晶粒界は存在せず、すなわち幅約 7-8μm、長さ 2.8mm 以上の単結晶帯が実現した。Ge 単結晶帯のラマンシフトは $297.4 \pm 0.1 \text{ cm}^{-1}$ で、強い引張歪が存在した。110mW 以上で走査方向と平行に膜が線状に剥離したが結晶帯は連続しており、結晶帯の中で粒界は 9 割程度が双晶粒界、それ以外が大角粒界であった。双晶粒界は Si 同様に Ge/SiO₂ 界面に近平行の(111)ファセットに起因した核発生だった。

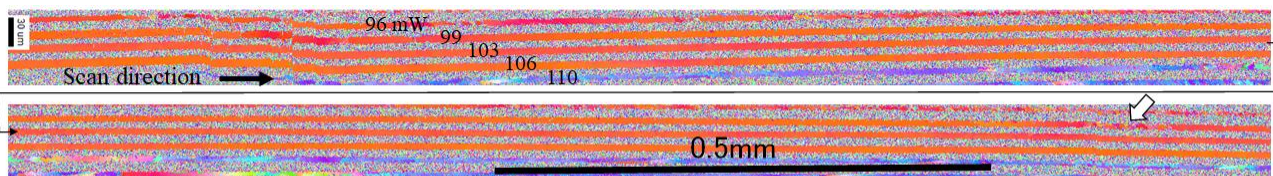


Fig1. EBSD crystal orientation map (ND) of Ge single crystal strip with laser power between 96 mW ~ 110 mW. Threshold powers for completely melting and film breaking are respectively 96 mW and 110mW.

【まとめ】SiO₂ 上 Ge 膜に (001)<100>単結晶帯を無限成長した。Ge 単結晶帯は強い引張歪を持つ。本方法によりエピ成長法に付きまとう格子定数の制限から解放され、SiO₂ 下地をベースにした様々な機能性薄膜の単結晶帯を集積できるようになる。

青色ダイレクトダイオードレーザを用いたスパッタ製膜 a-Si 膜の結晶化(その 4) Crystallization of a-Si Films Deposited by RF Sputtering using Blue Direct Diode Laser (Part 4)

琉球大 エ¹, パナソニックコネクト(株)²

○岡田 竜弥¹, 野口 隆¹, 菱田 光起², 宮野 謙太郎², 小畑 直彦², 信岡 政樹²

Faculty of Engineering, Univ. of the Ryukyus¹, Panasonic Connect Co., Ltd.²

○Tatsuya Okada¹, Takashi Noguchi¹,

Mitsuoki Hishida², Kentaro Miyano², Naohiko Kobata², and Masaki Nobuoka²

E-mail: tokada@tec.u-ryukyu.ac.jp

【はじめに】

これまでに、a-Si 膜に青色半導体レーザを照射することで Si 膜を平坦性よく結晶化できること[1]、また溶接技術でも有効な波長合成方式(Wavelength Beam Combiner: WBC)を用いた高出力の青色ダイレクトダイオードレーザをスポットおよびライン状に整形して照射し結晶化できることについて報告している[2-5]。今回は、ライン状に整形したレーザにより結晶化した試料について、X 線回折(XRD)により結晶性を評価した。

【実験および結果】

RF スパッタ法により、Ne ガス流量 15.4 sccm、圧力 1.4 mTorr、投入電力 450 W の条件でガラス基板上に 50 nm 厚の Si 膜を成膜後、中心波長 445 nm の青色ダイレクトダイオードレーザにより結晶化を試みた。レーザ照射条件は、投入パワー124 ~ 320 W、集光サイズ 4 mm × 38 μm とし、レーザの短軸方向にスキャン速度 1000 mm/s で照射を行なった。レーザ照射後の Si 膜の反射率スペクトルを図 1 に示す。221 W 以上の条件で Si (111)を示すピークが観測され、良好に結晶化していることが確認された。青色ダイレクトダイオードレーザを用いたラインビームによる青色半導体レーザアニール(BLDA)が Si 膜の結晶化に有効であることが分かった。

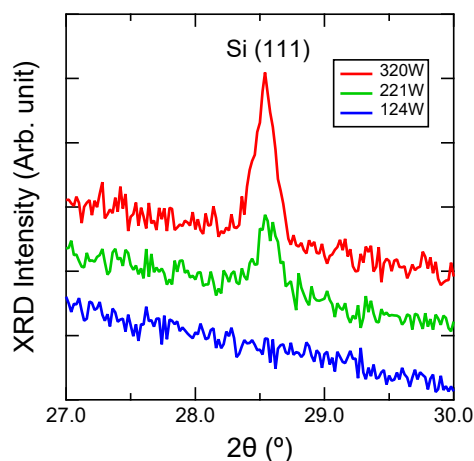


図 1. XRD スペクトル

【参考文献】

- [1] T. Okada, *et al.*, J. Korean Phys. Soc. 66 (2015) 1265.
- [2] 岡田 他, 第 82 回応用物理学会秋季学術講演会(2021) [10p-N302-3].
- [3] 菱田 他, 第 69 回応用物理学会春季学術講演会(2022) [24p-E103-14].
- [4] M. Hishida, *et al.*, Proc. of SPIE Vol. 12409 1240912-7. (San Francisco, 2023).
- [5] 岡田 他, 第 70 回応用物理学会春季学術講演会(2023) [15p-B410-14].

エキシマレーザードーピングによる超高濃度 p⁺n 接合の形成

Ultra-high concentration p⁺n junctions by excimer laser doping

九大・システム情報 〇青木 蓮, 片山 慶太, 中村 大輔, 藪田 久人, 池上 浩, 佐道 泰造

Kyushu Univ. 〇R. Aoki, K. Katayama, D. Nakamura, H. Yabuta, H. Ikenoue, T. Sadoh

E-mail: aoki.ren.798@s.kyushu-u.ac.jp

[はじめに] 次世代の半導体デバイスの実現には、超高濃度のドーピング技術が不可欠である。現在、不純物ドーピングには、熱拡散法やイオン注入法が用いられているが、これらのドーピング法は高温プロセスを必要としており、ドーピング濃度は熱平衡固溶度で制限される。今回、エキシマレーザードーピングを用いた p⁺n 接合の形成を検討したので報告する。

[実験方法] n 型 Si 基板上に、p 型不純物の拡散源として Al 膜 (6 nm) を堆積した後、KrF エキシマレーザー (波長 248 nm、パルス幅 82 ns) を照射した。照射後、Si 表面に残留する Al をエッチング除去した。

[結果と考察] 照射領域に Al 電極を形成し、基板裏面のオーミック電極との間の I-V 特性を評価した結果を Fig. 1 に示す。照射なしとフルエンス 0.9 J/cm² では整流特性を示したが、フルエンス 2.4 J/cm² ではオーミック特性を示すことが明らかとなった。フルエンス 0.8 J/cm² の試料の AFM 像と Ra 値を Fig. 2 に示す。レーザー照射後も表面は平坦であることが判る。SIMS 分析によって得られた、フルエンス 0.8 J/cm² の試料における Al 濃度の深さ方向分布を Fig. 3 に示す。図中には、Al の熱平衡固溶限界と拡散方程式の解をフィッティングした結果も示している。Fig. 3 より、熱平衡固溶限界を超える高濃度の Al 原子が導入されていることが明らかとなった。講演では、ドーピング機構の詳細を議論する。

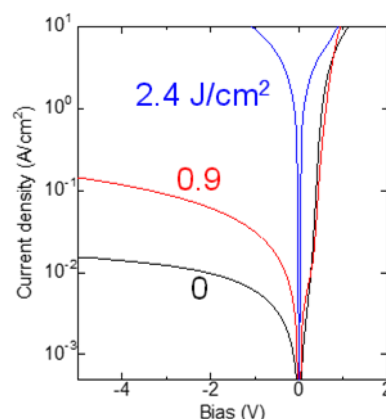


Fig. 1 I-V characteristics of samples.

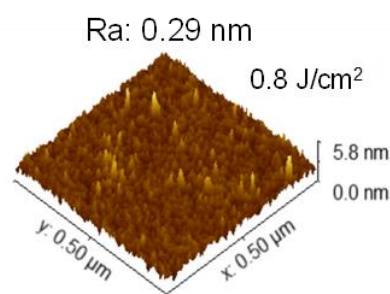


Fig. 2 AFM image and surface roughness of sample after laser irradiation with fluence of 0.8 J/cm².

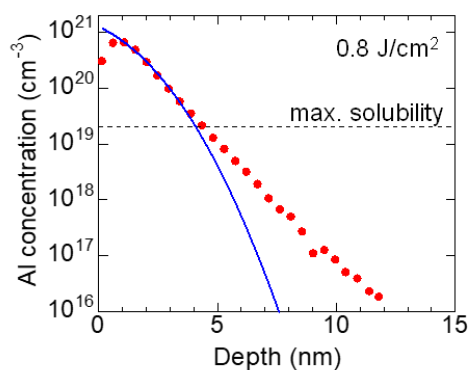


Fig. 3 In-depth Al concentration profiles. The red circles show data obtained by SIMS. The maximum value of thermal equilibrium solid solubility of Al in Si and a fitting curve to the SIMS data are shown by the black broken and blue solid lines, respectively.