

Oral presentation | 13 Semiconductors : 13.5 Semiconductor devices/ Interconnect/ Integration technologies

📅 Thu. Sep 21, 2023 9:00 AM - 12:00 PM JST | Thu. Sep 21, 2023 12:00 AM - 3:00 AM UTC | 📍 A304 (KJ Hall)

[21a-A304-1~11] 13.5 Semiconductor devices/ Interconnect/ Integration technologies

Masahiro Hori(静大)

9:00 AM - 9:15 AM JST | 12:00 AM - 12:15 AM UTC

[21a-A304-1] High-accuracy charge transfer using silicon single-hole pumps

○Gento Yamahata¹, Akira Fujiwara¹ (1.NTT BRL)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

9:15 AM - 9:30 AM JST | 12:15 AM - 12:30 AM UTC

[21a-A304-2] Bayesian estimation approach for error rate characterization of single electron transport

○Go Sakamoto¹, Kazuto Takahashi¹, Chihiro Kondo¹, Raisei Mizokuchi¹, Tetsuo Kodera¹, Jun Yoneda¹ (1.Tokyo Tech)

9:30 AM - 9:45 AM JST | 12:30 AM - 12:45 AM UTC

[21a-A304-3] Individually Controlled Characteristics of 3D Stacked Silicon Quantum Dots

○(D)Junoh Kim¹, Tomoko Mizutani¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, Toshiro Hiramoto¹ (1.IIS, Univ. of Tokyo, 2.AIST, 3.d.lab, Univ. of Tokyo)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

9:45 AM - 10:00 AM JST | 12:45 AM - 1:00 AM UTC

[21a-A304-4] Measurement of quantum dots via a silicon interposer toward spin qubits integration

○Tokio Futaya¹, Raisei Mizokuchi¹, Misato Taguchi², Takuji Miki², Makoto Nagata², Jun Yoneda¹, Tetsuo Kodera¹ (1.Tokyo Tech., 2.Kobe Univ.)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

10:00 AM - 10:15 AM JST | 1:00 AM - 1:15 AM UTC

[21a-A304-5] Assessment of parasitic components and effect on impedance matching in RF reflectometry

○(M2)Ryo Matsuda¹, Jun Kamioka¹, Raisei Mizokuchi¹, Jun Yoneda¹, Tetsuo Kodera¹ (1.Titech)

10:30 AM - 10:45 AM JST | 1:30 AM - 1:45 AM UTC

[21a-A304-6] Valley splitting by extended zone effective mass approximation incorporating strain

○Jinichiro Noborisaka¹, Toshiaki Hayashi¹, Akira Fujiwara¹, Katsuhiko Nishiguchi¹ (1.NTT BRL)

10:45 AM - 11:00 AM JST | 1:45 AM - 2:00 AM UTC

[21a-A304-7] First-principles calculations on valley splitting in a Si quantum well

○Toshiaki Hayashi¹, Hiroyuki Kageshima², Jinichiro Noborisaka¹, Satoshi Fujiwara¹, Katsuhiko Nishiguchi¹ (1.NTT BRL, 2.Shimane Univ.)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

11:00 AM - 11:15 AM JST | 2:00 AM - 2:15 AM UTC

[21a-A304-8] Characteristics of pn junction diode at cryogenic temperature

○(M1)Keito Yoshinaga¹, Tomohisa Miyao¹, Takahisa Tanaka², Ken Uchida¹ (1.The Univ. of Tokyo, 2.Keio Univ.)

11:15 AM - 11:30 AM JST | 2:15 AM - 2:30 AM UTC

[21a-A304-9] Temperature-Driven Changes of Random Telegraph Noise Sources in Bulk MOSFETs

○Takumi Inaba¹, Hiroshi Oka¹, Hidehiro Asai¹, Hiroshi Fuketa¹, Shota Iizuka¹, Kimihiko Kato¹, Shunsuke Shitakata¹, Koichi Fukuda¹, Takahiro Mori¹ (1.AIST)

11:30 AM - 11:45 AM JST | 2:30 AM - 2:45 AM UTC

[21a-A304-10] Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (8) -Recombination process (I)-

○Toshiaki Tsuchiya¹, Masahiro Hori¹, Yukinori Ono¹ (1.Shizuoka Univ.)

11:45 AM - 12:00 PM JST | 2:45 AM - 3:00 AM UTC

[21a-A304-11] Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (9) -Recombination process (II)-

○Toshiaki Tsuchiya¹, Masahiro Hori¹, Yukinori Ono¹ (1.Shizuoka Univ.)

シリコン単正孔ポンプを用いた高精度単電荷転送

High-accuracy charge transfer using silicon single-hole pumps

NTT 物性基礎研 ○山端 元音、藤原 聡

NTT Basic Research Labs., ○Gento Yamahata and Akira Fujiwara

E-mail: gento.yamahata@ntt.com

クロック信号により電子を一つずつ正確に転送する単電子ポンプは高精度電荷転送が可能であり [1]、電流標準への応用が期待される。しかし、現状では精度の観点で素子特性のバラつきが存在するため [2]、多くの素子での歩留まりの良い高精度動作が求められる。一つの有用な方向性は単正孔の利用である [3]。電子に比べて正孔は有効質量が重いためトンネル障壁の透過率におけるエネルギー選択性が高く高精度電荷転送が期待できるためである。今回、単正孔を用いたシリコン素子を詳細に測定し、高精度動作の可能性を見出したので報告する。

素子の概略図を図 1(a) に示す。直径 10 nm オーダーのシリコン細線上に 2 つのゲート電極を持つ構造である。ソース・ドレイン電極にボロンをイオン注入することで P 型の素子とした。入口側ゲート電極に周波数 f の高周波信号を印加することでゲート間の量子ドットを介して単正孔を転送することができ、 $I_P = ef$ の正確な電流を得ることができる [3]。図 1(b) が出口側ゲート電圧 (V_{exit}) を変化させた時の典型的な電流電圧特性である。素子性能を検証するため、電流プラトーへ向かうスロープ [図 1(b) 矢印参照] の温度依存性を測定した。このスロープは入口側に形成されるトンネル障壁における電荷透過率のエネルギー選択性を反映し、トンネリングの特性温度 T_0 として評価できる。エネルギー選択性が高いと (低い T_0 、急峻なスロープ) 高精度動作に繋がる。単電子ポンプでは $T_0 \sim 17$ K [4] であったが単正孔ポンプの場合 $T_0 \sim 6$ K と低いことを見出した。更に、GHz 動作における理論予測エラー率は 10^{-8} 以下の極めて低いレベルと見積もることもできた。単正孔を用いた電荷ポンプによる電流標準応用の可能性を示す重要な結果であると考えられる。

参考文献: [1] G. Yamahata *et al.*, Appl. Phys. Lett. **109**, 013101 (2016). [2] A. Fujiwara *et al.*, Conf. on Precision Electromagnetic Measurements (CPEM) (2022). [3] G. Yamahata *et al.*, Appl. Phys. Lett. **106**, 023112 (2015). [4] N. Johnson *et al.*, Appl. Phys. Lett. **115**, 162103 (2019).

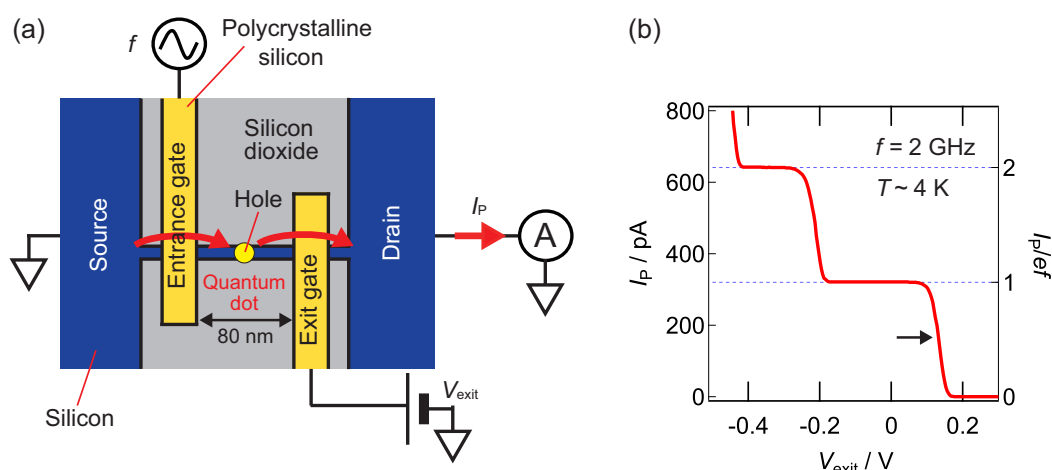


Fig. 1: (a) Schematic of the device with a part of the electrical connections, where f is the frequency of the high-frequency signal. (b) I_P and I_P/ef as a function of V_{exit} , where e is the elementary charge.

単電子輸送のエラーレート評価におけるベイズ推定の活用

Bayesian estimation approach for error rate characterization of single electron transport

東工大¹, [○]坂本 剛¹, 高橋 一斗¹, 近藤 知宏¹, 溝口 来成¹, 小寺 哲夫¹, 米田 淳¹

Tokyo Tech.¹, [○]Go Sakamoto¹, Kazuto Takahashi¹, Chihiro Kondo¹, Raisei Mizokuchi¹, Tetsuo

Kodera¹, Jun Yoneda¹

E-mail: sakamoto.g.ab@m.titech.ac.jp

量子ドット構造を利用した単電子制御技術は、量子電流標準、高感度センサ、量子コンピュータなどの各種量子技術への応用が期待されている。とりわけ、量子ドットの電荷検出は、単電子の輸送・遷移過程の実時間測定を可能とする[1]。これを活用することで、電流源の正確な評価や、量子ビットのシャットリング精度向上などが見込まれる。

今回、我々は量子ドットを利用した単一電荷輸送のエラー検出精度向上に向けて、ベイズ推定に注目し、その可能性について検証した。ベイズ推定は、電荷検出の不確実性を反映した事後確率分布に基づく状態推定を可能とし、量子ドットを用いた実験では量子ビットの読み出し精度向上に利用されてきた[2,3]。輸送エラーのベイズ推定には、系を記述する各種パラメータ(Fig. 1)の値が必要となる。我々はまず、これらのパラメータとして電荷状態 n ($=0$ または 1 とする) の尤度比 Λ 、電荷遷移レート Γ_{in} および Γ_{out} 等を、実際の単一電荷輸送の測定データから求めた(Figs. 2, 3)。電荷検出信号分布に基づく Λ の積算時間 t_{int} 依存性から、測定を高速化した場合に電荷検出信号の不確実性が増し、しきい値処理を用いないベイズ推定が有用な領域にある可能性が示唆された。講演ではさらに、単一電荷輸送のエラーをベイズ推定により検出する具体的な方法と、それを実際の実験データに適用した結果について議論する予定である。

この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP 14004)の結果得られたものである。また、JST Moonshot R&D Grant No. JPMJMS2065, JST さきがけ JPMJPR21BA, 科研費 JP23H05455 の支援を受けて遂行された。

[1] T. Fujisawa *et al.*, *Science* **312**, 5780 (2006).

[2] R. Mizokuchi *et al.*, *Appl. Phys. Express* **13**, 121004 (2020).

[3] J. Yoneda *et al.*, *Nature Commun.* **11**, 1144 (2020).

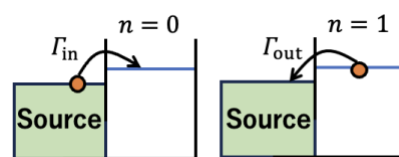


Fig. 1 Schematic representation of tunneling rates, Γ_{in} and Γ_{out} , for single-electron tunneling events in a quantum dot.

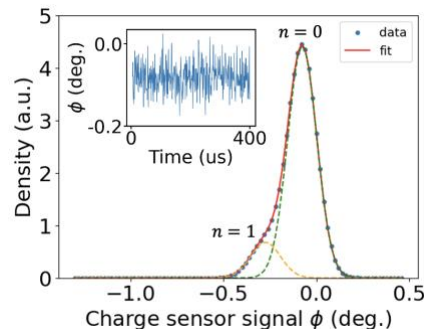


Fig. 2 Charge sensor signal distribution with fits to a double gaussian distribution ($t_{int} = 20 \mu s$). Inset shows an example time trace of charge sensing signal ($t_{int} = 1 \mu s$).

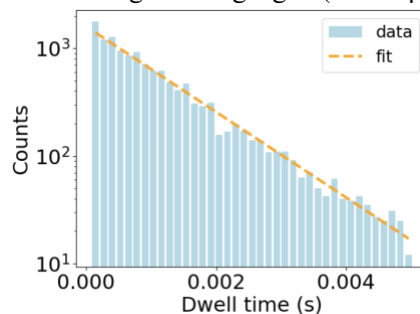


Fig. 3 Histogram of dwell time (after which n changes from 0 to 1). The exponential decay rate gives Γ_{in} .

三次元積層型シリコン量子ドットの特性の個別制御

Individually Controlled Characteristics of 3D Stacked Silicon Quantum Dots

東大生研¹, 産総研², 東大 d.lab³ ○(M2)金 駿午¹, 水谷 朋子¹, 更屋 拓哉¹, 岡 博史²,
森 貴洋², 小林 正治^{1,3}, 平本 俊郎¹

¹IIS, Univ. of Tokyo, ²AIST, ³d.lab, Univ. of Tokyo ○Jun-Oh Kim¹, Tomoko Mizutani¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, and Toshiro Hiramoto¹

E-mail: jn-kim@nano.iis.u-tokyo.ac.jp

【序】シリコン(Si) 量子ドットは,その小さい物理的サイズと CMOS 技術との優れた互換性により,大規模なスピンベースの Si 量子ビットプロセッサへの応用が期待され,注目を集めている. 一方,実用化に向けた量子計算および精度高い量子誤り訂正を行うためには,量子ビット数の向上することが重要である. そのため, Si 量子ビットの集積化に関する研究が盛んに行われているが,その大多数が 2 次元配列上に集積する方法を用いている[1]. 我々は Si 量子ビットの大規模集積化を実現するために垂直積層型の Si 量子ドット構造を提案した. しかしながら,複数の Si 量子ドットを垂直方向に並列配置するため垂直方向に積層された量子ドットの個別読み出しが複雑であることが課題となっていた[2]. 本研究では, TCAD シミュレーションにより三次元積層型量子ドット構造に Global Top Gate (GTG) を導入し, GTG を用いて三次元積層型量子ドットの制御が可能であることを示す[3]. 【シミュレーション方法】図 1 に示すように 2 本の Si ナノワイヤを積層し, 2 本のポリシリコンの微細ゲートパターンの上に量子ドットパターン全体を覆うようにポリシリコンの GTG を導入した. ドレイン電圧は $V_D = 5$ mV, Gate2 の電圧は $V_{G2} = 0$ としてシミュレーションを行った. また, 設定温度は 300K であり, 量子効果を考慮して 3 次元シミュレーションを行った. 【シミュレーション結果】まず, 図 1 の構造で Si ナノワイヤのコーナ付近のポテンシャルを調査した. 図 2 は GTG に電圧 V_{TG} を印加した時の上層と下層の伝導帯ポテンシャル変化を示す ($V_{G1} = 0$ V). 各グラフで 3 つのポテンシャルバリアが見えており, V_{TG} によってポテンシャルバリアが変調されていることがわかる. 上層は V_{TG} に対して感度が高く, 下層は明らかに感度が低いことがわかった. 次に, 図 3 に各層における電流電圧特性を示す. I_{D2S} と I_{D1S} はそれぞれ上層と下層 Si ナノワイヤに流れる電流である. 次に, $I = 10^{-10}$ [A] におけるゲート電圧をしきい値電圧 V_{th} としたとき, V_{TG} を印加したときの V_{th} 変化を調べた. 図 4 にその結果を示す. 図 4 の結果から, 上層と下層で V_{th} の傾きが明らかに異なっている. 以上の結果から, V_{TG} を変えることで垂直方向に積層された量子ドットを個別に制御できることがわかった. 【謝辞】本研究の一部は科学研究費補助金基盤研究(A)の援助を受けた. 【文献】[1] M. Vinet *et al.*, IEDM, pp. 11, 2022. [2] Y. Itoh *et al.*, *SIQEW*, No. 23, 2018 [3] J. Kim *et al.*, *SNW*, 8-3, (2023)

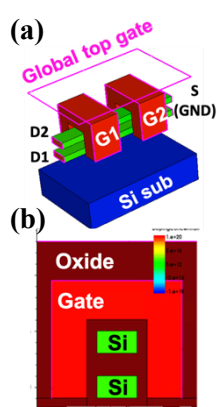


図 1. TCAD シミュレーションによる積層構造 (a) 3D (b)断面の模式図.

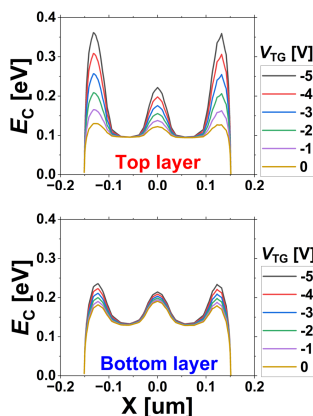


図 2. V_{TG} を印加させたときの上下層の Si ナノワイヤコーナ付近のポテンシャル変化.

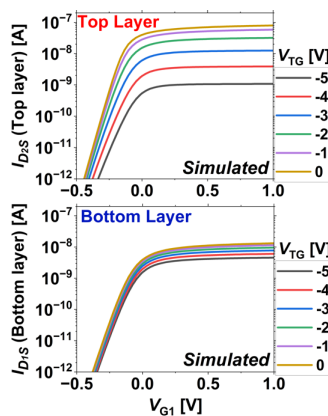


図 3. V_{TG} 印加させた時の上下層における電流電圧特性.

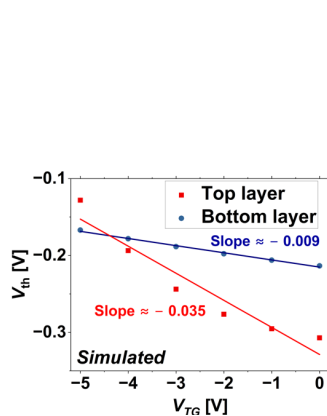


図 4. V_{TG} 印加時の V_{th} の変化.

スピン量子ビット集積化に向けたシリコンインタポーザーを介した量子ドット測定

Measurement of quantum dots via a silicon interposer toward spin qubits integration

東工大¹, 神戸大², °Tokio Futaya¹, Raisei Mizokuchi¹, Misato Taguchi², Takuji Miki²,
米田 淳¹, 小寺 哲夫¹

Tokyo Tech.¹, Kobe Univ.², °Tokio Futaya¹, Raisei Mizokuchi¹, Misato Taguchi², Takuji Miki²,
Makoto Nagata², Jun Yoneda¹, Tetsuo Koder¹

E-mail: futaya.t.aa@m.titech.ac.jp

シリコン量子ドット(QD)を用いたスピン量子ビットは、既存のCMOS技術との親和性やフットプリントの小ささから将来的な大規模集積化に有望である。しかしながら、量子ビット数の増加に伴い、室温と希釈冷凍機間の配線数増加による熱流入の増大や、量子ビットを制御するための周辺回路との相互接続などが問題となる[1]。これらの問題を解決するために極低温部で制御回路を実装し、量子ビットを制御するなどといった新しい技術が必要となる[2]。

本研究では、QDデバイスや制御回路を同一チップ上にフリップチップ実装できるシリコンインタポーザーに着目した。液体ヘリウム温度下でのインタポーザー基板の動作を検証するためにフリップチップ実装されたQDデバイス(Fig. 1)を測定した。測定にはDC電流の測定に加え、RF反射測定[3]と呼ばれる、QDに接続したLC共振回路のコンダクタンスの変化から電荷数変化を読み出す手法を用いた。Fig. 2に示すように、RF反射波の位相から、直流の測定に対応したクーロンダイヤモンドの観測に成功した。これはインタポーザー基板上にフリップチップ実装したQDデバイスが極低温下で機能しており、量子ドットの測定に利用できる可能性を示している。今回のRF反射測定では270 nHのインダクタとキャパシタンスとして寄生容量を用いており、寄生容量はインタポーザー基板を介していない場合よりも大きいことが考えられる。大きな寄生容量は測定の感度の低下につながるため、より感度の良い測定をするためにインタポーザー基板上の配線カップリングの抑制や高周波伝送路の設計などにより寄生容量を減らしていくことが今後の課題である。

本研究は JST Moonshot R&D Grant Number JPMJMS2065, MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228, JST PRESTO Grant Numbers, JPMJPR21BA, JPMJPR22B8, 科研費(JP23H05455 and JP23H01790)の支援を受けて遂行された。

[1] N. Lee, et al., Jpn. J. Appl. Phys. 61, SC1040 (2022). [2] R. Otten, et al., 29th IEEE ICECS, 1 (2022).

[3] A. Noiri, et al., Nano Lett. 20, 947 (2020).

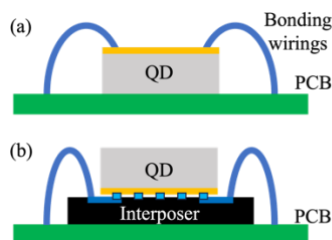


Fig. 1 (a) Schematic of wire bonding

(b) Schematic of flip-chip bonding on interposer.

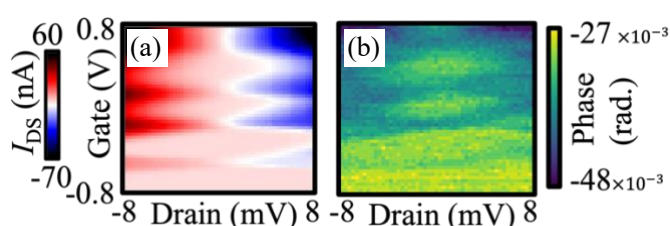


Fig. 2 Coulomb diamonds measured at 4.2 K: (a) DC measurement result and (b) RF measurement result.

RF 反射測定における寄生成分の評価とインピーダンス整合への影響

Assessment of parasitic components and effect on impedance matching in RF reflectometry

東工大 °松田 凌、神岡 純、溝口 来成、米田 淳、小寺 哲夫

Tokyo Tech, °Ryo Matsuda, Jun Kamioka, Raisei Mizokuchi, Jun Yoneda, Tetsuo Koderu

E-mail: matsuda.r.ae@m.titech.ac.jp

量子ドットスピン量子ビットにおいて、電荷計を用いた RF 反射測定は高感度・広帯域な読み出し技術として有望である[1]。そして RF 反射測定における整合回路は、感度や帯域を決定づける重要な要素である。理想的な RF 反射測定の条件下では、3 種類の単段整合回路の中で直列 L-並列 L の回路が最適であることを先行研究で示した[2]。しかしこの先行研究では、プリント基板や回路素子の寄生成分が RF 反射測定の実際の性能に与える影響を考慮していない。そこで、極低温下での S パラメータ測定を行い、等価回路へのフィッティングから寄生成分の導出をした上で、整合条件を満たす直列 L-並列 L の回路設計、及び感度や帯域についての評価を行った。

まず、寄生成分も含めた測定系の等価回路パラメータを導出した。プリント基板上に実装された整合回路を含む量子ドット系は、極低温下に置かれているため高周波特性の抽出が容易ではない。そこで本研究では Auto Fixture Removal 校正を用いることで、測定系の極低温下での精密な S パラメータ測定を可能とした。次に、この測定結果のフィッティングから導出した等価回路パラメータを基にして、整合条件を満たすように直列 L-並列 L の回路を設計した(Fig.1 (a))。また、設計した整合回路を用いたシミュレーションを行い(Fig.1 (b))、帯域や電荷計の抵抗成分の変化に対する感度について評価を行った。本研究の寄生成分を考慮した整合回路設計及び評価方法は、現実的な RF 反射測定の性能の改善に貢献するものであると期待される。

本研究は JST Moonshot R&D Grant Number JPMJMS2065、JST PRESTO Grant No. JPMJPR21BA、MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228、科研費 (JP23H05455, JP23H01790)の支援を受けて遂行された。

[1] D.J. Reilly, et al., *Appl. Phys. Lett.* 91, 162101 (2007).

[2] J. Kamioka, et al., *AIP Adv.* 13, 035219 (2023).

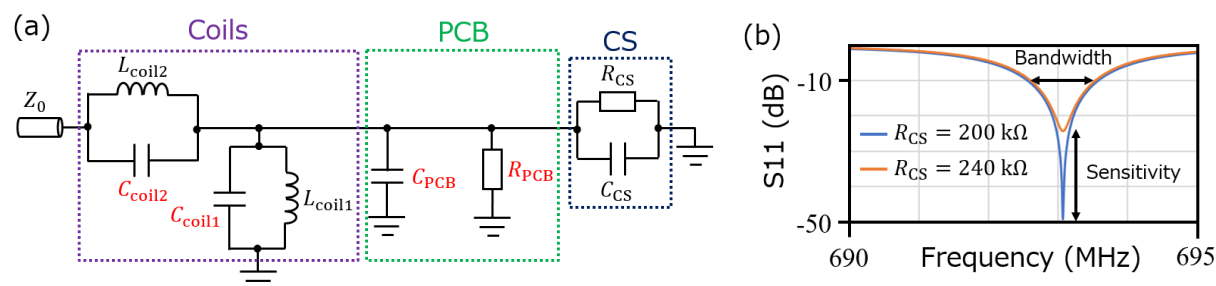


Fig.1 (a) Schematic of the equivalent circuit of coils as the series L-shunt L matching circuit, the printed circuit board (PCB), and the charge sensor (CS). The parasitic capacitances of the coils and the PCB, and the dielectric loss of the PCB are considered, which are expressed by red letters. (b) Simulation results of reflection amplitude. The blue solid line shows the reflection amplitude when $R_{CS} = 200 \text{ k}\Omega$, and the orange solid line shows when $R_{CS} = 240 \text{ k}\Omega$.

歪を取り入れた拡張ゾーン有効質量近似による巨大バレー分離の考察

Valley splitting by extended zone effective mass approximation incorporating strain

NTT 物性科学基礎研究所, ○登坂 仁一郎, 林 稔晶, 藤原 聡, 西口 克彦

NTT BRL., °Jinichiro Noborisaka, Toshiaki Hayashi, Akira Fujiwara, Katsuhiko Nishiguchi

E-mail: jinichiro.noborisaka@ntt.com

高温長時間アニールを行った SIMOX(001)基板上に作製した MOSFET では、巨大なバレー分離が発現することが知られている[1]。通常の MOS 界面でもバレー分離が生ずることは古くから知られているが、その値は MOSFET の一般的な動作電界強度では高々数 100ueV 程度である。一方、高温熱処理を行った SIMOX 基板の BOX 界面では、実に 28meV に及ぶバレー分離が観測され、この巨大なバレー分離の起源はこれまで不明であった。

大川等が報告を行った拡張ゾーン有効質量近似[2]では、[110]方向のせん断歪がバレー分離に大きな影響を与えることを示している。今回我々は、この理論に基づき BOX 界面付近に導入された歪によるバレー分離の解析を行った。

図 1 (a)にデバイス構造を示す。デバイスは SIMOX(001)基板を用いており、初めに埋め込み酸化膜界面の平坦性改善を目的として Ar 雰囲気中 0.5% O₂ による 1350℃ 40 時間におよぶアニールを行っている。このアニールの後、表面の酸化膜を除去し 900℃で上面ゲート酸化膜(FOX)を形成し、2 層のゲートを持つ MOSFET を作製した。

図 1 (b)に SOI 膜厚 6 nm におけるバレー分離(ドレイン電流の 2 階微分による濃淡プロット)と[110]方向に 4.5%の圧縮歪を導入した場合に理論から得られるバレー分離を重ねて示す。理論値においてゼロ電界付近 ($V_{BG} \sim 0$ V) で大きなバレー分裂が確認されているが、概ね実験を再現する結果が得られた。この結果は、これまで不明であった巨大バレー分離の起源として BOX 界面付近の[110]方向のせん断歪が有望であることを示している。

[1] K. Takashina *et. al.*, Phys. Rev. Lett. **96**, 236801 (2006).

[2] F. J. Ohkawa *et. al.*, J. Phys. Soc. Japan. **43**, 906 (1977).

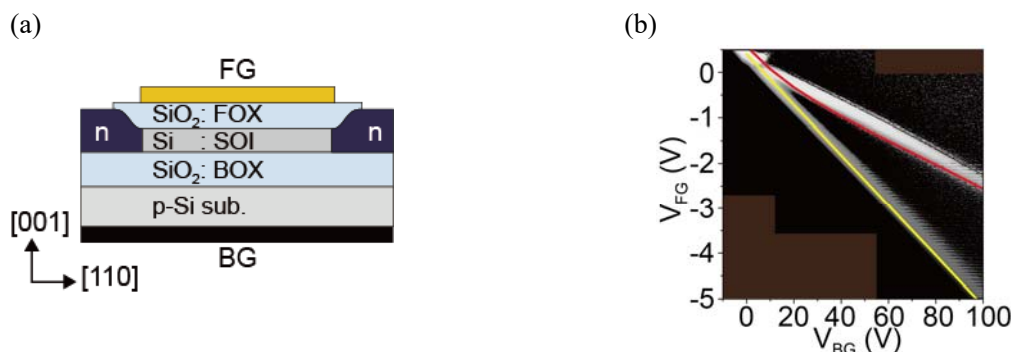


Fig.1 (a) Device structures (b) Valley splitting: The contour plot represents experimental values ($\partial^2 I_D / \partial V_{FG}^2$), and the two solid lines represent theoretical values from the extended zone effective mass approximation.

第一原理計算を用いた Si 量子井戸における谷分離の研究

First-principles calculations on valley splitting in a Si quantum well

NTT 物性研¹, 島根大学² ○林 稔晶¹, 影島 博之², 登坂 仁一郎¹, 藤原 聡¹, 西口 克彦¹

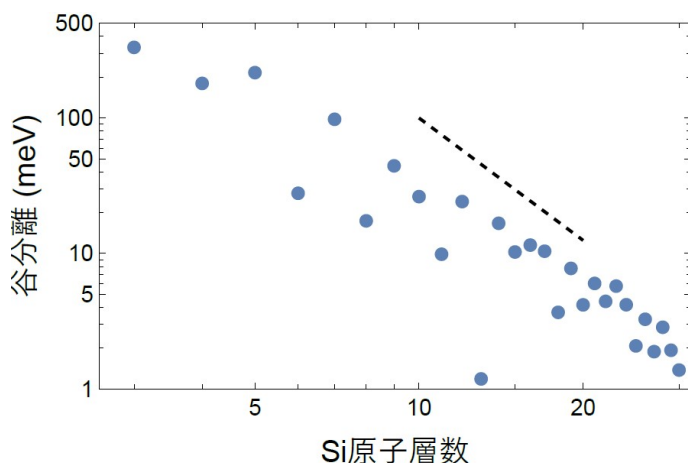
NTT BRL¹, Shimane Univ.², °Toshiaki Hayashi¹, Hiroyuki Kageshima², Jinichiro Noborisaka²,

Satoshi Fujiwara², Katsuhiko Nishiguchi²

E-mail: tshk.hayashi@ntt.com

Si 閉じ込め構造における谷分離の研究は 1960 年代から既になされてきた[1]が、量子ビットのデコヒーレンスの原因の一つとして近年再び注目を浴びている[2]。Si-MOS デバイスにおける谷分離は Shubnikov-de Haas 振動などによって実験的に観測することが可能であり、谷分離の大きさはキャリア濃度に比例することが知られている。これに対し多くの理論的研究がなされ、様々なモデルが提案されてきた[3]。ところで谷分離の大きさは通常観測される範囲で 1meV 以下と小さい。それに対し、高温熱処理を行った SIMOX 基板の Si/埋め込み酸化膜界面における谷分離の大きさは約 23meV と一桁以上大きい[4]。このように大きな谷分離は既存の理論で理解することが難しく、その起源は長年謎のままだった。

我々は巨大谷分離の起源解明を目指して Si 量子井戸の第一原理計算を始めた。プログラムは PHASE を用いている。計算モデルは(001)面に平行な Si 薄膜で、両面とも H 原子で終端してある。計算によって得られたバンド分散から、伝導帯の最低準位の二重縮退が閉じ込めによって分裂していることを確認した。この二つの準位のエネルギー差を谷分離と考え、Si 薄膜の層数の関数としてプロットした(図 1)。大川によると量子井戸の谷分離は井戸幅に対して振動しながら膜厚の-3



乗に比例して減少することが示されている[5]。図 1 の計算結果の上限の包絡線は、図中の破線で示した層数の-3 乗の傾向とほぼ一致しており、このことから我々の計算結果は概ね大川による理論予想を再現していると考えられる。発表当日は谷分離の電界依存性についても議論する。

[1] A. B. Fowler, Phys. Rev. Lett. 16, 901 (1966).

[2] M. Lodari, et al., Phys. Rev. Lett. 128, 176603 (2022).

[3] T. Ando, A. B. Fowler, and F. Stern, Rev. Mod. Phys. 54, 437 (1982).

[4] K. Takashina, et al., Phys. Rev. Lett. 96, 236801 (2006).

[5] F. J. Ohkawa, Solid State Commun. 26, 69 (1978).

極低温における pn 接合ダイオードの特性

Characteristics of pn junction diode at cryogenic temperature

東大工¹, 慶大理工² ○(M1) 吉永啓人¹, 宮尾 知寿¹, 田中 貴久², 内田 建¹

Faculty of Engineering, The Univ. of Tokyo¹, Faculty of Science & Engineering, Keio Univ.²

○(M1) Keito Yoshinaga¹, Tomohisa Miyao¹, Takahisa Tanaka², Ken Uchida¹

E-mail: yoshinaga@ssn.t.u-tokyo.ac.jp

【研究背景】量子コンピュータの大規模集積化のためには、量子ビット制御用の CMOS 回路を極低温動作させる必要がある[1]。極低温における Si や Ge の pn 接合ダイオード特性の評価は古くから行われているが、その多くが不純物濃度が 10^{16} cm^{-3} から 10^{17} cm^{-3} 程度の低濃度基板である。本研究は、近年の微細素子に用いられるより高い基板不純物濃度で集積回路の要素素子である pn 接合ダイオードの低温 (4K) での電流決定機構について考察することを目的とした。

【実験方法と結果】 p^+n および n^+p 接合ダイオード(Fig. 1)に対して室温での接合容量測定および SIMS 分析から、 n 型および p 型基板の不純物濃度はそれぞれ $6 \times 10^{17} \text{ cm}^{-3}$ 程度と $4 \times 10^{17} \text{ cm}^{-3}$ 程度であると見積もられた。まず、さまざまなサイズの n^+p 接合ダイオードに対して、室温と 30 K および 4.2 K で電流-電圧特性を測定し、電流値を拡散層面積で規格化した場合と、拡散層の周辺長で規格化した場合とを比較した結果、室温では面積規格化で特性がよく一致し、30 K および 4.2 K の低温では周辺長規格化でよく一致した。同程度の不純物濃度の n^+p 接合ダイオードの構造に対して TCAD シミュレーションを行った結果、30 K では室温と比較して電流は基板の深い領域を流れず、 n^+ と p^+ の拡散層間の距離の短い領域を主に流れることが確かめられた。また、電流電圧特性の温度依存性(Fig. 2)から、極低温では 10^{-6} A/cm 程度までの低電流領域では Shockley のダイオード方程式で記述される指数関数的な電流-電圧関係がみられるが、これより大きい電流領域では、電流電圧特性の傾きは減少した。次に、極低温において同じ基板上的 p ウェル抵抗および n ウェル抵抗を測定すると、 n ウェルではオーミックな特性が見られるが、 p ウェルでは電界に依存した非線形な特性が見られた(Fig. 3)。また、各抵抗の温度依存性から不純物の活性化エネルギーを求めると、100 K から 40 K の温度域では 35~45 meV と不純物準位と同程度の値が得られるが、30 K 以下では活性化エネルギーは著しく減少し、異なる伝導機構が支配していることが示唆された。

【考察】極低温において電流値が接合面積ではなく周辺長に比例することは、電流が拡散層間の距離の短い領域を主に流れるというシミュレーション結果と整合する。このことは基板フリーズアウトによるウェル抵抗の増加に起因すると考えられる。また、電流-電圧関係の傾きの変化は、電流が少数キャリア注入制限から他の要因で制限される特性に切り替わることを示唆している。例えば、過去の研究では pn 接合を $p\text{-}i\text{-}n$ 接合とみなす場合の i 領域における再結合と高水準注入に相当するとして非線形性の説明を試みているものもある[2]。一方、ウェル抵抗が極低温で電界に依存して非線形の特性を示すと考える場合には、今回のように n^+/p^+ 間距離が $10 \mu\text{m}$ と比較的短い pn 接合においては、ウェル内の強い電界に起因して不純物のイオン化率が上昇する Poole-Frenkel 効果等の可能性を考えることができる。電流電圧特性の非線形性を引き起こす物理モデルの詳細については、発表においてより詳細に議論する。

謝辞：This work was supported by JST moonshot R&D (JPMJMS2067) and CREST JPMJCR 19I2.

[1] E. Charbon *et al.*, 2016 IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, 2016, pp.

13.5.1-13.5.4 [2] N. Sclar, D. B. Pollok, *Solid State Electron.*, 15, 5, 473-480 (1972).

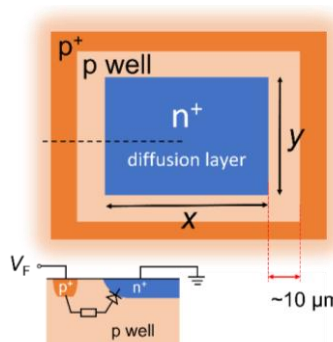


Fig. 1: Schematic of n^+p device structure.

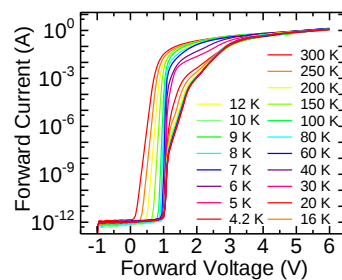


Fig. 2: Temperature dependence of I - V characteristics of n^+p diode.

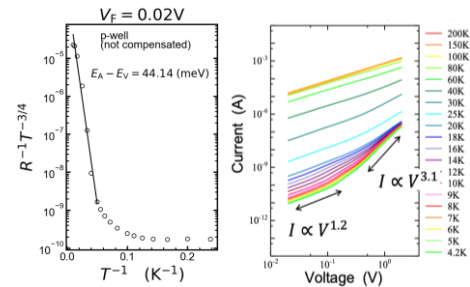


Fig. 3: Temperature dependence of p -well resistance.

バルク MOSFET における RTN 起源の温度変化

Temperature-Driven Changes of Random Telegraph Noise Sources in Bulk MOSFETs

○稲葉工, 岡博史, 浅井栄大, 更田裕司, 飯塚将太, 加藤公彦, 下方駿佑, 福田浩一, 森貴洋

National Institute of Advanced Industrial Science and Technology (AIST)

○Takumi Inaba, Hiroshi Oka, Hidehiro Asai, Hiroshi Huketa, Shota Iizuka,

Kimihiro Kato, Shunsuke Shitakata, Koichi Fukuda, and Takahiro Mori

E-mail: takumi.inaba@aist.go.jp

量子ビット制御回路の実現に向け、極低温動作 MOSFET で発生する $1/f$ ノイズの起源解明とその低減が求められている。これまでに、我々は極低温下におけるノイズ起源はシリコン-酸化膜界面に存在することを明らかにした[1]。本講演では、ノイズの起源となっている欠陥種別を明らかにするため、短チャネル MOSFET におけるランダムテレグラフノイズ (RTN) の温度依存性を測定し、RTN トラップのエネルギー準位が温度によって変化することを示した研究結果を発表する。

RTN 起源の評価のため、3-300 K の範囲で短チャネルバルク MOSFET (ゲート長 90 nm、ゲート幅 120 nm) のドレイン電流を取得し、そのパワースペクトル密度(PSD)を評価した。図 1(a)は PSD の温度依存性である。図 1a で縞模様が表れた 45 K での PSD を切り出すと $1/f^2$ の特性が見られたことから(図 1b)、縞模様の一つ一つが RTN トラップに起因することがわかる。図 1a 上の点線はショックレー・リード・ホールらのモデルに基づき縞模様をフィッティングしたものである。これより、バンド端から見た RTN トラップのエネルギー準位がそれぞれ 395, 240, 142 meV と求まった。これは温度が下がるにつれてよりバンド端に近いエネルギー準位が RTN に寄与することを示している。講演では、量子ビット動作温度付近である数ケルビンで見られたノイズの解析結果にもとづき、その温度帯ではバンド端から数十 meV 以内に存在するエネルギー準位がノイズの起源となることも示す。

この研究は国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)、および文部科学省光・量子飛躍フラグシッププログラム(Q-LEAP)による助成(JPMXS0118069228)を受けて実施した。

[1] H. Oka, *et al.*, 2020 *IEEE Symposium on VLSI Technology*, pp. 1-2, (2020)

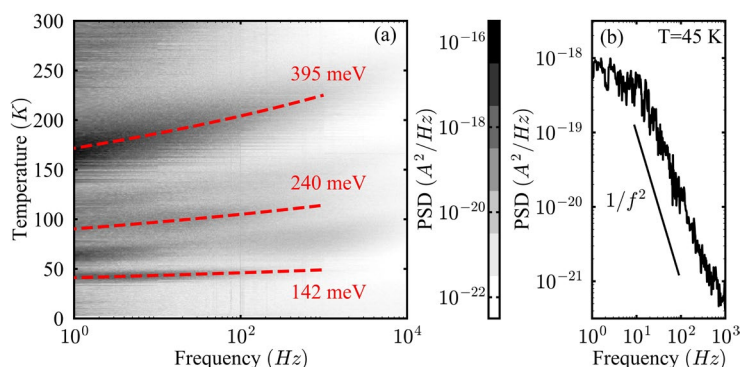


Fig. 1 (a) Frequency and temperature dependence of PSD. (b) A slice of PSD shown in (a) at 45 K.

MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (8) -捕獲電子の再結合過程 (I)-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (8) -Recombination process (I)-

静岡大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法による MOS 界面における単一欠陥の測定・評価法を確立し, 室温では単一欠陥からの CP 電流 I_{CPS} が $0 \sim 2fq$ (f : ゲートパルス周波数, q : 電気素量) の様々な値を示すことを見出した[1]. この一連の実測結果から, 各単一欠陥が 2 電子準位を有していることを直に実証し, すべての I_{CPS} 値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1). また, $I_{CPS}=fq$ 一定を大前提としている従来 CP 理論を本質的に改訂した[2]. さらに, 単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し, ESR による P_{b0} センターの DOS[3]との一致性を示し, CP で電氣的に検出された単一界面欠陥が ESR で磁氣的に検出された P_{b0} センターであることを実証した[2]. これらの結果に基づいて, ドナー型 (D-like) とアクセプタ型 (A-like) の両性準位を有する単一欠陥における電子捕獲素過程を直接観測し, A-および D-like 準位への伝導帯電子の捕獲時定数の実測に成功した[4]. さらに, D-および A-like 準位への連続的な伝導帯電子捕獲素過程を観測し, D-like 準位の電子捕獲後の欠陥構造緩和過程の直接観測に成功した[5]. また, この欠陥構造緩和時間に対する伝導帯電子濃度の影響など, 実験的に抽出した幾つの特徴を基にして構造緩和の物理を考察した[6].

本件では CP サイクル内の反転期間に伝導帯電子が両性準位に捕獲された後, 蓄積期間に捕獲電子が価電子帯正孔と再結合する素過程の直接観測を試みる. はじめに, 単純な素過程と予想されるタイプ 5 単一欠陥の A-like 準位に捕獲された電子の再結合過程の観測を試みた (図 2). この欠陥では D-like 準位を介した伝導帯電子の再結合は生じない. 従って CP 電流のゲートパルス・オフ時間 t_{Base} 依存性からは, A-like 準位に捕獲された伝導帯電子の再結合時定数 τ_{RA} が得られることになる. 図 3 に様々なゲートパルス立下り時間 t_f における CP 電流の t_{Base} 依存性を示す. なお図中の縦軸の CP 電流は, 蓄積層消失による CP 電流ゼロとなるゲートパルス・ベース電圧 V_{Base} から 0.36 V (固定値) 低い V_{Base} における電流値である. このようにすることで今後の測定も含め, 再結合時の各欠陥位置における蓄積層正孔濃度を統一する. また横軸の t_{Base} は, t_f 期間における低パルス電圧領域の一部を t_{Base} 時間に組み込む統一した補正を行っている[7]. 図 3 から $\tau_{RA}=30$ ns が得られた. 同様にタイプ 1 単一欠陥の D-like 準位に捕獲された伝導帯電子の再結合素過程の観測を行い再結合時定数 $\tau_{RD}=90$ ns を得た (図 4).

以上のように単一欠陥の両性準位に捕獲された伝導帯電子の価電子帯正孔との再結合素過程を直接観測し, A-および D-like 準位の各々について再結合時定数を求めることに成功した.

本研究の一部は科研費 No. 20H02203 の助成を受けて行われた.

参考文献

- [1] T. Tsuchiya and Y. Ono, Jpn. J. Appl. Phys. 54, 04DC01, 2015.
- [2] T. Tsuchiya and P. M. Lenahan, Jpn. J. Appl. Phys. 56, 031301, 2017.
- [3] P. M. Lenahan et al., IEEE Trans. Nucl. Sci. 48(6), p. 2131, Dec. 2001.
- [4] 土屋 他, 第 69 回応物学会春季学術講演会 23p-E307-18~20, 2022.
- [5] 土屋 他, 第 83 回応物学会秋季学術講演会 22a-A102-1~2, 2022.
- [6] 土屋 他, 第 70 回応物学会春季学術講演会 16a-A403-9~10, 2023.
- [7] 土屋 他, 第 80 回応物学会秋季学術講演会 19a-B11-9, 2019.

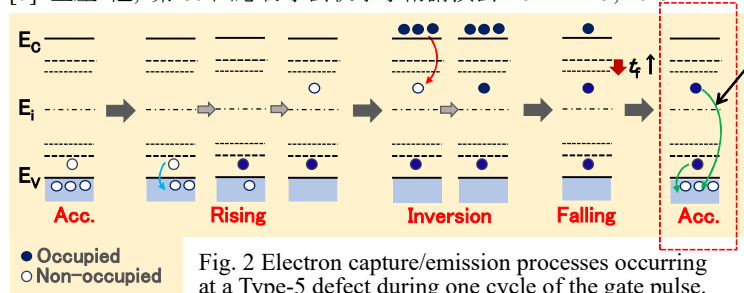


Fig. 2 Electron capture/emission processes occurring at a Type-5 defect during one cycle of the gate pulse.

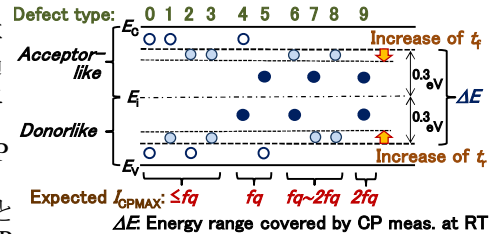


Fig. 1 Classification of single amphoteric Si/SiO₂ interface-defects [1, 2]

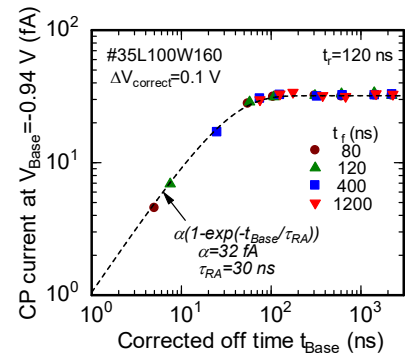


Fig. 3 Dependences of CP current from an A-like state of a Type-5 defect upon corrected off time.

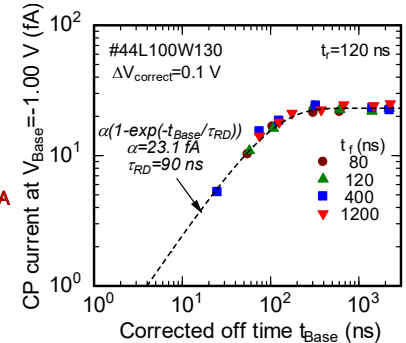


Fig. 4 Dependences of CP current from a D-like state of a Type-1 defect upon corrected off time.

MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (9) -捕獲電子の再結合過程(II)-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (9) -Recombination process (II)-

静大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法による MOS 界面における単一欠陥の測定・評価法を確立し, 室温では単一欠陥からの CP 電流 I_{CPS} が $0 \sim 2fq$ (f :ゲートパルス周波数, q :電気素量) の様々な値を示すことを見出した[1]. この一連の実測結果から, 各単一欠陥が 2 電子準位を有していることを直に実証し, すべての I_{CPS} 値を説明できる単一欠陥の 10 種のタイプ分類を行った. また, $I_{CPS}=fq$ 一定を大前提としている従来 CP 理論を本質的に改訂した[2]. さらに, 単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し, ESR による P_{b0} センターの DOS[3]との一致性を示し, CP で電気的に検出された単一界面欠陥が ESR で磁気的に検出された P_{b0} センターであることを実証した[2]. これらの結果に基づいて, ドナー型 (D-like) とアクセプタ型 (A-like) の両性準位を有する単一欠陥における電子捕獲素過程を直接観測し, A-および D-like 準位への伝導帯電子の捕獲時定数の実測に成功した[4]. さらに, D-および A-like 準位への連続的な伝導帯電子捕獲素過程を観測し, D-like 準位の電子捕獲後の欠陥構造緩和過程の直接観測に成功した[5]. また, この欠陥構造緩和時間に対する伝導帯電子濃度の影響など, 実験的に抽出した幾つかの特徴を基にして構造緩和の物理を考察した[6].

本件では前報と同様に単一欠陥の A-like 準位や D-like 準位に捕獲された伝導帯電子の価電子帯正孔との再結合素過程を扱うが, ここでは伝導帯電子が両方の準位に捕獲され, その後の両捕獲電子の連続的な再結合の素過程を直接観測する. この目的のためにタイプ 6 の単一欠陥を用いた. この欠陥では図 1 に示すように CP サイクルの反転期間に D-および A-like の両準位に伝導帯電子が捕獲され, 蓄積期間にその両電子が価電子帯正孔と再結合する (各再結合時定数を各々 τ_{RD} , τ_{RA} とする). これらの時定数は CP 電流のゲートパルス・オフ時間 t_{Base} 依存性の解析から得られるものと考えられる.

図 2 に CP 電流の t_{Base} 依存性を様々なゲートパルス立下り時間 t_f について示す. この依存性を一つの時定数でフィッティングできないことは明らかである. t_f の増大で CP 電流が減少しているのは, タイプ 6 欠陥の A-like 準位が CP で検出可能なバンドギャップ内エネルギー範囲の上端付近に位置しており, この準位からの CP 電流が t_f の増大と共に減少するためである. なお, この欠陥の D-like 準位は深い位置にあり, この準位からの CP 電流は t_f には依存せず, t_{Base} 増大による飽和電流値は常に fq ($=32$ fA) である. 図 2 の CP 電流を各 t_f 毎にその飽和値で規格化した結果を図 3 に示す. 図中の各破線曲線は一組の時定数 (τ_{RA} と τ_{RD}) のみがフィッティング・パラメータであり, 図から $\tau_{RA}=2$ ns, $\tau_{RD}=230$ ns が得られた.

以上のように単一欠陥の A-like および D-like の両準位に捕獲された伝導帯電子の価電子帯正孔との連続的な再結合素過程を観測し, 各再結合時定数の導出に成功した.

本研究の一部は科研費 No. 20H02203 の助成を受け行われた.

参考文献

- [1] T. Tsuchiya and Y. Ono, Jpn. J. Appl. Phys. 54, 04DC01, 2015.
- [2] T. Tsuchiya and P. M. Lenahan, Jpn. J. Appl. Phys. 56, 031301, 2017.
- [3] P. M. Lenahan et al., IEEE Trans. Nucl. Sci. 48(6), p. 2131, Dec. 2001.
- [4] 土屋 他, 第 69 回応用物理学会春季学術講演会 23p-E307-18~20, 2022.
- [5] 土屋 他, 第 83 回応用物理学会秋季学術講演会 22a-A102-1~2, 2022.
- [6] 土屋 他, 第 70 回応用物理学会春季学術講演会 16a-A403-9~10, 2023.

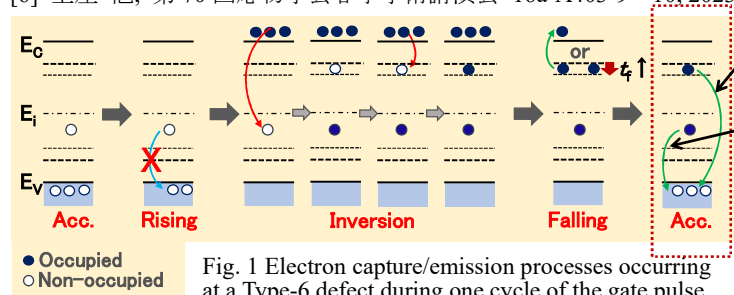


Fig. 1 Electron capture/emission processes occurring at a Type-6 defect during one cycle of the gate pulse.

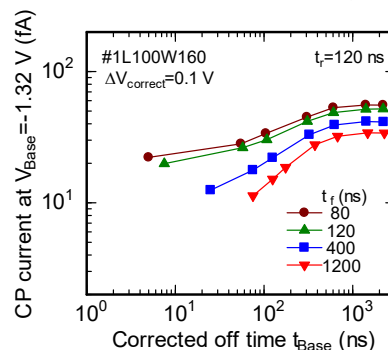


Fig. 2 Dependences of CP current from both an A-like and a D-like states of a Type-6 defect upon corrected off time with the fall time as a parameter.

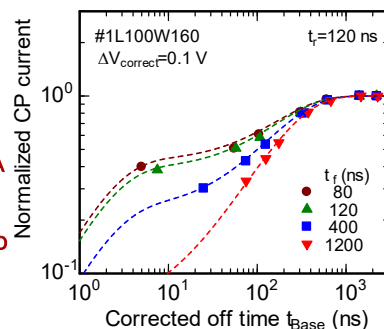


Fig. 3 Dependences of normalized CP current from a single Type-6 defect upon corrected off time.