

Symposium (Oral) Symposium : Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies
--

📅 Fri. Sep 22, 2023 1:30 PM - 5:50 PM JST | Fri. Sep 22, 2023 4:30 AM - 8:50 AM UTC | 🏢 A401 (KJ Hall)

[22p-A401-1~10] Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies

Noriyuki Uchida(AIST), Kotaro Makino(AIST)

1:30 PM - 1:35 PM JST | 4:30 AM - 4:35 AM UTC

[22p-A401-1] Opening

○Noriyuki Uchida¹ (1.AIST)

1:35 PM - 2:05 PM JST | 4:35 AM - 5:05 AM UTC

[22p-A401-2] The study of Green Sustainable on semiconductor manufacturing

○Kazunori Kato¹ (1.Advanced Interface Technolgy Corp.)

2:05 PM - 2:35 PM JST | 5:05 AM - 5:35 AM UTC

[22p-A401-3] Forwarding Life-Cycle Assessment Study of Semiconductors

○Kazuyo Mastubae¹ (1.Tohoku Univ.)

2:35 PM - 3:05 PM JST | 5:35 AM - 6:05 AM UTC

[22p-A401-4] Utilization of IDEA for the Semiconductors' LCA

○Kiyotaka Tahara¹, Hiroki Hatayama¹ (1.AIST)

3:05 PM - 3:35 PM JST | 6:05 AM - 6:35 AM UTC

[22p-A401-5] Challenge to visualization of supply chain CO2 emissions utilizing digital technology

○Koichi Inagaki¹ (1.NEC Corporation)

3:45 PM - 4:15 PM JST | 6:45 AM - 7:15 AM UTC

[22p-A401-6] Sustainable Activities in ROHM Semiconductor Manufacturing

○Yoshiyuki Shigenobu¹ (1.ROHM)

4:15 PM - 4:45 PM JST | 7:15 AM - 7:45 AM UTC

[22p-A401-7] Monitoring technologies for semiconductor manufacturing process to reduce environmental impact

○Masakazu Minami¹ (1.HORIBA STEC)

4:45 PM - 5:15 PM JST | 7:45 AM - 8:15 AM UTC

[22p-A401-8] Flow rate standard for semiconductor process gases

○Toshihiro Morioka¹ (1.AIST)

5:15 PM - 5:45 PM JST | 8:15 AM - 8:45 AM UTC

[22p-A401-9] Four informatics in material science

○Yuma Iwasaki¹ (1.NIMS)

5:45 PM - 5:50 PM JST | 8:45 AM - 8:50 AM UTC

[22p-A401-10] Closing

○Kanayama Toshihiko¹ (1.AIST)

Symposium (Oral) | Symposium : Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies

Fri. Sep 22, 2023 1:30 PM - 5:50 PM JST | Fri. Sep 22, 2023 4:30 AM - 8:50 AM UTC | A401 (KJ Hall)

[22p-A401-1~10] Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies

Noriyuki Uchida(AIST), Kotaro Makino(AIST)

1:30 PM - 1:35 PM JST | 4:30 AM - 4:35 AM UTC

[22p-A401-1] Opening

○Noriyuki Uchida¹ (1.AIST)

Keywords : semiconductor

半導体製造のグリーンサステナブル検討

The study of Green Sustainable on semiconductor manufacturing

有限会社 エー・アイ・ティ 加藤凡典

Advanced Interface Technology Corp. Kazunori Kato

E-mail: kato@aittokyo.com

電子デバイス製造には大量の電気を用いることはよく知られている。オランダ ASML の最先端の EUV 露光装置は1台300億円近くの価格でその定格消費電力は1MWである。大型のデータセンターもまた膨大な電力が必要である。しかし現代社会においてスマホのない生活は考えられず、EV も自動運転も電子デバイスの進化とデータセンタなしには考えられない。最先端のデバイスを製造する産業として材料、装置、プロセスにおける環境負荷(廃棄物や物流を含む)の計算式/評価方法の標準化をはじめグリーン化を目的とした具体的活動を開始する時期に来ている。

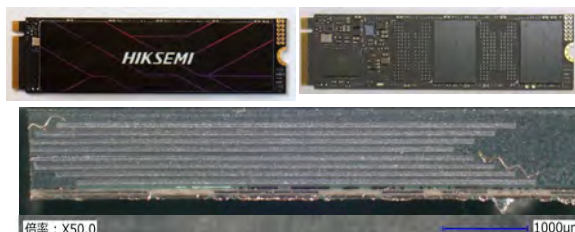
ここではグリーンサステナブルを実現するため下記ステップを整理することとする。

1. 現在の半導体製造における環境負荷の確認
2. デバイス及び最終電子・電気機器の消費電力
3. 技術ロードマップに対応したグリーンロードマップの作成
4. 標準化の重要性の啓蒙と標準化に必要な LCA 等の計算式の作成
5. 物流、廃棄物処理の環境負荷の計算式/評価方法の作成
6. 新規技術と従来技術の生産性と環境負荷の評価方法

以下に見てわかる環境について考えるべき事例を挙げる。

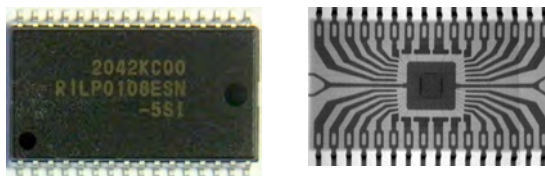
1 ウェハの厚さ

300mm 径ウェハの厚さの SEMI 標準は $775\mu\text{m}$ である。一方 SSD などに搭載されるフラッシュメモリーは $60\text{--}80\mu\text{m}$ まで薄化されている。YMTC 1TB 3D NAND PKG は $80\mu\text{m}$ 厚のフラッシュを8枚積層している。



2 パッケージサイズ

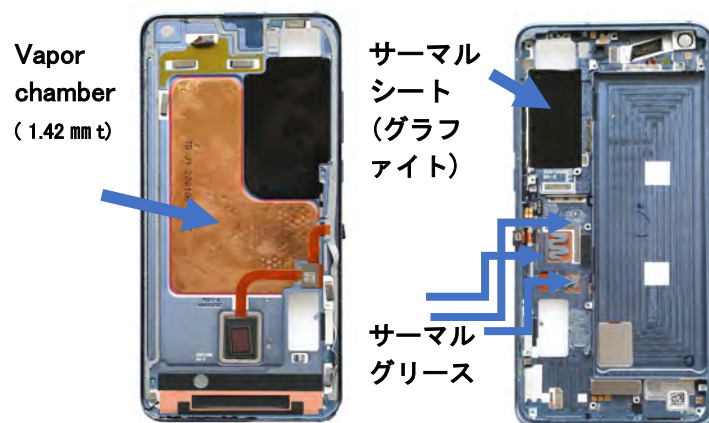
JEITA 規格の SOP32 ピンに封止されるチップにはパッケージサイズ 1%前後の場合もある。



SRAM 8Mb	SOP-32 ピン
パッケージサイズ	20.75 x 11.4 x 3.05 mm
チップサイズ	1.65 x 1.65 mm (1.15%)

3 放熱(デバイスの消費電力に関連)

デバイスからの熱を放熱するために様々な放熱機構が用いられている。



半導体製造のライフサイクル分析に向けて Forwarding Life-Cycle Assessment Study of Semiconductors

東北大 環境¹, °松八重 一代¹

Tohoku Univ.¹, °Kazuyo Matsubae¹

E-mail: kazuyo.matsubae.a2@tohoku.ac.jp

1. はじめに

ゼロカーボン社会実現に向けて様々な低炭素技術の導入が検討・実施され、電動車の普及や太陽光発電などの再生可能エネルギー技術の導入も世界中で加速している。低炭素社会を支える重要技術には各種半導体が用いられるが、一方で半導体製造段階の環境負荷排出はエッチングやクリーニング等で用いられるフッ素系ガスを含め、その影響は小さく無い。IMEC の White Paper では、IC 産業における温室効果ガスの排出は世界全体の 1.8%を占め、さらに IC チップ生産そのものにおいて発生する温室効果ガスは世界の排出の 0.1%と指摘をしている。Sustainable Semiconductor Technologies and Systems(SSTS)への関心の高まりを受け、半導体素子製造においても環境配慮型の生産技術選択が必要不可欠になりつつある。本稿では半導体のライフサイクル分析を行う際の課題について議論する。

2. 半導体生産に関わるライフサイクルインベントリデータ

国内では電子情報技術産業協会 (JEITA) にて半導体製造各社が参加した LCA について検討調査が過去に行われ、これにより温室効果ガス排出に関する知見は一定程度得られているものの、製造プロセスに必要な資源戦略、温暖化ガス以外の環境負荷排出についての情報集積は十分でない。JEITA において集積されたデータの一部は産総研の有する国内最大級の LCA データベース IDEA に一定程度引き継ぎがあるものの、解析データがすでに古い上、主なデータは重要な多くを占めるベースメタルに関するものに偏りがある。半導体製造において戦略的に重要な素材の多くは産業ガスの流れに付随して流入するが、半導体産業のみならず産業ガスの製造と消費については、LCA 業界全体を見渡しても、情報が大きく不足しているのが現状である。国内の産業ガスの流れについてはガスレビュー社のサーベイが最も詳しいが、個々の半導体生産にどのようなガスがどれほど用いられるかについては、企業ヒアリングや特許情報のレビューなどにより補完する必要がある。

3. おわりに

デジタル技術の普及・導入は温暖化緩和への貢献が期待される。一方でデジタル技術の導入に伴う資源需要の拡大により、温暖化以外のリスク拡大が懸念される。デジタル社会を支える鉱物資源のサプライチェーンの背後には、様々なリスク要因が潜在しており、かつサプライチェーンのグローバル化に伴い、人権、労働、環境、文化に関連する社会問題が顕在化してきている。社会全体で鉱物資源の持続的な管理保全の重要性について意識共有することが、今後ますます重要である。

Symposium (Oral) | Symposium : Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies

Fri. Sep 22, 2023 1:30 PM - 5:50 PM JST | Fri. Sep 22, 2023 4:30 AM - 8:50 AM UTC | A401 (KJ Hall)

[22p-A401-1~10] Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies

Noriyuki Uchida(AIST), Kotaro Makino(AIST)

2:35 PM - 3:05 PM JST | 5:35 AM - 6:05 AM UTC

[22p-A401-4] Utilization of IDEA for the Semiconductors' LCA

OKiyotaka Tahara¹, Hiroki Hatayama¹ (1.AIST)

Keywords : semiconductor

デジタル技術によるサプライチェーン CO₂ 排出量「見える化」への挑戦

Challenge to visualization of supply chain CO₂ emissions utilizing digital technology

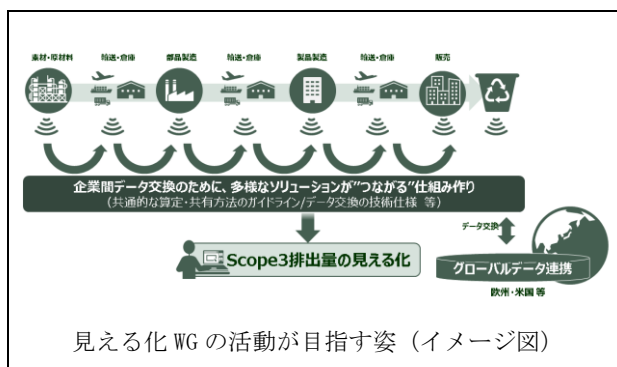
Green x Digital コンソーシアム 見える化 WG 主査 稲垣 孝一 (NEC)

Green x Digital Consortium Carbon data visualization project Leader Koichi Inagaki (NEC)

E-mail: k.inagaki@nec.com

産業革命以降の世界の平均気温上昇を 1.5℃に抑えるために、2050 年までにカーボンニュートラルを実現することが世界の共通目標となっており、企業経営に対してもサプライチェーン全体の脱炭素化に向けた対応が求められている。企業が CO₂ 排出削減を進める上で、CO₂ 排出の実態を見える化することがまず必要で、そこにはデジタル技術が必要不可欠と言える。そこで、JEITA（一般社団法人電子情報技術産業協会）が事務局となり、2021 年 10 月に Green×Digital コンソーシアムを設立し、サプライチェーン全体の CO₂ 排出量の見える化のための基盤づくりを行う「見える化 WG」を立ち上げた。（見える化 WG 参加企業 130 社／2023 年 6 月時点）

企業においては、自社内の事業活動からの直接的な排出（Scope1,2）だけでなく原材料などの購入やそれに伴う輸送、生産した製品の流通や使用の段階で温室効果ガスが排出されており、サプライチェーンの上流及び下流からの自社以外での排出（Scope3）が大半を占めるケースが多い。そのため CO₂ 排出削減を進める上では、サプライヤーや顧客との削減に向けたエンゲージメントが重要になる。一方で、実際のサプライチェーン排出量の算定は、例えば、企業が外部から調達する製品やサービスの CO₂ 排出量（Scope3 カテゴリ 1）は、活動量（調達量）×排出原単位で算定されるが、活動量には調達額を使うケースが多く、調達額が減らないと（事業を縮小しないと）排出量も減らないため、省エネ化や再エネ活用等によるサプライヤーの CO₂ 排出削減努力が一切反映されないという課題がある。こうした状況を改善するために、「見える化 WG」では、サプライヤーにおける実際の排出量に基づいて集計できる情報基盤(ソリューションがつながる仕組み)の構築を目指している。



また、サプライチェーンはグローバルに広がることから、国際的な連携も重要となる。海外では既に WBCSD（持続可能な開発のための世界経済人会議）が、同様の検討を進めており、PACT（Partnership for Carbon Transparency）という枠組みで算定ルールやデータ連携の仕様を公開している。「見える化 WG」は PACT と密に連携しながら、グローバル連携を視野に入れた基盤構築(ソリューションがつながる仕組み)を行っている。

サプライチェーン全体の CO₂ の見える化は、一部の企業が取り組むだけでは実現できない。そのため、今後も「見える化 WG」活動の内容を積極的に発信し、グローバル連携はもちろん、様々な業種を巻き込みながら、社会全体のカーボンニュートラルに向けた活動に貢献していきたい。

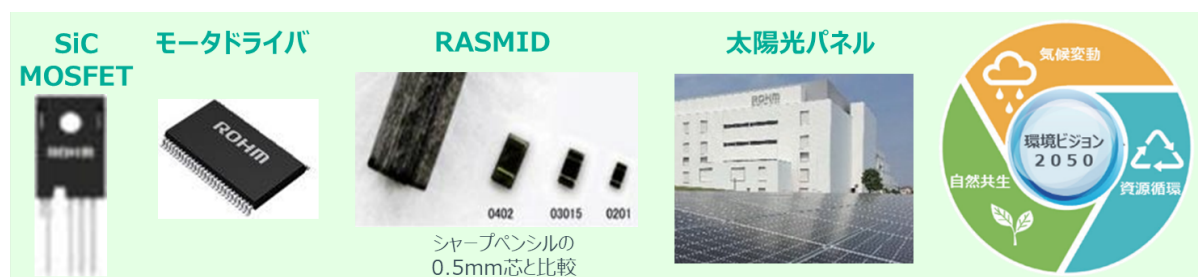
ロームにおける半導体製造のサステナビリティ

○重信好行（ローム株式会社）

E-mail: yoshiyuki.shigenobu@lsi.rohm.co.jp

その影響が顕著になってきた温室効果ガスによる地球温暖化をはじめとして、人類の経済圏の拡大や利便性の追求により環境負荷が増大しており、地球の自浄作用ではリカバリーできない未来が予想されている。CO₂ 排出量の増大、大量消費型経済、海洋マイクロプラスチック、大量の廃棄物、水資源の枯渇等がその環境負荷に該当する。ロームはこれらの環境負荷の低減をサステナビリティ活動の一環と捉え、環境への影響を極小化しつつ、企業活動を継続するための様々な活動により、地球環境と企業経営の両立を目指している。

ロームにおける環境負荷低減への取組みとして、①高機能製品の開発、②製品の小型化による材料、エネルギーの極小化、③生産工程の短縮化、④生産プロセスにおける材料、エネルギーの極小化、⑤廃棄物量の低減、再資源化の促進、⑥水資源の有効活用、⑦化石エネルギー消費由来の CO₂ 排出量の低減、⑧バリューチェーンにおける CO₂ 排出量の低減、⑨規制物質管理の徹底、等の施策が挙げられる。いくつかの事例を以下に紹介する。まず、高機能製品の開発については、素材やデバイス構造そのものの開発により実現した SiC 製品やパワーデバイスが挙げられる。また、回路設計技術を駆使し、機能を向上させつつ、省電力や高コントロール性を追求した PMIC (Power Management IC) やモータードライバなどがある。小型化については世界最小部品「RASMID」シリーズや小型抵抗器を市場に投入している。資源循環の観点からは、生産活動に必要な水資源の再利用による取水量の削減、および排出される廃棄物量の削減、再資源化率の向上に向けて、生産プロセスの見直し、リサイクル方法の検討やそれに必要な設備投資を過去より継続している。近年注目されている温暖化を抑制するための CO₂ 排出量低減に関しては、化石燃料使用装置の電化、省電力機器の新規導入、太陽光発電設備の導入、再生可能エネルギーの市場からの購入等、幅広い施策により削減を推進している。併せて、SBTi 認証取得、RE100 加盟など各イニシアチブに参加することでその活動を加速させている。



ロームは「環境ビジョン 2050」に示す気候変動・資源循環・自然共生に向けた環境負荷を低減する活動の加速度的な推進により、ステートメント「Electronics for the future」に掲げる社会課題が解決された未来を創造する。

環境負荷低減に貢献する半導体製造プロセスにおけるモニタリング技術

Monitoring technologies for semiconductor manufacturing process

to reduce environmental impact

堀場エステック, 南 雅和

HORIBA STEC, Masakazu Minami

E-mail: masakazu.minami@horiba.com

世界のデジタル化やグリーン化、さらには経済安全保障の観点からも半導体の重要性が高まっている。持続可能な社会を実現するためには、半導体デバイスの低消費電力化やパワーデバイスによる電力変換効率の向上が大きく貢献する一方、半導体製造プロセスにおける環境負荷を低減することは重要な課題となっている。特に地球温暖化ガスの削減は、1997年に採択された京都議定書に地球温暖化係数の高いPFC (Perfluorinated compounds) ガスが追加されてから排出量削減の取り組みが行われてきた。PFC ガスはドライエッチングや成膜装置のクリーニングガスとして広く用いられており、プロセスの最適化や代替ガスの評価、除害効率の改善、ガスの再利用などに、赤外吸収分光法が利用されてきた[1][2]。

近年の複雑化する半導体製造プロセスにおいては、より多くのパラメータをリアルタイムに計測・制御することがスマートファブの実現に求められている。プロセスチャンバー周辺だけでなく、材料供給から排気まで含めた半導体工場全体に対するモニタリング技術が、デバイスの歩留まり向上に加えて、環境負荷低減に関しても貢献できると期待されている。また、パリ協定、SSTS (Sustainable Semiconductor Technologies and Systems) [3]、SCC (Semiconductor Climate Consortium) [4] など、脱炭素化に向けた世界的な取り組みが加速している。韓国においては「大気環境保全法」により HCl ガスを規制対象としていたが、2021年に「環境汚染施設の統合管理に関する法律」を改定し、HF ガスも規制対象とするなど、政府による法規制も整備されつつある。半導体関連企業はこれらの状況に対応した新技術の開発を進めるとともに、新たなモニタリング技術を求めている。本講演では、半導体製造プロセスにおける各種モニタリング技術とそれらの適応事例について紹介する。

[1]Y. Matsushita, “Status of the PFC Emission Reduction Activities in Semiconductor Industry”, 真空, Vol.46, No.9, p.659-664, 2003

[2]T. Satake, “The FT-730G PFCs Concentration Monitor”, Readout, No.21, pp 41-45, 2000

[3]<https://www.imec-int.com/en/expertise/cmos-advanced/sustainable-semiconductor-technologies-and-systems-ssts>

[4]<https://www.semi.org/en/industry-groups/semiconductor-climate-consortium>

半導体製造ガスに関する流量標準について

Flow Rate Standard for Semiconductor Process Gases

産総研¹ ○森岡 敏博¹

AIST¹, °Toshihiro Morioka¹

E-mail: tssj.morioka@aist.go.jp

高性能、低価格の半導体デバイスの大量生産・供給のためには、半導体デバイスの微細化、三次元実装など高集積化が必要であり、高集積化半導体デバイスを高効率で生産するためには高度に制御された製造工程の実現が必須である。微細加工に使用される材料はガス状態で供給されることが多く、供給量の制御にはマスフローコントローラー(MFC: Mass Flow Controller)が多く使用されており、MFCの制御精度・再現性が高集積化半導体デバイスの生産性に大きく影響を与えることが知られている。N₂、Ar、He など不活性ガスの流量に対しては国立研究開発法人 産総研により衡量法、定積法を使用した流量標準の開発が行われ、臨界ノズルを使用した国際相互認証、標準普及の認定制度が整備され、すでに普及が進んでいる。しかしながら、半導体製造工程で使用される多くのガスは活性、毒性が強いため、流量標準の開発、普及は進んでおらず、MFCメーカー毎に値付けされており、使用者側で微調整をして使用されているのが現状である。そのため不活性ガスと同様に半導体製造ガスの流量標準の開発、普及が望まれている。

このような背景から、産総研と国内 MFC メーカー6 社とのラウンド・ロビンテストを行ったところ、目標精度 1 %に対して、不活性ガスである N₂ に対しては 0.5 %以下で目標を達成したが、半導体製造ガスの一つである SF₆ に対しては 4~5 %の誤差が確認された。

材料開発における4つのインフォマティクスと自律材料探索

Four informatics in material science

物材機構¹, [○]岩崎 悠真¹

NIMS¹, [○]Yuma Iwasaki¹,

E-mail: IWASAKI.Yuma@nims.go.jp

近年、人工知能や機械学習を活用したデータ駆動型材料開発技術が大きく注目されている。材料研究者の勘・コツ・経験をデータ科学でアシストすることによって、材料開発の飛躍的な効率化が期待されている。当然、半導体材料開発・半導体製造においても応用可能な技術が数多くある。

そこで、本講演の前半は、データ駆動材料開発技術の現状を俯瞰し、簡単に説明する。この技術領域を細かく分類すると、新材料・物性値などをデータ駆動で予測する『マテリアルズ・インフォマティクス』、効率的に材料を合成する『プロセス・インフォマティクス』、効率的に計測・解析を行う『計測インフォマティクス』、材料科学の理解を目的とした『物性（物理）インフォマティクス』に分けて考えることができる。本講演の前半は、これら4つの分野を簡単な事例を交えて紹介する。

本講演の後半は、データ駆動型材料開発技術の一つである自律材料探索にフォーカスを当てて紹介する。自律材料探索とは、機械学習、ロボティクス、シミュレーション等を組み合わせて、広大な材料探索空間を自律的に探索する技術である。本講演では、ロボットを活用した自律材料探索（Robotic autonomous material search）とシミュレーションを活用した自律探索（In-silico autonomous materials search）に分けて紹介し、その後、これらを活用して実際に材料探索を行った事例を発表する。

謝辞

本研究は JST-CREST『未踏探索空間における革新的物質の開発（研究総括：北川宏）』における研究課題『科学者の能力を拡張する階層的自律探索手法による新材料の創製（研究代表：岩崎悠真）』の支援を受けたものである

Symposium (Oral) | Symposium : Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies

Fri. Sep 22, 2023 1:30 PM - 5:50 PM JST | Fri. Sep 22, 2023 4:30 AM - 8:50 AM UTC | A401 (KJ Hall)

[22p-A401-1~10] Systematic Building of Green and Sustainable Semiconductor Manufacturing Technologies

Noriyuki Uchida(AIST), Kotaro Makino(AIST)

5:45 PM - 5:50 PM JST | 8:45 AM - 8:50 AM UTC

[22p-A401-10] Closing

OKanayama Toshihiko¹ (1.AIST)

Keywords : semiconductor
