

一般セッション(ポスター講演) | 13 半導体：13.6 ナノ構造・量子現象・ナノ量子デバイス

■ 2023年9月22日(金) 16:00 ~ 18:00 | 会場 P09 (熊本城ホール)

■ [22p-P09-1~5] 13.6 ナノ構造・量子現象・ナノ量子デバイス

[22p-P09-1] MOVPE法で作製した格子整合系InAs/GaAsSb超格子の中赤外発光の温度依存性

○小佐治 大輔¹、荒井 昌和¹、藤澤 剛²、前田 幸治¹ (1.宮崎大工、2.北大情報科学研)

[22p-P09-2] Si/CaF₂ n型三重障壁共鳴トンネルダイオードの電流密度向上

○(M1)村上 寛太¹、宇佐見 遼也¹、星野 麻衣子¹、渡辺 正裕¹ (1.東工大電気電子系)

[22p-P09-3] CaF₂埋め込み構造を用いたp型Si/CaF₂二重障壁共鳴トンネルダイオードのバレー電流低減

○宇佐見 遼也¹、星野 麻衣子¹、村上 寛太¹、渡辺 正裕¹ (1.東工大工学院)

◆ 英語発表

[22p-P09-4] First-principles calculation of bulk photovoltaic effect in ferroelectric topological insulator phase of halide perovskite

○YedijaYusua Sibuea Teweng¹, Naoya Yamaguchi², Fumiyuki Ishii² (1.Grad.Sch.of Sci.Tech, 2.NanoMaRi)

◆ 英語発表

[22p-P09-5] First-principles study of anomalous valley Hall effect in WTe₂/CrI₃ van der Waals heterostructures

○(M2)Syifa FauziaHariyanti Putri¹, Naoya Yamuguchi², Fumiyuki Ishii² (1.Grad. Sch. Of Sci. & Tech., 2.NanoMari)

MOVPE 法で作製した格子整合系 InAs/GaAsSb 超格子の 中赤外発光の温度依存性

Temperature Dependence of InAs/GaAsSb Superlattice, a Lattice-Matched System
Sample Fabricated by MOVPE Method.

宮崎大工¹, 北大情報科学研² ○(M2)小佐治 大輔¹, 荒井 昌和¹, 藤澤 剛², 前田 幸治¹
Univ. of Miyazaki¹, Hokkaido Univ.², ○Daisuke Osaji¹, Masakazu Arai¹, Takeshi Fujisawa²,
Koji Maeda¹

E-mail: hk18013@student.miyazaki-u.ac.jp

1. はじめに

波長 2-10 μm の中赤外帯域には分子振動の吸収線が存在する。これを利用したガスの選択的な検出のための発光・受光素子が期待されている。超格子(SL)の層厚を変化させることで発光波長の制御が可能になることから、この波長域の素子として InAs/GaSb タイプII超格子構造が注目されている。しかし、格子定数の差により自由な層厚の SL を作ることができない。そこで、V族比で 8%As を含んだ GaAsSb を用いることで InAs 基板と格子整合した SL が作製できる。これにより、欠陥を減らし、より強い発光が期待される。

我々は、これまでに InAs/GaSb 系で 20 K で約 3.5~4.6 μm の広帯域で発光する SL を作製し、光学特性を明らかにしてきた[1]。本研究では、格子整合した InAs/GaSb SL を作製し、フォトルミネッセンス(PL)測定を行い、温度依存性より発光遷移を明らかにすることを目的とした。

2. 実験方法

試料は有機金属気相成長法(MOVPE)を用いて InAs 基板上に InAs バッファ層を挿入し、InAs/GaSb を 5 層成長させた。SL は 510°C で成長させた。層厚は XRD 測定により InAs 層は 2.8 nm、GaAsSb 層は 20 nm であった。PL 測定は、InSb 検出器を用い、励起光源に 250 mW、波長 532 nm の Nd:YAG レーザーを使用し、試料温度を 20 K-300 K まで変化させて行った。また、各層が理想的な構造と仮定し、 $k \cdot p$ 摂動法によりバンド構造を算出[2]し、井戸内励起キャリア密度を仮定し、自然発光強度を求め、PL スペクトルと比較した。

3. 結果

20 K の時、計算では最低の量子準位間の発光は 4.7 μm 付近に、より高い準位間の発光は 4.0 μm 付近となった。

Fig. 1 に実験から得られた各試料温度の PL スペクトルを対数軸で示す。4.2 μm 付近に小

な減少が見られたが、これは CO_2 の吸収によるものである。3.0 μm 付近のピークは基板又はキャップ層の InAs からの発光である。

20K では 3.8 μm 付近にピークが見られた。これは計算より、最低の準位より高い準位からの発光に相当し、実験ではこの励起強度では、最低の準位からの発光がピークとして確認できなかった。これは、最低の準位の発光が弱く、高次の準位の発光の裾と重なっているためである。

励起キャリア密度を $4.0 \times 10^{23} \text{ m}^{-3}$ 付近と仮定すると、3.8 μm 付近の発光が長波長側へシフトしながらブロードになる PL の温度変化の概略が計算で再現できた。これより、300K 付近の 4~4.5 μm 付近の発光は、最低の準位より高いエネルギー準位間の発光であることが考えられる。

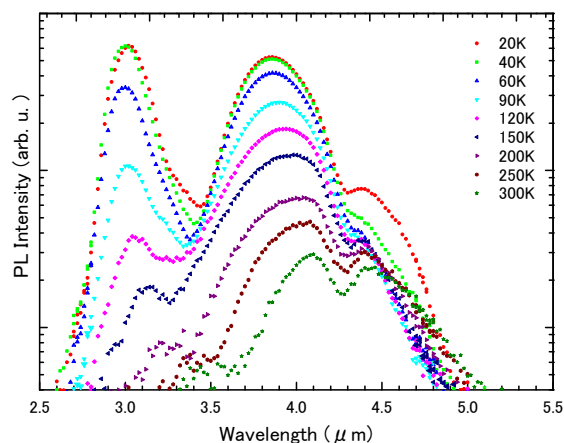


Fig. 1 Temperature dependence of PL measurements on lattice-matched InAs/GaSb superlattices (20-300 K).

謝辞 本研究の一部は JSPS 科研費 22K04245 の助成を受けました。

参考文献

- [1] 岩切他 秋季応用物理学会学術講演会, 21a-C301-5, 2022.
- [2] T. Fujisawa *et al*, IEEE, Quantum Electron, 45, pp.1183-1191, (2009).

Si/CaF₂ n 型三重障壁共鳴トンネルダイオードの電流密度向上

Improvement of current density of Si/CaF₂ n-type triple-barrier Resonant Tunneling Diode

東工大工学院 ○村上寛太, 宇佐見遼也, 星野麻衣子, 渡辺正裕

Tokyo Institute of Technology, ○K. Murakami, R. Usami, M. Hoshino, M. Watanabe

E-mail: murakami.k.ap@m.titech.ac.jp

【はじめに】

シリコン(Si)/弗化カルシウム(CaF₂)ヘテロ構造は、結晶構造が類似で格子定数が近いことから Si 基板上に数原子層オーダーの積層エピタキシャル成長が可能である。また、原子層オーダーの CaF₂ と Si のヘテロ界面での伝導帯バンド不連続が 1~2 eV と大きい。これらの特徴を活かして、応用上有意な MA/cm² オーダーの電流密度を確保しつつ、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)の動作実証を行ってきた [1-3]。THz 周波数を見据えた課題として、高速応答性を発現するために必要なピーク電流密度の目安である 1MA/cm² の達成、リーク電流を抑制した高い PVCR の獲得、安定な繰り返し動作等が挙げられる。今回、n 型 RTD において三重障壁構造の採用及び障壁層厚設計の薄膜化により PVCR とピーク電流密度の向上を図った。また、これまで Si/CaF₂ 共鳴トンネル構造でしばしば観察された電流電圧特性の不安定性の原因を、電子の井戸層の欠陥準位へのトラップによる電荷蓄積であると考え、井戸層への n タイプドーピングによる欠陥準位の補償を狙った。その結果、室温においてピーク電流密度 1.8MA/cm²、PVCR~5.0 程度の NDR を連続で複数回観察したので報告する。

【実験方法】

作製した素子構造を Fig.1 に示す。n-Si(111)0.1° off 基板を SPM 洗浄後、厚さ 40 nm の熱酸化膜を形成し、ウェットエッチングによって直径 500 nm の結晶成長領域を形成する。その後基板を分子線エピタキシー結晶成長装置内に搬入し表面保護酸化膜を除去後、CaF₂(0.31nm)/n-Si(1.55nm)/CaF₂(0.31nm)/n-Si(1.55nm)/CaF₂(0.31nm)/n-Si(5nm)の各層を結晶成長した。Si 量子井戸成長時には As 分子線照射(dose=10¹⁹cm⁻³)を行った。大気搬出後、Cr/Au 電極をリフトオフにより形成し素子完成となる。電流電圧測定には半導体パラメータアナライザ Keysight-4155C を用いた。

【結果と考察】

今回作製した素子の室温における I-V 特性を Fig.2 に示す。複数回の順バイアス印加で連続して NDR を観測した。平均としてピーク電圧が 1.8V、ピーク電流密度が 1.8MA/cm² であり、PVCR は最大 9.1 であった。

先行研究の n 型三重障壁 RTD と比較すると、電流密度は一桁ほど増加している。また、過去に MA/cm² を超えるピーク電流密度をもつ n 型素子と比較すると、PVCR は 2 倍ほど向上している。この理由としては三重障壁構造にすることでエネルギーフィルタの狭帯域化により OFF 電流が小さくなるのに加え、障壁層のピンホール欠陥が貫通する確率を下げられるため、1 原子層厚という非常に薄い障壁でも障壁数の増加によりリーク電流の低減が可能となる。また、逆バイアスを印加しない繰り返し測定で連続して NDR を観測したのは n 型 Si/CaF₂ RTD においては初めてであった。このことから、井戸層へのドーピングによる欠陥準位補償がメモリ効果の抑制に有効であることが示唆された。

【参考文献】

- [1] Y. Kuwata et al., Appl. Phys. Express 9, 074001 (2016)
- [2] 鈴木他、第 83 回応用物理学会秋季学術講演会 22p-P14-2 (2022)
- [3] 利根川啓希(2019) “Si/CaF₂ ヘテロ量子構造を用いた三重障壁共鳴トンネルダイオードの研究”東京工業大学大学院工学院修士論文 (未刊行)

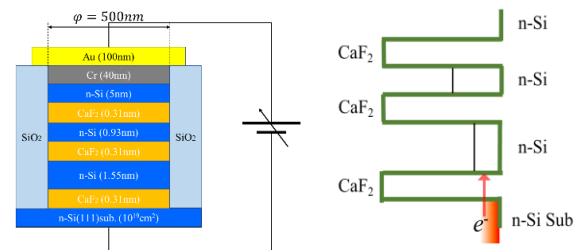


Fig. 1 素子構造とバンド図

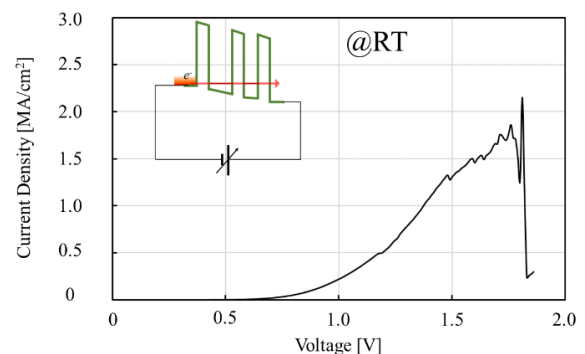


Fig. 2 室温微分負性抵抗特性

CaF₂埋め込み構造を用いた p 型 Si/CaF₂ 二重障壁
共鳴トンネルダイオードのバレー電流低減

Valley current reduction of p-type Si/CaF₂ double-barrier

Resonant Tunneling Diode using embedded structure in CaF₂

東工大工学院 [○]宇佐見遼也, 星野麻衣子, 村上寛太, 渡辺正裕

Tokyo Institute of Technology, [○]R. Usami, M. Hoshino, K. Murakami, M. Watanabe

E-mail: usami.r.aa@m.titech.ac.jp

【はじめに】

シリコン(Si)/弗化カルシウム(CaF₂)ヘテロ構造は、結晶構造が類似で格子定数が近いため、Si 基板上に数原子層オーダーの積層エピタキシャル成長が可能である。また、原子層オーダーの CaF₂ 薄膜と Si のヘテロ界面には約 1.5 eV の価電子帯バンド不連続が存在している。先行研究ではこれらの特徴を活かし、応用上有意な MA/cm² オーダーの電流密度を確保しつつ、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)の動作実証を行ってきた[1,2]。従来素子は RTD の側壁がアモルファスの SiO₂ で埋め込まれた構造であった。そこで、RTD 周囲の側壁界面の欠陥を低減させるために、成長温度 300℃で結晶成長させた CaF₂ に埋め込まれた構造を用いたところ低バイアス領域においてリーク電流の低減が観察された [3]。しかし、バレー電流の低減効果は限定的であった。そこで今回、界面欠陥のさらなる低減を目的として、側壁 CaF₂ の成長温度を 650℃に上昇させ、界面の結晶品質を向上させることにより、バレー電流の低減を試みたので報告する。

【実験方法】

作製した素子構造を図 1 に示す。p-Si(111) 0.1° off 基板上に厚さ 40 nm の SiO₂ 熱酸化膜を形成し、ウェットエッチングにより 1 辺 200 μm の SiO₂ 窓を形成する。次に、基板を分子線エピタキシー結晶成長装置(MBE)内に搬入し、CaF₂ を成長温度 650 °Cにおいて 20 nm 結晶成長させ、その上に歪補償層として Si 層を 1nm 程度結晶成長させる。MBE 装置から搬出後、ウェットエッチングにより直径 500 nm の RTD 用の細孔を形成し、再度 MBE により CaF₂(0.31nm)/Si(1.55nm)/CaF₂ (0.31nm)/Si(5nm)の各層を堆積させる。最後に、Cr/Au 電極をリフトオフにより形成し素子完成となる。電流電圧測定には半導体パラメータアナライザ Keysight-4155C を用いた。

【結果と考察】

RTD の側壁となる CaF₂ 層の表面に Si 歪補償層を導入することによって、結晶成長温度を 650℃に上昇させたことによる歪によって生じるクラック等加工プロセ

ス上の問題を回避し、RTD 用の細孔を形成することが可能となった。先行研究で作製した CaF₂ の結晶成長温度 300℃の素子(a)と、本研究で作製した成長温度 650℃の素子(b)の室温における電流電圧特性を比較した一例を図 2 に示す。いずれも明瞭な微分負性抵抗特性が観察され、ピーク電流密度は両者とも約 1.0MA/cm²であった。一方、PVCR は素子(a)では約 30 であったのに対して、素子(b)では約 60 に向上した。これは素子(b)のバレー電流側におけるリーク電流が素子(a)に比べて低減されたことを示唆している。RTD 周囲の CaF₂ の結晶成長温度を 300℃から 650℃に上昇させることによって、CaF₂ の結晶性が向上し、側壁界面の欠陥が低減したためにリーク電流が低減したと考えられる。

【参考文献】

- [1] Y. Kuwata et al., Appl. Phys. Express 9, 074001 (2016)
- [2] 佐藤他, 第 67 回応物春季学術講演会 13a-PA5-7 (2020)
- [3] 伊藤他, 第 83 回応物秋季学術講演会 22p-P14-1 (2022)

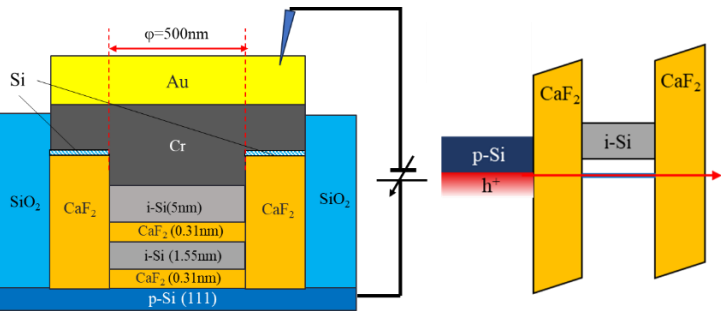


図 1 素子構造とバンド図

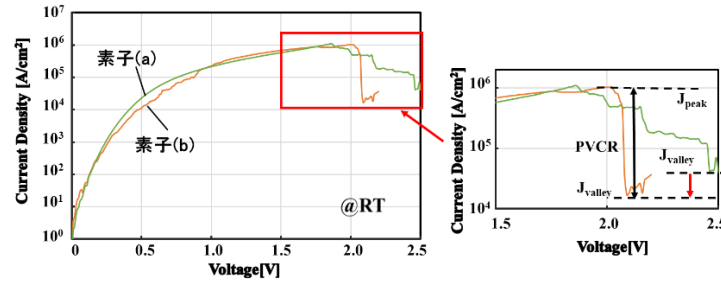


図 2 室温微分負性抵抗特性

First-principles calculation of bulk photovoltaic effect in ferroelectric topological insulator phase of halide perovskite

Yedija Yusua Sibuea Teweng.¹, Naoya Yamaguchi.², Fumiyuki Ishii²

¹Grad. Sch. Of Sci. & Tech., Kanazawa Univ., ²NanoMaRi, Kanazawa Univ.

E-mail: yedijateweng@stu.kanazawa-u.ac.jp

Generating photocurrent in condensed matter is one of the main topics for photovoltaic and optoelectronic applications. A single-phase bulk material without inversion symmetry can generate a direct current under light illumination. This current generation mechanism, called as the bulk photovoltaic effect (BPVE), does not rely on p-n heterojunctions. Shift current has considered as a dominant contributor of BPVE in ferroelectric materials. Halide perovskites has attracted much interest for application on next-generation solar cell materials. In recent years, many theoretical investigations have found that CsPbI₃ may exhibit topological insulator phase under hydrostatic pressure. Since cubic-phase of CsPbI₃ was predicted to induce ferroelectric phase under hydrostatic pressure, it is expected to generate a bulk photocurrent in the structure. In this study, we performed first-principles calculations for bulk CsPbI₃ structure and evaluated the shift current conductivity with respect to the band gap energy and electric polarization. We evaluated the ferroelectric topological insulator (FETI) phase by investigating the electronic structure. We also discussed the possibility to detect the topological phase transition in topological insulating material through the shift current calculation.

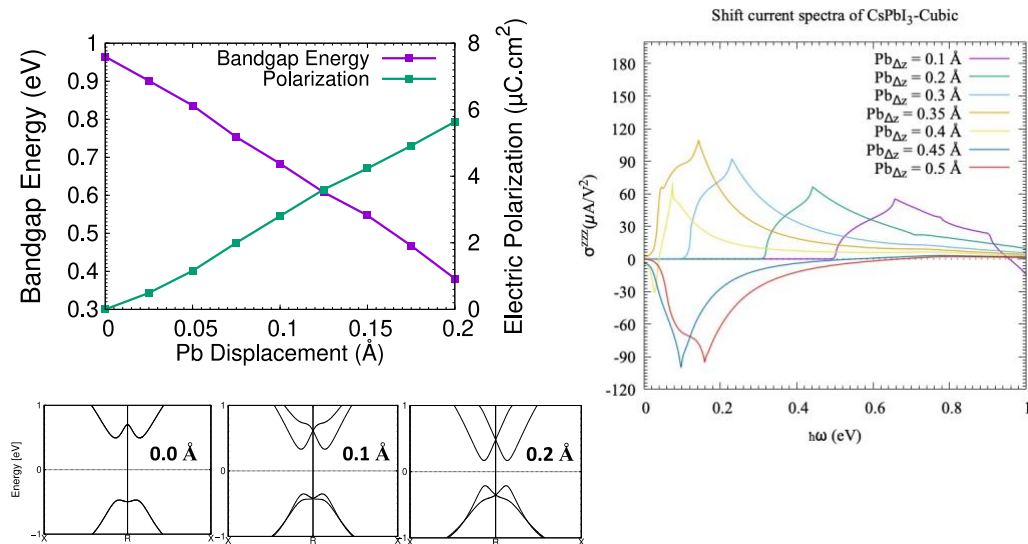


Figure 1: The diagram of FETI phase of CsPbI₃. The shift current conductivity is shown for different Pb-displacement.

First-principles study of anomalous valley Hall effect in WTe₂/CrI₃ van der Waals heterostructures

Syifa Fauzia Hariyanti Putri¹, Naoya Yamaguchi², Fumiyuki Ishii²

¹Grad. Sch. Of Sci. & Tech., Kanazawa Univ., ²NanoMari, Kanazawa Univ.

E-mail: syifaputri@stu.kanazawa-u.ac.jp

Valley is additional degree of freedom of electrons, which has attracted attention due to potential application in novel devices. Such realization can be done by the manipulation of valley-polarized carriers. Monolayer (ML) WTe₂ has strong spin-orbit coupling, degenerate valleys in K and -K points, and preserved time reversal symmetry. However, stacking with ferromagnetic ML CrI₃ could break this symmetry due to induced magnetic moment in ML WTe₂ so non-zero anomalous Hall conductivity (AHC) emerges. In this study, we constructed different stacking configuration of WTe₂/CrI₃ and showed that AHC and valley splitting depend on the stacking configuration. We further evaluated the effect of interlayer sliding on the characteristic of AHC and valley splitting. Based on this study, we expected the interlayer sliding effect could provide an alternative direction to realize anomalous valley Hall effect in heterostructures system.

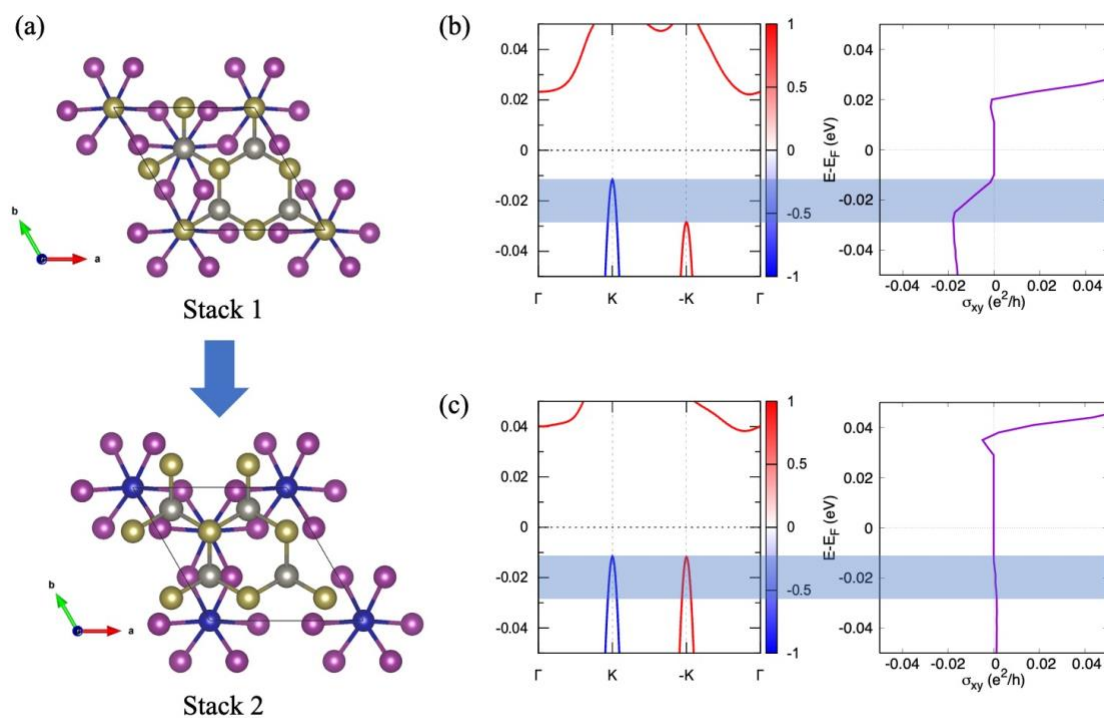


Figure 1: (a) structural geometry of WTe₂/CrI₃ van der Waals heterostructures for two different stacking configurations (b) AHC WTe₂/CrI₃ for stack 1 (c) AHC WTe₂/CrI₃ for stack 2