

一般セッション(口頭講演) | 13 半導体：13.7 化合物及びパワーデバイス・プロセス技術・評価

■ 2023年9月23日(土) 9:00 ~ 12:00 | 会場 B201 (市民会館)

[23a-B201-1~11] 13.7 化合物及びパワーデバイス・プロセス技術・評価

牧山 剛三(住友電工)

9:00 ~ 9:15

[23a-B201-1] SiドープInAs/GaAs再成長ソース・ドレイン領域を有するGaNチャネルHEMTのDC特性

○星 拓也¹、吉屋 佑樹¹、杉山 弘樹¹、中島 史人¹ (1.NTT先端集積デバイス研)

◆ 奨励賞エントリー

9:15 ~ 9:30

[23a-B201-2] フリーホイールダイオードを内蔵したソース接続PSJトランジスタのシミュレーション及び作製

○(M2)小久保 瑛斗⁴、渡邊 浩崇¹、田中 敦之¹、出来 真斗²、新田 州吾¹、本田 善央^{1,2,3}、天野 浩^{1,2,3} (1.未来研、2.Dセンター、3.高等研究院、4.名大院工)

9:30 ~ 9:45

[23a-B201-3] EID AlGaIn/GaN MOS-HEMTの400V/10Aスイッチング動作実証EID AlGaIn/GaN MOS-HEMTの400V/10Aスイッチング動作実証

○南條 拓真¹、山本 章太郎¹、品川 友宏¹、古橋 壮之¹、西川 和康¹、江川 孝志² (1.三菱電機 先端総研、2.名工大)

◆ 奨励賞エントリー

9:45 ~ 10:00

[23a-B201-4] 単結晶AlN基板上への薄層UID-GaNチャネルを備えたAlGaInN/GaN HEMTの作製と特性評価

○川出 智之¹、米谷 宜展¹、田中 さくら¹、江川 孝志¹、三好 実人¹ (1.名工大)

10:00 ~ 10:15

[23a-B201-5] 組成傾斜 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($x: 0.77 \rightarrow 1$)チャネルを用いたAlN系分極ドープFET

○廣木 正伸¹、熊倉 一英¹、谷保 芳孝¹ (1.NTT物性研)

10:15 ~ 10:30

[23a-B201-6] 耐圧向上を目指したGD間膜厚分布を持つHigh-k膜によるGaN HEMT

○伊東 幸風¹、宮本 恭幸¹ (1.東工大)

10:45 ~ 11:00

[23a-B201-7] N極性GaN HEMTのバッファリーク低減および3端子特性の改善

○早坂 明泰¹、吉田 成輝¹、平崎 貴英¹、眞壁 勇夫¹、岡田 政也¹、辻 幸洋¹、牧山 剛三¹、中田 健¹ (1.住友電工)

◆ 奨励賞エントリー

11:00 ~ 11:15

[23a-B201-8] ScAlN/GaNおよびAlGaIn/GaNの二次元電子ガス濃度の数値計算と解析モデルの提案

○若本 裕介¹、小林 篤²、中野 義昭¹、前田 拓也¹ (1.東工大、2.東京理科大)

◆ 奨励賞エントリー

11:15 ~ 11:30

[23a-B201-9] 高放熱パワーデバイス応用に向けたGaN/3C-SiC on-polycrystalline diamond HEMTs構造の作製

○(M1)森山 千春¹、川村 啓介²、大内 澄人²、浦谷 泰基²、大野 裕³、井上 耕治³、永井 康介³、重川 直輝¹、梁 剣波¹ (1.大阪公立大工、2.エア・ウォーター(株)、3.東北大金研)

11:30 ~ 11:45

[23a-B201-10] 二層カーボンコンポジット高熱伝導材によるGaNデバイスの低熱抵抗化

○大崎 賢司¹、土屋 洋一¹、齊藤 裕人¹、田中 敦之²、須賀 唯知³、マルティネス ノラ³、竹馬 克洋⁴、分島 彰男¹
(1.名古屋工業大学、2.名古屋大学、3.明星大学、4.株式会社サーモグラフィティクス)

11:45 ~ 12:00

[23a-B201-11] 常温活性化接合を用いた1インチ級GaN on Diamond HEMTの作製

○(D)白柳 裕介^{1,2}、友久 伸吾¹、笠村 啓司²、豊田 洋輝²、松前 貴司³、倉島 優一³、高木 秀樹³、久保田 章亀²、長永 隆志¹ (1.三菱電機、2.熊本大学、3.産総研)

Si ドープ InAs/GaAs 再成長ソース・ドレイン領域を有する GaN チャネル HEMT の DC 特性

DC Characteristics of GaN-Channel HEMTs with Highly Si-doped InAs/GaAs Regrown Source/Drain Region

NTT 先端集積デバイス研, °星 拓也, 吉屋 佑樹, 杉山 弘樹, 中島 史人

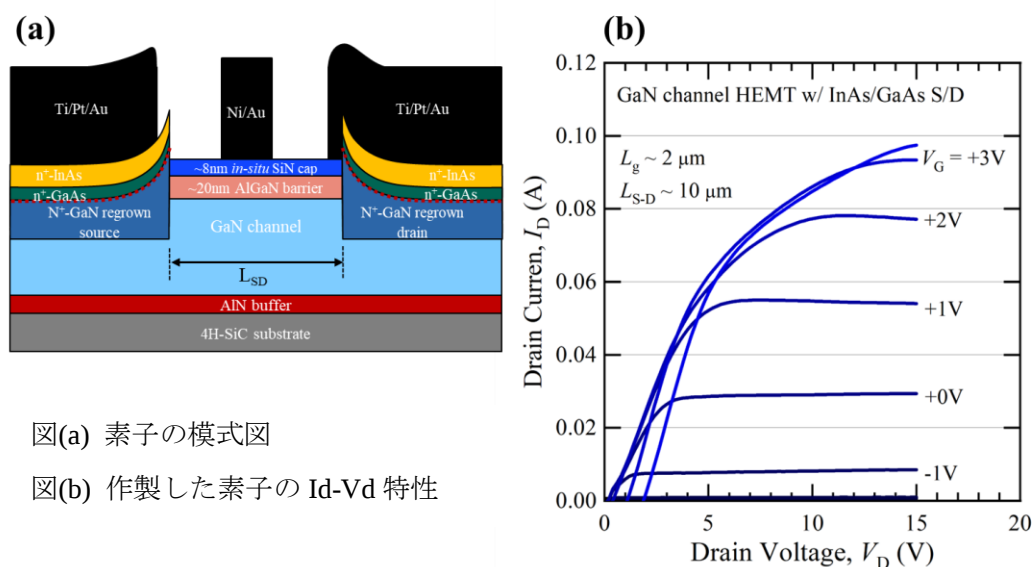
NTT Device Technology Labs., Takuya Hoshi, Yuki Yoshiya, Hiroki Sugiyama, Fumito Nakajima

E-mail: Hoshi.takuya@ntt.com

【背景】GaN チャネル HEMT は、100-300GHz 帯で動作する beyond 5G 無線通信用パワーアンプとしての応用が期待されるが、積極的にスケールアップされたデバイスの最大発振周波数($f_{\max}$)は~600GHz 程度であり、InP 系超高速トランジスタと比較して小さく、高周波特性の改善・向上は急務である。GaN チャネル HEMT の $f_{\max}$ の制限要因の一つである、ソース/ドレイン(S/D)領域の抵抗を低減するために、 n^+ -GaN を再成長する手法が報告されている^[1]。GaN 系材料より低抵抗化が可能な III-As 系材料を適用できれば、更なる高周波特性の向上が期待される。我々は以前、GaN 上に As 化層を介して InAs/GaAs を成長する手法について報告した^[2]。今回、これら技術を応用して、S/D 領域に InAs/GaAs 再成長層を適用した GaN チャネル HEMT を試作したので、その DC 特性について報告する。

【実験方法と結果】図(a)に作製した素子の模式図を示す。GaN チャネル HEMT を 4 インチ SiC 基板上に MOVPE 法によって成長した。プラズマ CVD で堆積した SiO_2 をマスクとして S/D 領域を ICP-RIE によりエッチングし、 n^+ -GaN 層を再成長(~60 nm)、引き続き As 化層を介して n^+ -InAs(~50 nm)/ n^+ -GaAs(~20 nm)を再成長した。BHF による SiO_2 マスクを除去、素子分離ののち、Ti/Pt/Au オーミック電極および Ni/Au ショットキーゲート電極を電子線蒸着により堆積した。図(b)に、試作したゲート長 2 μm の素子の I_d - V_d 特性を示す。ソース-ドレイン間距離 10 μm の素子において、オン抵抗は 7.93 $\Omega\cdot\text{mm}$ であった。 I_d - V_g 特性より見積もられた最大相互コンダクタンスは $g_{m,\max} = 198.7 \text{ mS/mm}$ であり、再成長を行っていないデバイスの結果と比較して、遜色のない特性が得られた。As 化および再成長工程による素子特性の劣化がないことが示唆された。今後、オン抵抗の詳細な解析と、デバイス構造の最適化により、III-As 再成長 S/D 構造の導入による低抵抗化効果が得られると期待される。

【参考文献】 [1] K.Shinohara *et al.*, IEDM2012, p. 617. [2] T. Hoshi *et al.*, IWN2022, PP 032.



図(a) 素子の模式図

図(b) 作製した素子の I_d - V_d 特性

フリーホイールダイオードを内蔵した ソース接続 PSJ トランジスタのシミュレーション及び作製

Fabrication of the GaN source side PSJ FET with built in freewheel diode

(M2)小久保瑛斗¹, 渡邊浩崇², 出来真斗³, 田中敦之², 新田州吾², 本田善央^{2,3,4}, 天野浩^{2,3,4}
名大院工¹, 名大 IMASS², 名大 D センター³, 名大 IAR⁴

Eito Kokubo¹, Hirotaka Watanabe², Manato Deki³, Atsushi Tanaka², Shugo Nitta², Yoshio Honda^{2,3,4},
Hiroshi Amano^{2,3,4}

Nagoya Univ.¹, IMASS Nagoya Univ.², D center Nagoya Univ.³, IAR Nagoya Univ.⁴

E-mail: kokubo.eito.k3@s.mail.nagoya-u.ac.jp

【背景】GaN 分極超接合 (PSJ) トランジスタは横型デバイスながら 1200V 以上の高い絶縁破壊電圧を実現できるため、高耐压パワーデバイスの候補として注目されている[1]。インバータ回路では、誘導負荷からの電流を流すためにフリーホイールダイオード(FWD)がトランジスタに接続される。そこで PSJ 構造をソース電極に接続することで FWD としての役割も持たせる構造を考案した。その構造を設けた GaN sPSJ FET のシミュレーションと作製を行ったので報告する。

【実験内容】GaN sPSJ FET の構造を図 1 に示す。ベース部分に PSJ 構造があり、提案する構造では PSJ 構造がベースからソースに接続されている。そのため PSJ をダイオードとして用いて逆導通を起こすことができるようになる。逆導通が起きるか及びトランジスタとしての動作への影響について、TCAD シミュレーションを行い確認した。

【結果】伝達特性のシミュレーション結果を図 2 に示す。ゲートをベースと別に設けた場合でもトランジスタとしての動作に影響がないことが分かった。FWD としての動作について、トランジスタがオフの状態でソース側に電圧を印加したとき、ゲート電圧にかかわらず 3.4V 程度で電流が流れ始めることが確認できた。電流は PSJ 部分に集中しており、PSJ 構造に FWD としての役割を持たせられることが分かった。ベース電位が 0V に固定されるため、飽和電流が減少するが、一方でゲートから正孔注入できるため伝導度変調によって飽和電流を増加できることが分かった。また耐压への影響について、PSJ 部分の電界は従来構造と同じであり、1.6kV と同程度の耐压が得られることを確認した。発表では、デバイス試作による詳細な静特性も報告する。

【参考文献】 [1] H. Kawai *et al.*, Phys. Status Solidi A **214**, No. 8, 1600834 (2017)

【謝辞】本研究の一部は環境省「革新的な省 CO2 実現のための部材や素材の社会実装・普及展開加速化事業(高効率ユニバーサルパワーコンディショナーを用いた直流グリッドシステムの開発・検証)」に関するものである。

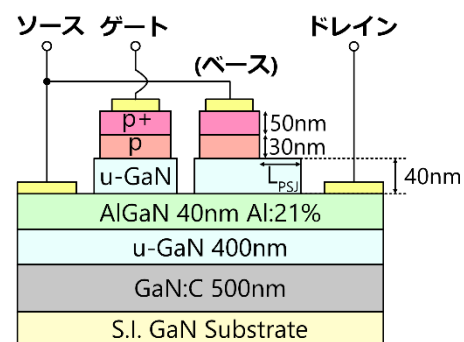


図 1 GaN sPSJ FET の構造図

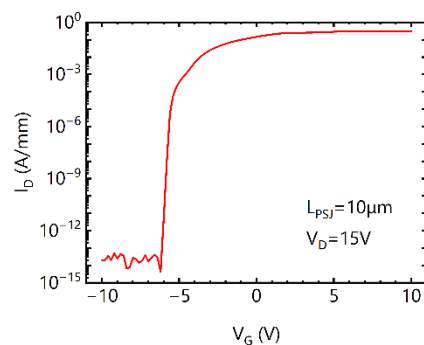


図 2 GaN sPSJ FET の伝達特性のシミュレーション結果

EID AlGa_N/Ga_N MOS-HEMT の 400V/10A スイッチング動作実証

Demonstration of 400V/10A switching operation in EID AlGa_N/Ga_N MOS-HEMT

三菱電機株式会社 先端技術総合研究所¹, 名古屋工業大学²

°南條 拓真¹, 山本 章太郎¹, 品川 友宏¹, 古橋 壮之¹, 西川 和康¹, 江川 孝志²

Advanced Technology R&D Center, Mitsubishi Electric Corporation¹, Nagoya Inst. of Tech.²

Takuma Nanjo¹, Shotaro Yamamoto¹, Tomohiro Shinagawa¹, Masayuki Furuhashi¹,

Kazuyasu Nishikawa¹, Takashi Egawa²

E-mail: Nanjo.Takuma@ap.MitsubishiElectric.co.jp

はじめに

AlGa_N/Ga_N HEMT は高周波用デバイスだけではなく、高出力スイッチング用デバイスにも応用が期待されている。我々は、高出力スイッチング用途への適用を目的として、新規のプレーナ型の素子（EID（Extrinsically electron Induced by Dielectric） AlGa_N/Ga_N MOS-HEMT） [1,2]を開発している。この EID-HEMT では、薄層バリア層を適用して完全空乏化した AlGa_N/Ga_N エピタキシャル層に選択的に2DEGを誘起できる EID 構造[3]をアクセス領域とドリフト領域に適用しており、半導体層をエッチングすることなくノーマリオフ動作を実現できるため[1,2]、高い信頼性と安定性を備えたノーマリオフ動作が期待できる。これまでに我々は、ゲート幅（ W_g ）が 150 mm のマルチフィンガー型の EID AlGa_N/Ga_N MOS-HEMT を試作し、オン抵抗 210 m Ω （面積抵抗率8.0 m Ω cm²）、しきい値電圧 0.5 V のノーマリオフ動作と 200 V/7.3 A のスイッチング動作を実現している[2]。今回は、同一の素子を用いてさらなる高電圧/高電流でのスイッチング特性を評価し、高出力スイッチング素子としての性能を検証した。

実験

EID-HEMT は、Si 基板上に成長した AlGa_N/Ga_N エピタキシャル層を用いて、名古屋大学 C-TEFs の 4 インチラインにて試作した。AlGa_N バリア層の Al 組成と厚さはそれぞれ 22 %と 5 nm とした。エピ構造、試作プロセスと素子構造はすべて、これまでの試作検証[2]と同様である。

結果

図 1 に、試作した W_g が 150 mm の EID-HEMT にて得られたスイッチング波形を示す。スイッチング特性評価は、SiC-SBD を還流素子として用いて誘導負荷を使用したダブルパルス試験にて実施した。ドレイン電圧 400 V、ドレイン電流 10 A とした試験において、ターンオン/ターンオフともに正常なスイッチング動作を確認した。本結果より、EID AlGa_N/Ga_N MOS-HEMT が高出力スイッチング素子として十分な基本特性を備えていることが実証された。

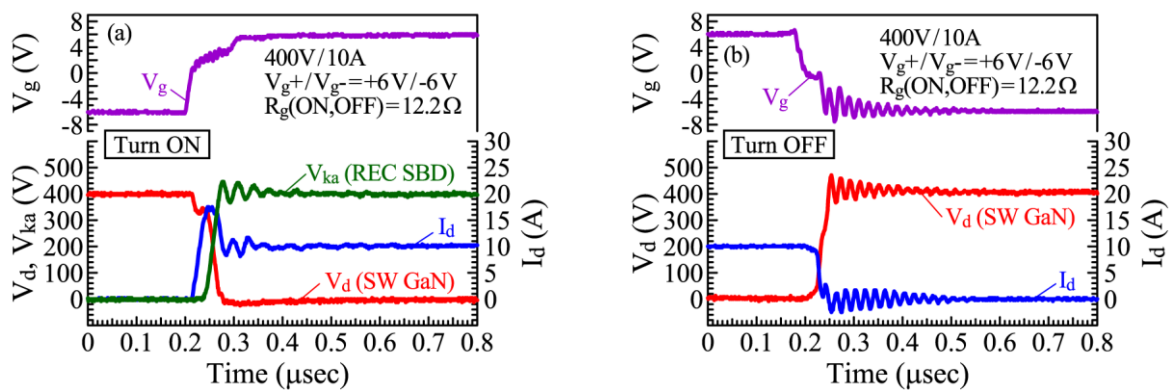


Figure.1 Switching waveforms at (a) turn on and (b) turn off in fabricated EID-HEMTs with 150 mm of W_g .

[1] T. Nanjo, et al., Jpn. J. Appl. Phys., vol. 61, p. SC10151-10156, 2022.

[2] 南條他, 2023 年春応物予稿, 18a-A301-5

[3] T. Nanjo et al., Electron. Lett 57, 670, 2021.

単結晶 AlN 基板上の薄層 UID-GaN チャネルを備えた AlGaInN/GaN HEMT の作製と特性評価

Device characteristics of AlGaInN/GaN HEMTs with a thin UID-GaN channel fabricated on single-crystal AlN substrate

○川出 智之, 米谷 宜展, 田中さくら, 江川 孝志, 三好実人 (名工大)

°T. Kawaide, Y. Kometani, S. Tanaka, T. Egawa, and M. Miyoshi (Nagoya Inst. Tech.)

E-mail: miyoshi.makoto@nitech.ac.jp

【はじめに】AlNは、材料固有の物性として「高熱伝導性」と「高絶縁性」を兼ね備えており、高周波・大電力用 GaN-HEMT の下地基板に好適である。また、GaNと同じウルツ鉱型結晶を安定とする超ワイドバンドギャップ(～6.2 eV)の半導体であるため、これを下地層とする事で GaN チャネル層を pseudomorphic に成長できるほか、AlN 層自身をバックバリアとして活用できる可能性がある。当研究室では、単結晶 AlN 基板の上に、「意図的な不純物ドーピングを行わない (UID) GaN チャネル層」を厚さ 500 nm[1,2]、250 nm[3]で形成した AlGaInN/GaN HEMT を試作し、良好な DC およびパルス電気特性を示すことを報告してきた。本研究では、下地 AlN 層によるバックバリア機能のさらなる強化を図るため、UID-GaN チャネルを 150 nm まで薄層化した AlGaInN/GaN HEMT を作製し特性評価を行ったので報告する。

【実験方法】図 1 に試作した HEMT デバイスの断面模式図を示す。MOCVD 法を用いて、c 面 AlN 基板 (Hexatech 社製) 上に AlGaInN(15 nm)/GaN(150 nm)へテロ構造を成長した。AlGaInN バリア層は、面内引張歪が 0.6%程度となるよう設計された[4-6]。素子分離領域の UID-GaN 層を完全に除去し切るまで RIE 処理を施した後、オーミック電極としての Ti/Al/Ti/Au (9/100/50/100 nm) の EB 蒸着と N₂ 中 800°C×2 分のアニール、ゲート電極としての Ni/Au (10/60 nm) の EB 蒸着、最後に ALD-Al₂O₃ による表面パッシベーションと電極パッド形成を行った。

【結果と考察】試作した AlGaInN/GaN HEMT デバイスの DC 電気特性を評価したところ、図 2 に示すように、大電流域での顕著な負性抵抗が見られない良好なピンチオフ特性が得られた。また、ストレス電圧を印加した off 状態 ($V_{GS} = -5$ V, $V_{DS} = 20$ V) からのパルス I - V 測定を行い、ストレスフリー ($V_{GS} = 0$ V, $V_{DS} = 0$ V) からのパルス I - V 波形と比較したところ、図 3 に示ように、電流コラプス現象に伴う電流減少率が 1%未満という良好な結果が得られた

【謝辞】本研究は、JSPS 科研費 JP21H01389 ならび JP21H01389 の助成を受けて実施された。

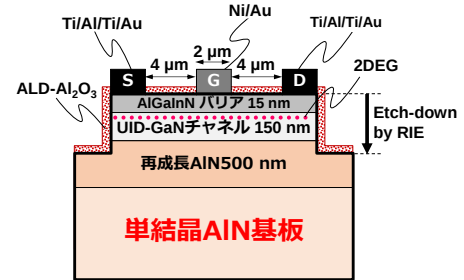


Fig.1. Schematic of AlGaInN/GaN HEMT on single-crystal AlN substrate.

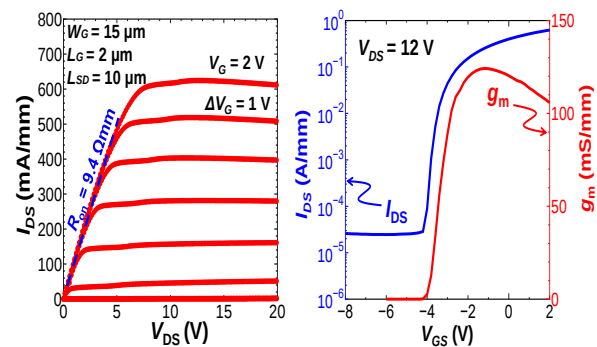


Fig.2. DC I - V and transfer characteristics for a fabricated AlGaInN/GaN HEMT on single-crystal AlN substrate.

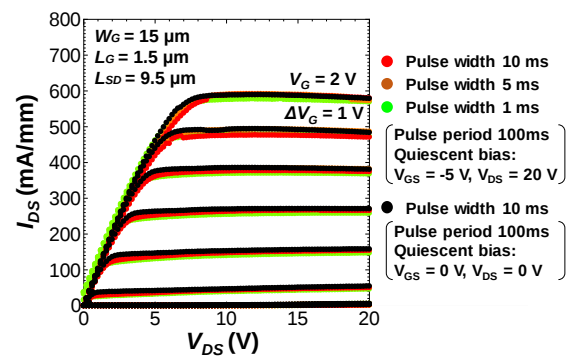


Fig.3. Pulsed I - V characteristics for a fabricated GaN HEMT.

【参考文献】

- [1] 田中他, 2022 年春季応用物理学会.
- [2] Miyoshi *et al*, PSSA **220** (2023) 2200733.
- [3] 川出他, 2023 年春季応用物理学会.
- [4] Hosomi *et al*, JJAP **58** (2018) 011004.
- [5] Hosomi *et al*, JVSTB **37** (2019) 041205.
- [6] Miyoshi *et al*, MSSP **133** (2021) 105960.

組成傾斜 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($x: 0.77 \rightarrow 1$) チャンネルを用いた AlN 系分極ドープ FET

AlN -based polarization doped FETs with graded $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($x: 0.77 \rightarrow 1$) channel layer

NTT 物性研 $\circ$ 廣木正伸、熊倉一英、谷保芳孝

NTT Basic Research Labs., $\circ$ Masanobu Hiroki, Kazuhide Kumakura, and Yoshitaka Taniyasu

E-mail: masanobu.hiroki@ntt.com

AlN は絶縁破壊電界が 12 MV/cm と非常に大きいことから、パワーデバイス応用に有望である。我々は、 AlN MESFET の動作に成功し、また、 500°C の高温でも優れた特性を有することを報告した[1]。 AlN MESFET では室温のドレイン電流が 0.42 mA/mm と低いという課題がある。これは、 AlN では Si ドナーのイオン化エネルギーが約 0.28 eV と大きいこと、また、自己補償効果により、室温電子濃度は 10^{15} cm^{-3} 程度と低く、 n 型 AlN チャンネル層が高抵抗であることに起因する。高 Al 組成 AlGaN チャンネルで高いキャリア濃度を得る方法として、分極ドープ FET (PoIFET) が提案されている [2, 3]。前回、我々は Al 組成が成長方向に減少する組成傾斜 AlGaN 下地層を導入することでバンドオフセットのない PoIFET 構造を提案し、3 次元電子スラブ(3DES)を AlN 系 FET 構造において形成できることを報告した。今回、本構造の FET 動作について報告する。

図 1 に作製した AlN 系 PoIFET の模式図を示す。MOCVD 法により SiC 基板上に、膜厚 $1\mu\text{m}$ の AlN バッファ層、膜厚 260 nm の Si ドープ Al 組成減少傾斜 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 下地層($x: 1 \rightarrow 0.77$)、膜厚 130 nm のアンドープ Al 組成増加傾斜 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層($x: 0.77 \rightarrow 1$)、および膜厚 30 nm のアンドープ AlN バリア層を成長した。ソース・ドレイン電極を形成する領域では、アンドープ AlN バリア層をエッチングで除去し、組成傾斜 AlGaN コンタクト層を再成長により形成した。ソース・ドレイン電極には 800°C でアニールした $\text{V}/\text{Al}/\text{Pt}/\text{Au}$ を用いた。ゲート電極には Ni/Au を用いた。ゲート長、ソース・ドレイン電極の間隔はそれぞれ $2 \mu\text{m}$ 、 $10 \mu\text{m}$ である。

図 2 に、 AlN 系 PoIFET の dc 特性を示す。最大ドレイン電流は 70 mA/mm であり、 AlN MESFET よりも 100 倍以上高い値が得られた。しきい電圧は -7.5 V であり、オフ状態のリーク電流は $4 \times 10^{-10} \text{ A/mm}$ と非常に低く、 10^8 以上の高いオンオフ比も得られた。以上より、分極ドープ構造は AlN 系 FET の性能向上に有効であることを示した。

[1] M. Hiroki et al., IEEE Electron Device Lett. 43, 350 (2022). [2] S. Rajan et al., Appl. Phys. Lett. 84, 1591 (2004). [3] A.M. Armstrong et al., Appl. Phys. Lett. 114, 052103 (2019). [4] 廣木等 2023 応物春 18p-B401-12.

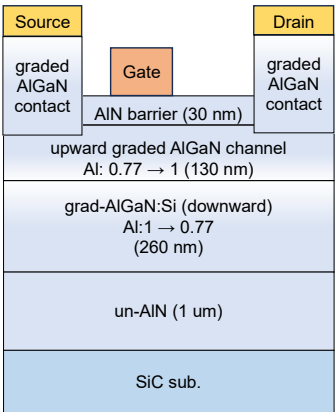


Fig. 1. Schematic view of the PoIFET.

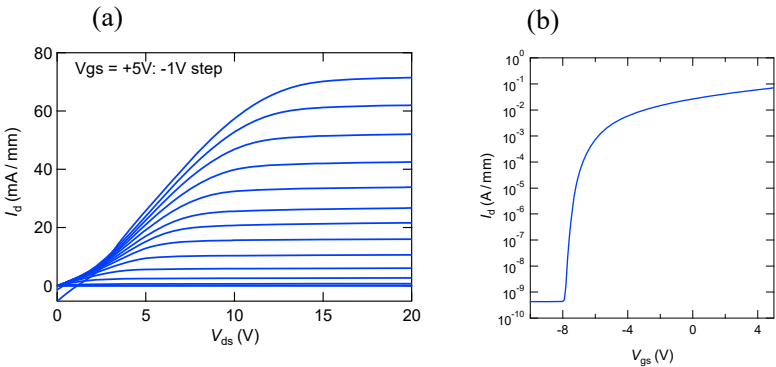


Fig. 2. (a) I-V characteristics and (b) transfer characteristics of the PoIFET.

耐圧向上を目指した GD 間膜厚分布を持つ High-k 膜による GaN HEMT GaN HEMT using High-k films with thickness distribution between GD to improve breakdown voltage

東工大, 伊東 幸風, 宮本 恭幸
Tokyo Tech, Yoshikaze Ito, Yasuyuki Miyamoto
E-mail: ito.y.bs@m.titech.ac.jp

1. 背景・目的

GaN HEMT において、ゲート・ドレイン(GD)長は、高速動作のためには短い方が望ましいが、短くすると一般に耐圧が低下する。高速動作と耐圧を両立のため、GD 空乏領域で電界の集中を緩和する必要がある。High-k 膜によるパッシベーションで耐圧を上げることができるが、適切な膜厚分布を持たせることで、更に耐圧を向上できることがシミュレーション上で実証されている[1]。本報告では[1]の電界緩和構造を実際に作製し検証した。

2. 作製デバイス構造・プロセス

本報告で使用したサンプルのエピタキシャル構造は、GaN キャップ層 3nm、 $\text{Al}_{0.25}\text{GaN}$ バリア層 20nm、GaN チャネル層 300nm、C ドープ AlGaN バックバリア層 800nm、バッファ層 2 μm 、高抵抗 Si 基板からなる。デバイス作成プロセスは、まず Ti/Al/Ti/Au S/D 電極の形成後、窒素雰囲気下、680°C でアニールを行った。アライメントマーク保護のため、一般に用いられるアニール温度より低温とした。そのため、コンタクト抵抗は 9.2 Ωmm と比較的高くなっている。その後、ゲート (Ni/Au) を 2 μm で形成し、 Ta_2O_5 をスパッタで製膜した。 Ta_2O_5 は GD 間에만堆積しており、3 種類の構造を作製した。構造の詳細は Fig.1 の通りである。

3. 実験結果

$V_G - V_{TH} = -3\text{V}$ ($V_{TH} = -4\text{V}$) を印加し、三端子降伏電圧を測定したところ Fig.2 の結果が得られた。Partial(Gate)が最も耐圧が高く 17V、Uniform は 16.5V、そして None、Partial(Drain)が最も低い 15.2V であった。Figure 3 はほぼ同構造で TCAD シミュレーションにより $V_G - V_{TH} = -1.5\text{V}$ で $I_D - V_D$ を計算した結果である。None と Partial(Drain) のリーク電流が大きく、Uniform と Partial(Gate) のものは小さい。このことはゲート近傍の電界集中が緩和されトンネル電流が減少していることを意味する。None と Partial(Drain) のリーク電流が Uniform と比べて大きくなることは測定結果とよく一致している。しかし、Partial(Gate)はシミュレーション結果と異なり Uniform の値よりも None の値に近くなっている。一方で、ドレイン電圧をかけた際にリーク電流はあまり増大せず、 $V_D = 15\text{V}$ 付近で Uniform のリーク電流と大小が逆転する。ドレイン電圧に対して、リーク電流を抑えられたことで Partial(Gate)の Uniform よ

り高い耐圧を実現していると考えられる。リーク電流は降伏の原因の一つであり、電界集中に関係しているので、実験結果は、実際のデバイスでも膜厚分布を持つ High-k 膜によって電界集中を緩和でき、耐圧を向上させることが出来る可能性を示している。

謝辞 この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の「ポスト 5G 情報通信システム基盤強化研究開発事業」(JPNP 20017) の委託事業の結果得られたものです。本研究でご助力頂いた住友電気工業株式会社の牧山剛三氏には深く感謝申し上げます。

参考文献

[1] Y.Miyamoto and K.Makiyama., IEEE Trans Electron. Dev., 70, 2210 (2023)

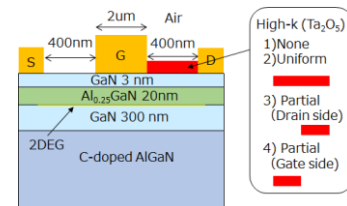


Fig.1 Device structure

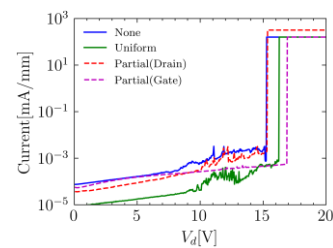


Fig.2 Three terminal V_{BR} measurement at $V_G - V_{TH} = -3\text{V}$

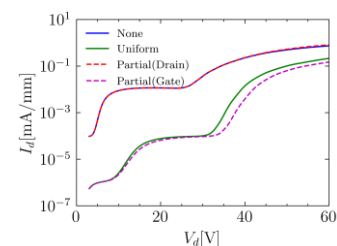


Fig.3 $I_D - V_D$ characteristics by TCAD simulation

N 極性 GaN HEMT のバッファリーク低減および 3 端子特性の改善

Reduction of buffer leakage current and improvement of three-terminal characteristics of N-polar GaN HEMTs

住友電工, °早坂明泰, 吉田成輝, 平崎貴英, 眞壁勇夫, 岡田政也, 辻幸洋, 牧山剛三, 中田健

Sumitomo Electric Industries, Ltd. °Akihiro Hayasaka, Shigeki Yoshida, Takahide Hirasaki,

Isao Makabe, Masaya Okada, Yukihiro Tsuji, Kozo Makiyama, Ken Nakata

E-mail: hayasaka-akihiro@sei.co.jp

【はじめに】N 極性 GaN HEMT は Ga 極性 GaN HEMT と比べ、高周波化と高出力化のトレードオフを脱却する増幅器として、特性のブレークスルーが期待されている。しかし、技術課題として、N 極性 GaN 特有の酸素取り込み現象によるバッファリーク電流の増大が報告されている^[1]。本発表では、リークパスの検証結果からバッファリークの存在を示す。そして、バッファリークの低減技術と 3 端子特性の改善について報告する。

【実験】素子分離に Ar 注入を用い、2DEG を不活性化したリーク電流モニタ(Fig.1)を測定したところ、電流が 5×10^{-4} A/mm と大きな値を示した (Fig.2 赤)。これは、N 極性 GaN HEMT ではチャネルがバリアの上に位置するため、Ar 注入プロファイルが適切ではなく、表面付近が高抵抗化できずリークパスを形成する。もしくは、バッファに取り込まれた酸素がドナー化してリークパスを形成する、2 つのリークパスが原因と推測した。そこで、同一試料にてドライエッチングとモニタの測定を繰り返す実験を行い、リークパスの切り分けを行った。

【結果・考察】エッチング深さと電流を対応させ、リークパスを検証した。バッファ中間までエッチングした場合、電流は変化せず(Fig.2 黒)、リークパスが Ar 注入起因でないことが示された。一方、バッファを除去し、基板表面までエッチングした場合、電流が大幅に低減した(Fig.2 青)。この結果から、リークパスがバッファであることを特定した。そこで、結晶成長条件を改善し、バッファの酸素取り込み量の抑制を試みたところ、リーク電流を 1×10^{-7} A/mm に低減できた (Fig.3)。さらに、28 GHz 帯向けに Lg200nm のトランジスタを作製した結果、最大電流 2.2 A/mm (Fig.4)、飽和出力 8.1 W/mm と既存の Ga 極性 GaN HEMT を凌駕する結果を得た。

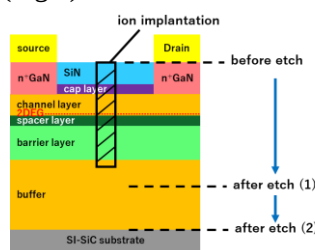


Fig.1 Leakage current monitor structure and etching depth

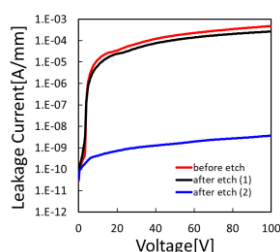


Fig.2 Etching depth and leakage current

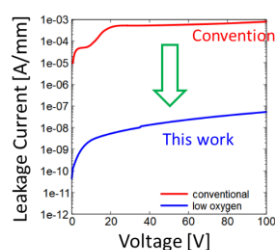


Fig.3 Reduction of buffer leakage current

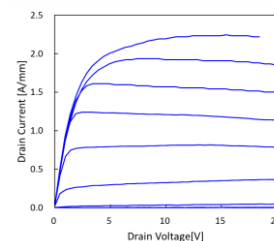


Fig.4 Three-terminal characteristics

【参考文献】 [1]吉屋佑樹ほか(2023)「高抵抗 C ドープ GaN バッファ層を有する N 極性 GaN HEMT」第 70 回応用物理学会春季学術講演会 18a-A301-9

【謝辞】この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の「ポスト 5G 情報通信システム基盤強化研究開発事業」(JPNP20017) の委託事業の結果得られたものです。

ScAlN/GaN および AlGa_xN/GaN の二次元電子ガス濃度の数値計算と解析モデルの提案 Simulation and modelling of 2DEG density in ScAlN/GaN and AlGa_xN/GaN

若本裕介¹, 小林篤², 中野義昭¹, 前田拓也¹

東京大学¹, 東京理科大学²

Y. Wakamoto¹, A. Kobayashi², Y. Nakano¹, T. Maeda¹

The University of Tokyo, EEIS¹, Tokyo Univ. of Sci., Dept. of Mater. Sci. & Eng.²

E-mail: wakamoto-yusuke229@g.ecc.u-tokyo.ac.jp

ScAlN は大きな分極と強誘電性を持ち, ScAlN/GaN 界面における二次元電子ガス(2DEG)の増大やスイッチング制御が期待される. しかしその物性についてはほぼ未開拓で理解が不十分であり, 2DEG や HEMT 特性のモデリングが必要である. 本研究では, ScAlN/GaN および AlGa_xN/GaN の 2DEG 濃度の組成・膜厚依存性について数値計算を行い, その解析モデルを提案する.

構造は GaN (2 nm)/ScAlN (AlGa_xN)/GaN (500 nm)を対象とした. 数値計算は, 1D Poisson [1]を用いて Poisson 方程式と Schrödinger 方程式を自己無撞着に解くことにより実行した. パラメータの一部は先行研究の値を用いた[2, 3]. 図 1 に ScAlN (Sc 組成 20%, 20 nm)/GaN のエネルギーバンドと 2DEG 分布の数値計算結果を示す. ScAlN/GaN 界面で高密度の 2DEG が生じていることがわかる. 図 2 に, ScAlN/GaN, AlGa_xN/GaN の 2DEG 濃度の組成・膜厚依存性を青実線, 赤実線で示す. 臨界膜厚を超えない範囲でプロットしている. ScAlN の大きな分極のおかげで, ScAlN/GaN では, AlGa_xN/GaN の場合よりも 3-6 倍程度の 2DEG 濃度を得ることがわかる. 本研究では 2DEG 濃度 n とバリア層膜厚 t の関係について Fang-Howard 近似に基づいて次の解析式を導出した.

$$n = \left(\frac{P_b - P_{\text{GaN}}}{\varepsilon_b} t - \phi_b - \frac{E_1 - E_0}{e} \right) \left(\frac{ec}{\varepsilon_{\text{GaN}}} + \frac{et}{\varepsilon_b} + \frac{\pi \hbar^2}{m^* e} \right)^{-1}, \quad E_1 - E_0 = 2.025 \left[\frac{\hbar^2}{2m^*} \left(\frac{e^2 n}{\varepsilon_{\text{GaN}}} \right)^2 \right]^{\frac{1}{3}} \quad (1)$$

ここで, c はキャップ層膜厚, ϕ_b は表面の障壁高さ, P_b , P_{GaN} はそれぞれバリア層, GaN の分極, ε_b , ε_{GaN} はそれぞれバリア層, GaN の誘電率を示す. $E_1 - E_0$ はサブバンドの準位を示し, Fang-Howard 波動関数を試行関数とした Hartree 変分計算により近似関数として得た[4]. 数値計算と同じパラメータを用いて解析式から得られる 2DEG 濃度を図 2 の点線にて示す. 解析式は数値計算結果をおおよそ再現しており, モデルとして適当であることがわかる. この解析モデルは 2DEG 濃度の簡易な数値計算および明瞭な物理的解釈を与える点で有用である.

謝辞 本研究は科学技術振興機構(JST)の戦略的創造研究推進事業 ACT-X および公益財団法人スズキ財団科学技術研究助成(若手)の支援を受けて実施された.

参考文献 [1] O. Ambacher *et al.*, *JAP* **192**, 204501 (2021). [2] G. Snider, “1D Poisson”, <https://www3.nd.edu/~gsnider/> [3] C. Wood and D. Jena (Eds.). *Polarization effects in semiconductors: from ab initio theory to device applications*. Springer Science & Business Media, (2007). [4] J. H. デイヴィス, 「低次元半導体の物理」, シュプリンガー・ジャパン, (2012).

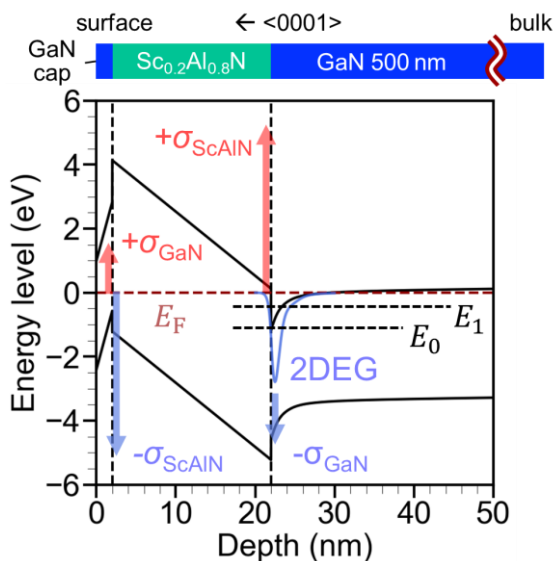


Fig.1. Energy band diagram and charge distribution of ScAlN/GaN with [Sc] = 20% and 20 nm thickness.

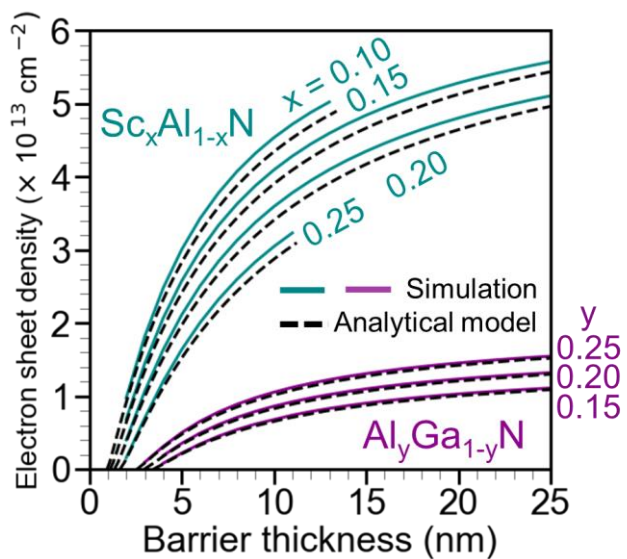


Fig.2. 2DEG density vs barrier thickness in Sc_xAl_{1-x}N/GaN and Al_yGa_{1-y}N/GaN for various compositions. The simulated values (solid lines) and the calculated values from the eq. (1) (dashed lines) are shown.

高放熱パワーデバイス応用に向けた

GaN/3C-SiC on-polycrystalline diamond HEMTs 構造の作製

Fabrication of GaN/3C-SiC on-polycrystalline diamond HEMTs heterostructure for efficient thermal management of power devices

大阪工大¹, エア・ウォーター (株)², 東北大金研³

○森山 千春¹, 川村 啓介², 大内 澄人², 浦谷 泰基²,

大野 裕³, 井上 耕治³, 永井 康介³, 重川 直輝¹, 梁 剣波¹

Osaka Metropolitan Univ.¹, Air Water inc.², IMR Tohoku Univ.³

○Chiharu Moriyama¹, Keisuke Kawamura², Sumito Ouchi², Hiroki Uratani²,
Yutaka Ohno³, Koji Inoue³, Yasuyoshi Nagai³, Naoteru Shigekawa¹, Jianbo Liang¹

E-mail: liang@omu.ac.jp

【はじめに】 GaN-HEMTs はその優れた電子輸送特性と耐電圧特性から、高出力および高周波デバイスへの実用化が進んでいる。しかし、デバイス動作時に生じる過度な発熱は、デバイス性能の低下および素子信頼性の低下を引き起こす。そのため、Si(111)基板上に成長された GaN-HEMTs 層を、高い熱伝導率を有するダイヤモンド基板に転送することで、GaN-HEMTs on-diamond 構造を実現する研究が行われている[1]。

我々は、3C-SiC/Si(111)上に結晶成長した GaN-HEMTs 構造を、単結晶ダイヤモンド基板に転写することによって、GaN-HEMTs on-diamond 構造を実現し、優れた放熱特性を実証した[2]。

GaN-HEMTs on diamond 構造は単結晶ダイヤモンド基板を使用して実現されたものの、その製造コストが高く、大面積の作製が困難という課題が残っている。従って、比較的安価で大面積基板の作製が可能な多結晶ダイヤモンドを放熱基板として利用することが GaN-HEMTs on diamond 構造の実用化に向けた近道となる。

今回は、GaN-HEMTs on 単結晶ダイヤモンド基板構造に代わる、GaN-HEMTs on 多結晶ダイヤモンド基板構造の作製を行う。

【実験方法】 Si(111)上に結晶成長された AlGaIn/GaN/3C-SiC 層を、Si 基板から剝離し、剝

離面と多結晶ダイヤモンド基板を表面活性化接合で接合し、その上に GaN-HEMTs を作製した。

【実験結果】 AlGaIn/GaN/3C-SiC 層と多結晶ダイヤモンド基板を接合した試料の表面写真、作製した GaN-HEMTs の写真、接合試料構造を Fig. 1 に示す。10mm 角の多結晶ダイヤモンド基板への AlGaIn/GaN/3C-SiC 層の転写を実現し、GaN-HEMTs on diamond 構造の作製に成功した。これにより、AlGaIn/GaN/3C-SiC 層の転写を通じて GaN-HEMTs on diamond 構造の実用化が可能となることが示唆される。

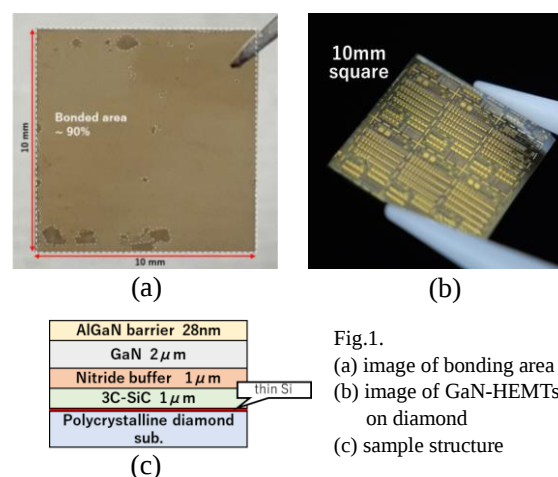


Fig.1.

(a) image of bonding area
(b) image of GaN-HEMTs on diamond
(c) sample structure

【謝辞】本研究の実施にあたり、研究成果最展開支援プログラム(A-STEP)の支援を受けた。

[1] S. Hiza, et al. in Extended Abstracts of 2019 SSDM, pp. 467-468 (2019).

[2] R. Kagawa, et al. Appl. Phys. Express **15**, 041003 (2022).

二層カーボンコンポジット高熱伝導材による GaN デバイスの低熱抵抗化 Low Thermal Resistance of GaN Devices with Bi-layer High Thermal Conductive Carbon Composite

名古屋工業大学¹, 名古屋大学², 明星大学³, 株式会社サーモグラフィティクス⁴

○(M2)大崎 賢司¹, 土屋 洋一¹, 齊藤 裕人¹, 田中 敦之², Nora Martinez³, 須賀 唯知³,
竹馬 克洋⁴, 分島 彰男¹

E-mail: clp13039@ict.nitech.ac.jp

1. はじめに

GaN デバイスは、マイクロ波・ミリ波帯の大電力増幅器用として既に実用化されている。今後、さらに大電力を扱うためには、放熱対策が最重要課題の1つである。我々は、放熱対策として半導体デバイスの直下にあるパッケージ材に着目し、広く用いられている Cu 系合金に代えて、高熱伝導材料であるカーボン材 (CC 材) の採用を目指している。[1][2] カーボン材は2次元材料のグラファイトカーボンを積層した構造 (図1) であることから、熱伝導に異方性を有する。これまでに、この構造で熱が広がらない方向も有効に使うために、二層構造 (図2) を提案した。[3] この二層構造では、垂直方向の高熱伝導特性を維持したまま、面内方向の熱伝導の異方性を疑似的に低減させ、熱抵抗を30%以上低減することが可能であることを報告した。

今回、2層構造 CC 材の上に市販品 GaN デバイスを実装し、GaN デバイスの低熱抵抗化を確認できたので報告する。

2. 測定試料

今回検討に用いた CC 材は単層構造 (図1) と二層構造 (図2) の2種類である。厚さはいずれも 2 mm である。また、GaN デバイスの低熱抵抗化を確認するために、CC 材上に GaN HEMT (CREE 社 CGH60015D、最大ドレイン電流 = 1500 mA、10 本ゲート) を AuSn でダイボンディングした。

3. 熱抵抗測定

試料の温度は、赤外線放射量によって測定した (QFI 社の InfraScope)。図3に、単層構造 (黒)、二層構造 (赤)、それぞれの CC 材上に実装した GaN HEMT に投入した消費電力に対する、表面温度上昇をプロットした。投入した消費電力範囲 (~1 W) においては、温度上昇はいずれも直線的になっていることを確認した。この直線の傾きから、それぞれの試料の熱抵抗は、5.8 K/W、3.7 K/W と見積もられた。このことから、GaN HEMT の低熱抵抗化に対して、二層構造 CC を用いることで単層構造の場合より、さらに 30%以上の熱抵抗低減が可能だと分かった。この低減割合は、単層と二層 CC 材上それぞれに形成した発熱体を用いた場合の二層 CC の熱抵抗低減率 (30%以上) とほぼ同じであることから、二層構造上の GaN HEMT の熱抵抗低減は、熱広がり改善効果によるものと考えている。

謝辞: 本研究開発は総務省「電波資源拡大のための研究開発 (JP000254)」課題名「5G の普及・展開のための基盤技術に関する研究開発」、及び総務省 SCOPE (JP215006003) の委託を受けたものです。

参考文献: [1] Lei Li et. al, Appl. Phys. Express 14 091002 (2021), [2] Lei Li et. al, Appl. Phys. Lett. 116, 142105 (2020), [3] 2022年83回応用物理秋季[23p-C101-9]

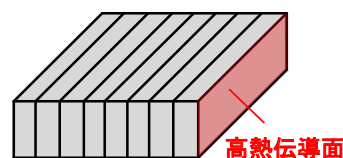


Fig.1 Mono-layer structure of CC

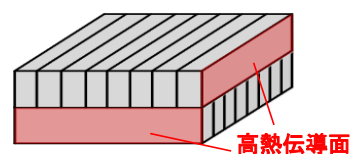


Fig.2 Bi-layer structure of CC

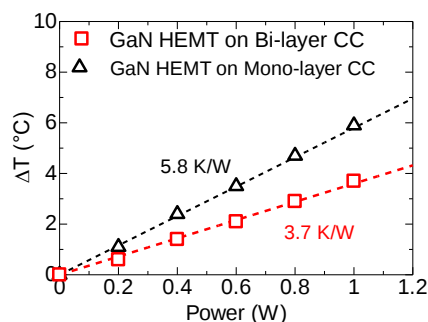


Fig. 3 Temperature dependence on dissipation power of GaN HEMT on CC

常温活性化接合を用いた 1 インチ級 GaN on Diamond HEMT の作製

1-inch-Size GaN-on-Diamond HEMT Device Prepared by surface activated bonding

三菱電機株式会社¹, 熊本大学², 産業技術総合研究所³

○[㊦] 白柳 裕介^{1,2}, 友久 伸吾¹, 笠村 啓司², 豊田 洋輝²,

松前 貴司³, 倉島 優一³, 高木 秀樹³, 久保田 章亀², 長永 隆志¹

Mitsubishi Electric Corporation¹, Kumamoto University²,

National Institute of Advanced Industrial Science and Technology³

○[㊦] Yusuke Shirayanagi^{1,2}, Shingo Tomohisa¹, Keiji Kasamura², Hiroki Toyoda²,

Takashi Matsumae³, Yuichi Kurashima³, Hideki Takagi³, Akihisa Kubota² and Takashi Takenaga¹

E-mail: Shirayanagi.Yusuke@dw.MitsubishiElectric.co.jp

【研究背景・目的】窒化ガリウム高電子移動度トランジスタ (GaN HEMT) の出力電力向上のための課題の一つとして、自己発熱による素子温度上昇に伴う特性劣化があげられる。その解決策として、高い熱伝導率を有するダイヤモンドを基板に用いた GaN-on-Diamond (GoD) HEMT が提案されている[1]。我々は、これまでに表面活性化接合法による GoD HEMT の作製に成功しているが[2]、GoD HEMT を実用化させるためには、デバイスコスト低減につながるインチ級以上での常温活性化接合法による GoD HEMT の実現が必要不可欠である。

【実験方法】初めに、Si 基板上 GaN HEMT から Si 基板を除去し、接合面 (N 面) を化学機械研磨 (CMP) により平滑化した。一方、30mm 角モザイク単結晶ダイヤモンド基板は真空紫外光を援用したドライ研磨手法により平滑化した。その後、双方の平滑化された面同士を、Si 界面層を介して常温活性化接合を実施した。

【実験結果】Fig. 1 は、ドライ研磨手法により平滑化された 30mm 角モザイク単結晶ダイヤモンド基板の表面ラフネス像を原子間力顕微鏡 (AFM) により測定したものである。Fig.1 に示すように、上記研磨手法を用いることによって、ダイヤモンド基板表面に対し、Sa:~0.16 nm (測定視野: 5.0 μ m 角) の平滑性が得られた。一方で、GaN-HEMT においても、CMP により Sa:~0.24 nm が得られた。さらに、上記基板の研磨面同士を常温活性化接合法により接合させ、30mm 角 GoD HEMT を作製することに成功した。当日は、GoD HEMT の DC 特性や通電時温度評価の結果も合わせて報告する。

【参考文献】[1] G. H. Jessen et al., 2006 IEEE CSICS, pp. 271-274 [2] 檜座秀一他: 応用物理, Vol.90, No.3, pp.167-171 (2021)

【謝辞】本成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務の結果得られたものです。

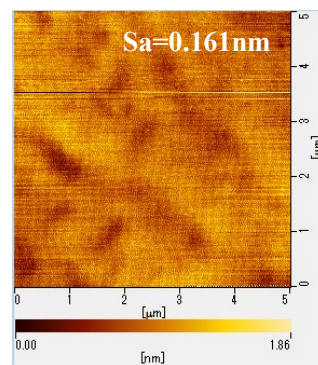


Fig.1 AFM Surface image of Mosaic Diamond polished by polishing technique with VUV irradiation.