

一般セッション(口頭講演) | 13 半導体：13.7 化合物及びパワーデバイス・プロセス技術・評価

■ 2023年9月23日(土) 13:30 ~ 14:45 | 会場 B201 (市民会館)

**[23p-B201-1~5] 13.7 化合物及びパワーデバイス・プロセス技術・評価**

牧山 剛三(住友電工)

13:30 ~ 13:45

[23p-B201-1]  $\text{SiO}_2/\beta\text{-Ga}_2\text{O}_3$  界面形成条件が与える  $\beta\text{-Ga}_2\text{O}_3$  表面近傍の酸素欠損量の違いの検討

○片桐 浩生<sup>1</sup>、女屋 崇<sup>1</sup>、喜多 浩之<sup>1</sup> (1.東大院新領域)

◆ 奨励賞エントリー

13:45 ~ 14:00

[23p-B201-2]  $\text{Ni}/\beta\text{-Ga}_2\text{O}_3$  ショットキー接合の障壁高さの温度依存性の評価における熱電子放出-拡散モデルに基づく解析の重要性

○棟方 晟啓<sup>1</sup>、佐々木 公平<sup>2</sup>、江間 研太郎<sup>2</sup>、中野 義昭<sup>1</sup>、前田 拓也<sup>1</sup> (1.東大工、2.ノベルクリスタルテクノロジー)

14:00 ~ 14:15

[23p-B201-3] 縦型  $\text{Ga}_2\text{O}_3$  フィールドプレートショットキーバリアダイオードの研究

○湯田 洋平<sup>1</sup>、海老原 洪平<sup>1</sup>、南條 拓真<sup>1</sup>、古橋 壮之<sup>1</sup>、綿引 達郎<sup>1</sup>、西川 和康<sup>1</sup> (1.三菱電機)

◆ 奨励賞エントリー

14:15 ~ 14:30

[23p-B201-4] ダイヤモンド  $\text{NO}_2$  p型ドープMOSFETの長時間(100h)ACストレス測定

○白土 智基<sup>1</sup>、サハニロイ チャンドラ<sup>1</sup>、大石 敏之<sup>1</sup>、嘉数 誠<sup>1</sup> (1.佐賀大院工)

14:30 ~ 14:45

[23p-B201-5] 厚い  $\text{SiO}_2$  マスクを用いた再成長による  $\text{GaAsSb}/\text{InGaAs}$  トンネルFETの実現

許 瑞豊<sup>1</sup>、○(M2)范 珈偉<sup>1</sup>、荒井 昌和<sup>2</sup>、宮本 恭幸<sup>1</sup> (1.東工大、2.宮崎大)

SiO<sub>2</sub>/β-Ga<sub>2</sub>O<sub>3</sub> 界面形成条件が与える β-Ga<sub>2</sub>O<sub>3</sub> 表面近傍の酸素欠損量の違いの検討  
Influences of SiO<sub>2</sub>/β-Ga<sub>2</sub>O<sub>3</sub> formation processes on oxygen deficiency in near surface region of β-Ga<sub>2</sub>O<sub>3</sub>  
東京大学大学院新領域創成科学研究科物質系専攻、<sup>○</sup>片桐 浩生, 女屋 崇, 喜多 浩之  
Dept. of Advanced Materials Science, The Univ. of Tokyo, <sup>○</sup>Koki Katagiri, Takashi Onaya, and Koji Kita  
Email: koki-katagiri1236@g.ecc.u-tokyo.ac.jp

[序論] パワーデバイスの高性能化を実現する材料として β-Ga<sub>2</sub>O<sub>3</sub> は注目されている。当研究室ではこれまでに、SiO<sub>2</sub>/β-Ga<sub>2</sub>O<sub>3</sub> の MOS キャパシタの CV 測定で、O<sub>2</sub> 雰囲気 1000°C 1 時間の PDA を行うことによりほぼ理想的な界面特性が得られることを報告した<sup>[1]</sup>。このことから、酸素欠損の低減が電気的な特性の変化に寄与することが予想される。この予想の検証を目的として、X 線光電子分光法(XPS)で得られる化学結合状態の観点から、界面形成条件として PDA 雰囲気と SiO<sub>2</sub> の成膜手法に注目し、それらの違いが与える SiO<sub>2</sub>/β-Ga<sub>2</sub>O<sub>3</sub> の酸素欠損の量の変化を調査した。

[実験] n 型エピタキシャル膜を有する β-Ga<sub>2</sub>O<sub>3</sub>(001)ウェハを化学洗浄し、二種類の成膜手法により SiO<sub>2</sub> 膜を堆積した。一方は、電子線蒸着(EB)により 10<sup>-2</sup>Pa の O<sub>2</sub> 雰囲気下で Si を蒸着源とすることで SiO<sub>2</sub> 膜を 2.7 nm 堆積させた。もう一方は、原子層堆積(ALD)法により SiO<sub>2</sub> 膜を 3.9 nm 堆積させた。化学洗浄のみを行った試料(Bare-Ga<sub>2</sub>O<sub>3</sub>)と SiO<sub>2</sub> 膜を堆積させた試料に対し、O<sub>2</sub> または N<sub>2</sub> 雰囲気 1000°C、1 時間のアニール処理を行い、XPS により化学結合状態を評価した。比較のためアニール処理なしで作製した試料も用意した。

[結果および考察]β-Ga<sub>2</sub>O<sub>3</sub> と SiO<sub>2</sub> は安定な化合物をつくらないことが知られており<sup>[2]</sup>、界面のごく近傍でも、1000°C の PDA 処理により混合層を形成しないであろうことは当研究室の過去の実験の TEM 画像からわかっている。XPS 測定による結果でも Ga 3d と Si 2p の内殻準位スペクトルに注目することで化学結合状態の観点から見た混合層の有無を見ることができ、混合層に伴う第二近接効果によるピークシフトは検出されなかった。これらの実験結果は SiO<sub>2</sub>/β-Ga<sub>2</sub>O<sub>3</sub> は急峻な界面を形成していることを示している。

もし基板表面近傍に酸素欠損が存在すると Ga の価数が低下し、低結合エネルギーへのピークのシフトとして検出される(Fig.1 の Ga\*)。Ga\*は基板表面に存在するサブオキサイドや表面付近の構造変化に対応していると考えられる。Fig.1 のように Ga 3d の内殻準位スペクトルをピーク分離することで、低結合エネルギー側に存在する Ga\*の割合を推定し、アニール前後の酸素欠損の量の比較を試みた。Fig.2 は Ga 3d のピークに占める Ga\*の割合を示したもので、Bare-Ga<sub>2</sub>O<sub>3</sub> を黒の点で、EB で製膜した試料を赤の点で、ALD で製膜した試料を青の点で示した。

Bare-Ga<sub>2</sub>O<sub>3</sub> は Ga\*が化学洗浄直後は 16%程度存在するが、O<sub>2</sub> アニールにより Ga\*を 10%程度まで低減させることができる。しかしながら N<sub>2</sub> アニールでは Ga\*はほぼ減少していない。この結果から、Bare-Ga<sub>2</sub>O<sub>3</sub> の酸素欠損の低減には酸素分圧が支配的な因子であることが示唆される。一方で、EB により製膜した試料については堆積直後でも Ga\*の量が 20%程度と多く、O<sub>2</sub> アニールをしても Ga\*の量は Bare-Ga<sub>2</sub>O<sub>3</sub> ほど減少しない。これは、酸素欠損を SiO<sub>2</sub> 膜に残しやすい製膜手法である EB を使用した結果、1000°C のアニール下においてエリンガムダイアグラムの示唆する通り、SiO<sub>2</sub> 膜に酸素イオンが移動することで界面の SiO<sub>2</sub> 膜が酸化し Ga<sub>2</sub>O<sub>3</sub> が還元され、Ga<sub>2</sub>O<sub>3</sub> の界面近傍の酸素欠損を減少させにくいことを示唆している。このことは MOS 特性が長時間の O<sub>2</sub> アニールが必要であることの要因と考えられる。酸素欠損を生じやすい EB とは対照的に、TDMAS を原料として酸素プラズマを用いて O<sub>2</sub>-rich な環境下で製膜した ALD では製膜直後でも Ga\*の量が小さかった。さらに、O<sub>2</sub> アニールにより EB を使用した試料よりも ALD を使用した試料は Ga\*が少なくなるものの、Bare-Ga<sub>2</sub>O<sub>3</sub> ほど小さくならなかった。さらに、ALD を使用した試料でも酸素分圧が 0 に近い N<sub>2</sub> アニールを施すことにより Ga\*の量は上昇してしまうことがわかった。これは 1000°C のアニールにより酸素欠損の量が容易に上昇してしまうことを示している。

[結論] 本研究では界面近傍の β-Ga<sub>2</sub>O<sub>3</sub> 中の酸素欠損の量は温度、雰囲気のみならず、界面を形成する絶縁膜の存在やその製膜手法にも依存することを明らかにした。O<sub>2</sub> アニールをした時の MOS 特性と XPS 測定による結果を考慮すると、SiO<sub>2</sub>/β-Ga<sub>2</sub>O<sub>3</sub> の MOS トランジスタへの応用を考える上で界面近傍の酸素欠損の量を減少させるのは重要であると考えられる。

[参考文献]

- [1] K. Kita et al, ECS. Trans. 92, 59 (2019).  
[2] F. P. Glasser, J. Phys. Chem. A. 63, 2086 (1959).

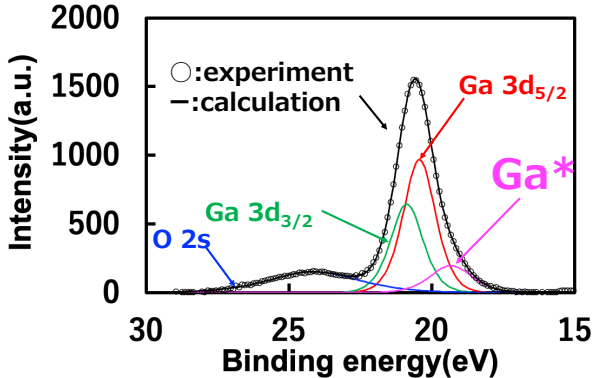


Fig.1 Ga 3d core level spectra of SiO<sub>2</sub>(2.7nm)/Ga<sub>2</sub>O<sub>3</sub>

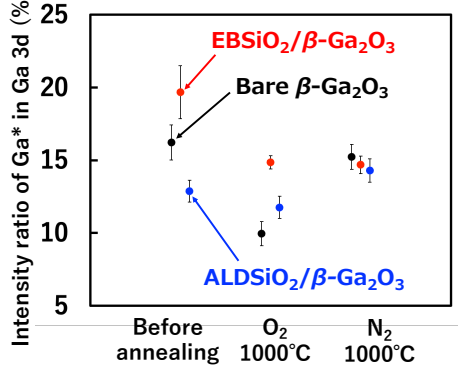


Fig.2 Intensity ratio of Ga\* in Ga 3d

## Ni/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub> ショットキー接合の障壁高さの温度依存性の評価における 熱電子放出-拡散モデルに基づく解析の重要性

### Temperature dependence of barrier height in Ni/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub> Schottky junction Obtained by the Analysis Based on the Thermionic Emission-Diffusion model

棟方晟啓<sup>1</sup>, 佐々木公平<sup>2</sup>, 江間研太郎<sup>2</sup>, 中野義昭<sup>1</sup>, 前田拓也<sup>1</sup>,  
東京大学<sup>1</sup>, ノベルクリスタルテクノロジー<sup>2</sup>

A. Munakata<sup>1</sup>, K. Sasaki<sup>2</sup>, K. Ema<sup>2</sup>, Y. Nakano<sup>1</sup>, T. Maeda<sup>1</sup>

Tokyo Univ.<sup>1</sup>, Novel Crystal Technology, Inc.<sup>2</sup>

E-mail: makki@g.ecc.u-tokyo.ac.jp

酸化ガリウム( $\beta$ -Ga<sub>2</sub>O<sub>3</sub>)は、高い絶縁破壊電界を有するため、高耐圧かつ低損失なパワーデバイス材料として期待されている。酸化ガリウムの障壁高さの温度依存性に関しては、報告例はあるものの測定手法ごとに差異があり、詳細な議論がなされていない[1]。本研究では、Ni/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub> SBD について、298 K から 473 K の範囲で容量-電圧( $C$ - $V$ )測定と電流-電圧( $I$ - $V$ )測定を行い、緻密に解析することで、障壁高さの温度依存性を求めたので報告する。

測定した SBD のショットキー電極の金属は Ni (20 nm)/Au (500 nm) で、電極は 3.2 mm × 3.2 mm の正方形である。まず、 $C$ - $V$  測定を行った。1/ $C^2$ - $V$  プロットにおける傾きから、実効ドナー密度が  $4.2 \times 10^{15} \text{ cm}^{-3}$  で温度によらず一定であることがわかった。また、温度上昇につれて拡散電位が減少した。障壁高さは、拡散電位、伝導帯底とフェルミ準位のエネルギー差、空乏層端に電子が存在することによる電圧降下( $kT$ )の和から求められる。 $C$ - $V$  測定から求めた障壁高さは、温度上昇につれてほぼ線形に単調減少し、その温度係数は -0.43 meV/K となった。

次に、 $I$ - $V$  測定を行った。図 1 に得られた  $I$ - $V$  特性を示す。熱電子放出(TE)モデルに基づいて解析を行ったところ、 $I$ - $V$  曲線のフィッティングはよく一致するものの、障壁高さの温度依存性が -0.14 meV/K となり、 $C$ - $V$  測定の結果と一致しない。この不一致の原因は、TE モデルが「障壁を越えるエネルギーを持つ電子はすべて電流輸送に寄与する」と仮定していることに起因すると考えられる。これまで我々は Ni/GaN SBD の  $I$ - $V$  特性の解析において、高温になると電子の移動度が低下するため空乏層での拡散輸送が無視できず、熱電子放出-拡散(TED)モデル[2]を適用する必要があることを指摘している[3]。図 2 に、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> における熱速度  $v_R$  と拡散速度  $v_D$  の比較を示す。 $v_D$  の計算においては、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> のホール効果測定について報告された移動度を用いた[4]。 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> の電子移動度が室温付近で  $100 \text{ cm}^2/\text{Vs}$  程度と低いため、室温においても  $v_D$  が  $v_R$  より低く、電流が拡散輸送によって制限されることがわかる。その結果、TE モデルでは障壁高さの過大評価が生じてしまう。図 3 に  $C$ - $V$ 、 $I$ - $V$  (TE 解析)、 $I$ - $V$  (TED 解析) による障壁高さの温度依存性を示す。TED モデルに基づく解析により、 $I$ - $V$ 、 $C$ - $V$  とともに一貫した障壁高さの温度依存性(-0.43 meV/K)が得られた。

本研究より、障壁高さの精密評価において、移動度が低い場合には TE ではなく TED モデルに基づいて解析することが重要であるということがわかる。得られた結果は、金属/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub> ショットキー接合を有する電子デバイスの温度依存性を考える際に有用である。

【参考文献】 [1] M. Higashiwaki *et al.*, *APL* **108**, 133503 (2016), [2] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices* (Wiley, New York, 2007) 3rd ed., pp. 153-162, [3] T. Maeda *et al.*, *APEX* **10**, 051002 (2017), [4] T. Adam, *et al.*, *APL* **113**, 062101 (2018)

【謝辞】 本研究は公益財団法人精密測定技術振興財団 2022 年度研究助成および公益財団法人池谷科学技術振興財団 2023 年度研究助成の支援を受けて実施しました。

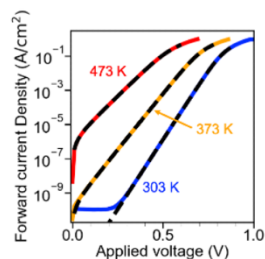


Fig. 1 Forward  $I$ - $V$  characteristics of the Ni/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub> at 303, 373 and 473 K. The calculations based on the TED model are also shown as broken lines.

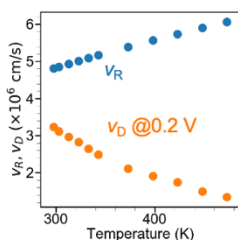


Fig. 2 Temperature dependence of thermal velocity ( $v_R$ ) and effective diffusion velocity ( $v_D$ ) at 0.2 V.

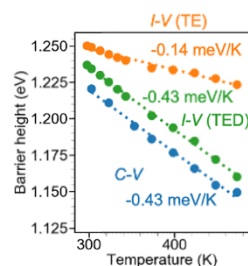


Fig. 3 Temperature dependence of barrier height in Ni/ $\beta$ -Ga<sub>2</sub>O<sub>3</sub> obtained by  $C$ - $V$  and  $I$ - $V$  analyzed by TE and TED models shown as blue, orange and green circles.

# 縦型 Ga<sub>2</sub>O<sub>3</sub> フィールドプレートショットキーバリアダイオードの研究

## A Study of Vertical Ga<sub>2</sub>O<sub>3</sub> Schottky Barrier Diodes Using Field Plate Termination

三菱電機株式会社 先端技術総合研究所<sup>1</sup>, パワーデバイス製作所<sup>2</sup>

○湯田 洋平<sup>1</sup>, 海老原 洪平<sup>1</sup>, 南條 拓真<sup>1</sup>, 古橋 壮之<sup>1</sup>, 綿引 達郎<sup>2</sup>, 西川 和康<sup>1</sup>

<sup>○</sup>Advanced Technology Research & Development Center, Mitsubishi Electric Corporation<sup>1</sup>,

Power Device Works, Mitsubishi Electric Corporation<sup>2</sup>

E-mail: Yuda.Yohei@eb.MitsubishiElectric.co.jp

### はじめに

省エネ・低炭素化社会に貢献する技術が注目される中、パワーエレクトロニクス分野では、より高効率かつ低損失なパワーデバイスが望まれている。中でも酸化ガリウム( $\beta$ -Ga<sub>2</sub>O<sub>3</sub>)は、次世代パワーデバイス材料として期待されている [1,2]。しかしながら、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> の物性値のうち、高精度なデバイス設計に求められる実効的な絶縁破壊電界は明らかになっていない。本研究では、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub> デバイス開発の体系化を目的に、パワーデバイスの一般的な終端構造である フィールドプレートショットキーバリアダイオード(FP-SBD) を作製し、その評価結果を 2 次元デバイスシミュレーションに反映させた。実験とシミュレーションの双方から、デバイス設計に用いる  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> の破壊電界の基準値を明らかにした。

### 実験

$\beta$ -Ga<sub>2</sub>O<sub>3</sub> デバイス開発の体系化に向け、1 段および 2 段 FP 構造を有する縦型 SBD を作製した。図 1 に作製した SBD の断面模式図を示す。ドーピング濃度および膜厚がそれぞれ  $1.0 \times 10^{16} \text{ cm}^{-3}$ 、 $10 \mu\text{m}$  であるエピウエハを用い、ウエハ裏面にカソードとしてオーミック電極を形成した後、アノードとしてウエハ表面にショットキー電極を形成した。ショットキー電極は、終端部において SiO<sub>2</sub> 膜を介して FP 電極として機能する。2 次元デバイスシミュレーションにはシノプシス社の Sentaurus Device を使用した。

### 結果

1 段 FP 構造の場合、絶縁破壊電圧は SiO<sub>2</sub> 膜厚が約 500 nm でピークに達した。結果をフィッティングすることによって、このときの絶縁破壊電界が 5.0 MV/cm であることがわかった。図 2 に、得られた破壊電圧を基準値としたときの 2 段 FP 構造における絶縁破壊電界を示す。

計算結果に基づいて 2 段 FP-SBD を試作した結果、破壊電圧が 2000 V を超えることを確認した。

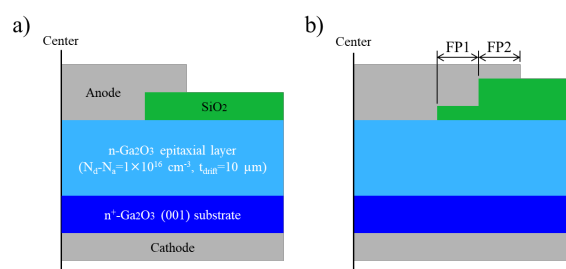


Fig. 1. Schematic cross sections of (a) the single and (b) the double FP-SBD.

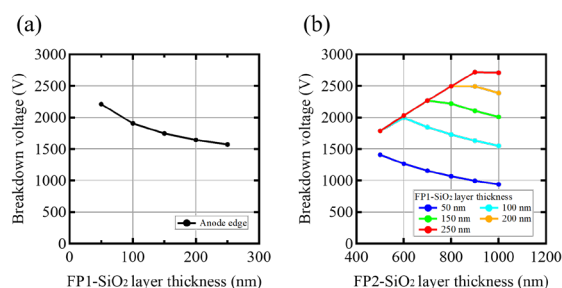


Fig. 2. Calculated breakdown voltage at (a) anode edge and (b) field plate edge in the double FP-SBDs by assuming an electric field criterion of 5.0 MV/cm in Ga<sub>2</sub>O<sub>3</sub>.

### 謝辞

この成果は、総務省の委託事業「ICT 重点技術の研究開発プロジェクト(JPMI00316)」の結果得られたものです。

### 参考文献

- [1] T. Watahiki, Y. Yuda, A. Furukawa, M. Yamamuka, Y. Takiguchi, and S. Miyajima, Appl. Phys. Lett. **111**, 222104 (2017).
- [2] C. Lin, Y. Yuda, M. Wong, M. Sato, N. Takekawa, K. Konishi, T. Watahiki, M. Yamamuka, H. Murakami, Y. Kumagai, M. Higashiwaki, IEEE Electron Device Lett. **40**, 1487 (2019).

# ダイヤモンド NO<sub>2</sub> p 型ドープ MOSFET の長時間(100h)AC ストレス測定 AC Stress Long (100h) Measurement of Diamond NO<sub>2</sub> p-type doped MOSFET

佐賀大院工<sup>1</sup>

(M1) <sup>○</sup>白土智基<sup>1</sup>, ニロイ チャンドラ サハ<sup>1</sup>, 大石敏之<sup>1</sup>, 嘉数 誠<sup>1</sup>

Saga Univ.<sup>1</sup>

(M1) <sup>○</sup>Tomoki Shiratsuchi<sup>1</sup>, Niloy Chandra Saha<sup>1</sup>, Toshiyuki Oishi<sup>1</sup>, Makoto Kasu<sup>1</sup>

E-mail: 23730017@edu.cc.saga-u.ac.jp

【はじめに】ダイヤモンドは 5.47eV のバンドギャップエネルギーを有し、次世代パワー半導体として期待されている。我々は最近、ダイヤモンド MOSFET のパワー回路を作製し、<10ns の高速スイッチング特性[1]と 190h の長時間 DC ストレス特性[2]を報告した。しかし、実用パワー回路応用では AC 動作の動特性も重要である。そのため、本研究では AC ストレス測定を行い、劣化のない特性が得られたので報告する。

【実験方法】測定素子は NO<sub>2</sub> p 型ドープダイヤモンド MOSFET である。ゲート電圧( $V_{GS}$ )として周波数 10Hz で AC -0.5V ~ -1.5V の正弦波、バイアス電圧( $V_{DD}$ )に -10V を印加し、出力電圧( $V_{DS}$ )をオシロスコープで測定し、出力電流( $I_D$ )に換算した。なお、長時間測定中に一旦バイアスの印加を止め、瞬時に出力特性及び伝達特性測定を行った。長時間測定終了後にも連続して出力特性等の測定を行った。

【実験結果及び考察】Fig. 1.は  $I_D$  の AC 波形の最大値と最小値の時間変化を示している。AC ストレス下においてダイヤモンド MOSFET は動作開始後すぐに  $I_D$  が増加し、その後ゆるやかに増加したことが分かる。また、100h 動作でも劣化は見られなかった。しかし、相互コンダクタンスはやや減少し、 $I_D$  の振幅も減少した。

Fig. 2.は伝達特性のストレス時間依存性である。ストレス前(黒)に対し、ストレス中 1h(青)、100h(赤)とゲート電流が増加していることが分かる。ストレス終了後、ゲート電流は 2h(茶)、24h(紫)、48h(緑)と時間と共に減少し、ストレス測定前の値に戻ることが分かる。DC ストレスの場合[2]より回復時間が 48h と長いのは AC ストレスの場合、界面からより深いところまでボーダートラップが形成されているためと考えられる。

【結論】ダイヤモンド MOSFET にて長時間 AC ストレス特性測定を行い、100h で劣化が見られなかった。これらの結果から、ダイヤモンド MOSFET がパワー回路に応用可能であることが示された。

【謝辞】本研究の一部は科研費(22H01974)によるものです。

## 【参考文献】

- [1] N. C. Saha, et al., IEEE EDL, 44, 793 (2023).  
[2] N. C. Saha, et al., IEEE EDL, 44, 975 (2023).

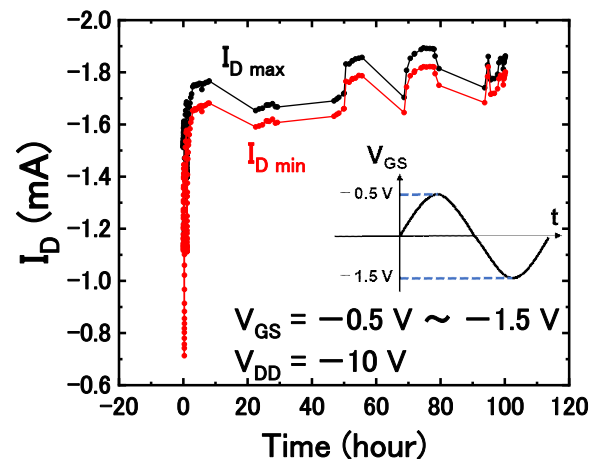


Fig. 1. Drain current ( $I_D$ ) during AC stress operation.

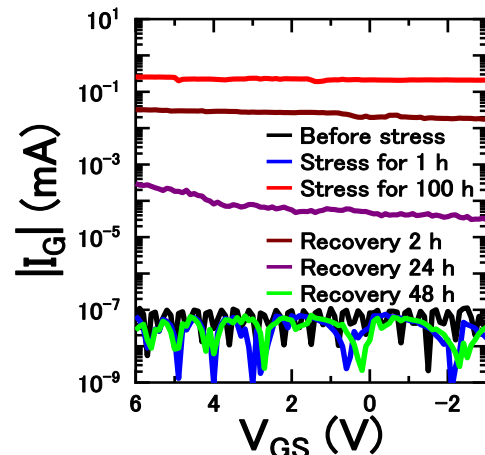


Fig. 2. AC stress and recovery time-dependent  $I_G$ - $V_{GS}$  Characteristics.

## 厚い SiO<sub>2</sub> マスクを用いた再成長による GaAsSb/InGaAs トンネル FET の実現

GaAsSb/InGaAs tunnel FETs using thick SiO<sub>2</sub> mask for regrowth

東工大<sup>1</sup>, 宮崎大<sup>2</sup> Ruifeng Xu<sup>1</sup>, ○Jiawei FAN<sup>1</sup>, 荒井昌和<sup>2</sup>, 宮本恭幸<sup>1</sup>

<sup>1</sup>Tokyo Tech., <sup>2</sup>Univ. Miyazaki, Ruifeng Xu<sup>1</sup>, Jiawei FAN<sup>1</sup>, Masakazu Arai<sup>2</sup>, Yasuyuki Miyamoto

\*E-mail: [fan.j.ac@m.titech.ac.jp](mailto:fan.j.ac@m.titech.ac.jp)

GaAsSb/InGaAs トンネル FET (TEFT) は、スティーブスロープデバイスとして有望であるが、平面型のチャネルと合わせる場合には、横方向のヘテロ接合を選択的な再成長によって作製されなければならない。TFET の場合、高濃度ドーパの p 型ソースが大電流に必要なが、高濃度を実現するには、低温での成長が必要である。しかし、成長温度が低い場合、選択的な成長が困難となる。本報告では再成長時の SiO<sub>2</sub> マスクを再成長 GaAsSb より厚くした場合、SiO<sub>2</sub> マスク上の単結晶と多結晶の連結を防止できることを報告する。多結晶を除去した後、トランジスタの動作を実現できた。

まず、InP 基板の上に 75nm の厚さで様々なサイズの SiO<sub>2</sub> パターンを作製し、GaAsSb 選択成長状態を確認した。MOVPE 成長温度が 500°C、カーボンドーパ GaAsSb のキャリア濃度は  $5 \times 10^{19} \text{cm}^{-3}$  であった。このとき、幅が 450nm であっても多結晶の析出が観測され、この多結晶は図 1(a) に示すようにマスクの外の再成長層と結合し、マスクを除去しても同時に取れない。そこで図 1(b) に示すように再成長マスクを再成長層より厚くすると、多結晶が析出してマスク除去時に同時に取ることができた。またマスクサイズを大きくしても作製ができる。

作製した p-GaAsSb/i-InGaAs TFET の構造を図 2 に、作製したトランジスタの I-V 特性を図 3 に示す。トランジスタ動作が確認され、また図 3(b) に示すようにアンバイポーラ効果が確認できた。詳細は当日報告する。

本研究は JSPS 科研費 JP21H01384 の助成、及び ARIM JPMXP1222IT0021 及び JPMXP1223IT0016 の支援を受けた。

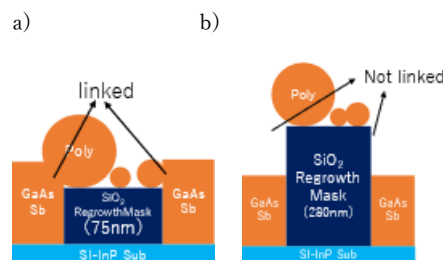


Fig. 1 (a) Schematic of SiO<sub>2</sub> mask lower than regrown GaAsSb (b) Schematic of SiO<sub>2</sub> mask higher than regrown GaAsSb

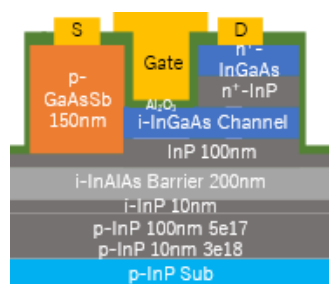


Fig. 2 Schematic of sample

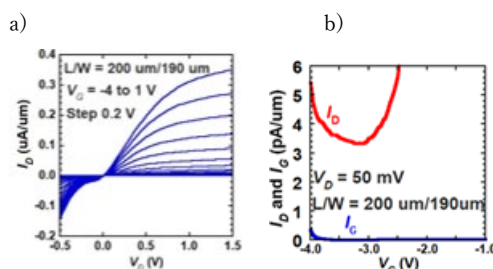


Fig. 3 a)  $I_d$ - $V_d$  and b)  $I_d$ - $V_g$  characteristics with 280nm-SiO<sub>2</sub> mask