

ガラス基板上多結晶 Ge 薄膜への CMOS インバータの形成

Formation of Polycrystalline Ge CMOS Inverter on Glass Substrate

九大院 総理工¹, 筑波大院 数理物質²

○森本 敦己¹, 黄 林昱¹, 居倉 功汰², 石山 隆光², 都甲 薫², 王 冬¹, 山本 圭介¹

Kyushu Univ.¹, Univ. of Tsukuba²

○A. Morimoto¹, L. Huang¹, K. Igura², T. Ishiyama², K. Toko², D. Wang¹, and K. Yamamoto¹

E-mail: morimoto.atsuki.906@s.kyushu-u.ac.jp

【はじめに】我々はこれまでに固相成長 (SPC) 法によって形成した高品質多結晶 Ge 薄膜上に、蓄積型 p チャネル (p-) TFT および反転型 n チャネル (n-) TFT を作製し、その動作実証を実現した [1,2]。今回、同一基板の蓄積型 p-TFT と反転型 n-TFT を組み合わせた CMOS 作製プロセスを構築し、直流および交流信号での動作確認に成功したので報告する。

【実験方法】SPC 法を用いてガラス基板上に多結晶 Ge 薄膜 (83 nm 厚、正孔密度: $6 \times 10^{17} \text{ cm}^{-3}$ 、移動度: $230 \text{ cm}^2/\text{Vs}$) を形成した後、n-TFT のソース/ドレイン (S/D) を形成するために n 型不純物として P⁺イオンを選択的に注入し、不純物活性化および再結晶化熱処理 (500 °C) を行った。次に、p-TFT のチャネル領域を完全空乏化させるために、p-TFT 領域をドライエッチング (RIE) により薄膜化 (55 nm 厚) した。その後、p-TFT の S/D として、Pt と TiN キップ層を順次スパッタ堆積し、N₂ 雰囲気内にて PMA (400 °C) を行い、PtGe を形成した。その後、RIE により多結晶 Ge 薄膜をアイランド状にエッチングし、次いでスパッタ成膜 SiO₂ にてアイランド周辺部の埋戻しを行った。ゲート絶縁膜として SiO₂/GeO₂ 積層膜を ECR プラズマプロセスにより形成し、N₂ 雰囲気内にて PDA (400 °C) を行った後、真空蒸着により Al ゲート電極を形成した。S/D 上にコンタクトホールを開孔した後、Al で配線兼パッド電極を形成し、コンタクトアニール (300 °C) を行った。図 1 は作製した CMOS の光学顕微鏡像であり、蓄積型 p-TFT および反転型 n-TFT のチャネル長 / 幅はそれぞれ 7 / 50 μm 、15 / 50 μm である。

【実験結果】図 2 に直流における CMOS の入出力特性を示す。出力電圧 V_{OUT} には電源電圧 V_{DD} の値が反映されており、入力電圧 V_{IN} に対して反転する挙動が見て取れる。図 3 は 100 Hz の矩形波に対する V_{OUT} と V_{IN} の信号の時間変化を示している。直流と同様に V_{OUT} は V_{IN} に対して遅延が生じることなく反転しており、多結晶 Ge から成る CMOS インバータが機能することが実証された。

【謝辞】本研究は、JSPS 科研費 (24K07576)、NEDO 未踏チャレンジ 2050 (P14004)、東北大通研共同プロジェクト研究 (R06/A06) の支援を受けて行われた。

[1] K. Moto *et al.*, Appl. Phys. Lett. 114, 212107 (2019). [2] L. Huang *et al.*, Jpn. J. Appl. Phys. 63, 02SP42 (2024).

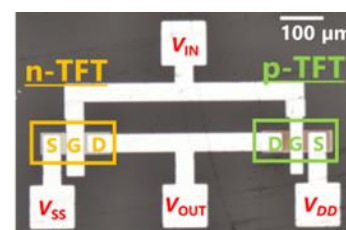


Fig.1 Photograph of SPC Ge CMOS inverter.

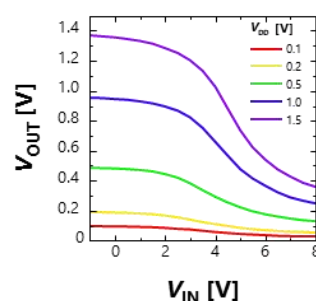


Fig.2 DC voltage transfer characteristics.

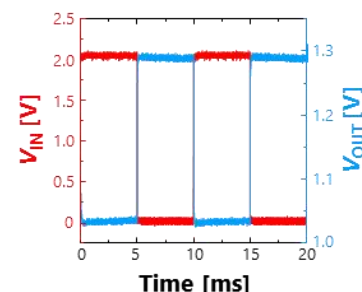


Fig.3 V_{OUT} waveform and V_{IN} at 100 Hz with a 50 % duty cycle.