

立体構造トランジスタ製造に対応した CMP プロセス制御技術の開発

Development of smart CMP process control technology for 3D-structured FETs

○笠嶋 悠司, 松川 貴, 上嶋 和也, 山岸 雅司, 林 喜宏

産総研(AIST)、先端半導体研究センター (SFRC)

○Yuji Kasashima, Takashi Matsukawa, Kazuya Uejima, Masashi Yamagishi, Yoshihiro Hayashi,

SFRC, AIST

E-mail: kasashima-yuji@aist.go.jp

産総研では、300mm 研究試作ラインであるスーパークリーンルーム (SCR) において、3 次元構造 FET (FinFET や GAAFET 等) のプロセス技術の研究開発を進めている。その基幹技術の一つである CMP において、インライン CMP エンドポイント検出 (EPD) と非破壊 3 次元形状検出 (垂直入射型 OCD[1]) を用いた CMP プロセス制御技術の開発を進めている。

図 1 に示すように、今回、EPD の一つとして光学式膜厚モニタ (SOPM (Spectrum Optical Endpoint Monitoring)) 方式を用いた。SOPM は研磨中のウェハに照射された光の反射光スペクトルまたはその変化から膜厚を算出する手法であり、その情報を基に研磨処理の終点を判定する。OCD 装置では評価対象構造に対して平行/垂直方向の偏光を照射し、反射率のスペクトルをライブラリと比較し、立体形状を計測する[1]。

図 2 に、リプレースメント型 High-k/Metal-gate (HKMG) -FinFET のダミーゲート a-Si 膜の CMP 平坦化に適用した結果を示す。OCD 測定による a-Si 膜の Bottom thickness 値と Top thickness 値の変化傾向が SOPM 膜厚値の変化傾向とほぼ一致した。このことは、SOPM 値と OCD 値とを紐づけることで、非破壊かつ迅速に、研磨残膜厚と 3 次元形状の検出が可能となることを意味し、CMP プロセスの短 TAT 開発に大きく資する。

参考文献：[1] Oleg Kritsun et al., Proc. of SPIE Vol. 6924, 69241M, (2008)

謝辞：この成果は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の「ポスト 5G 情報通信システム基盤強化研究開発事業」（JPNP20017）の助成事業の結果得られたものです。

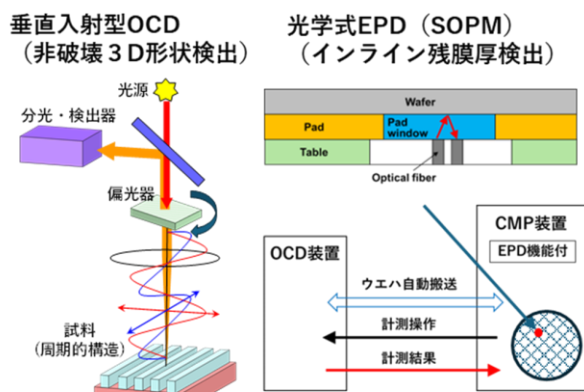


図 1 非破壊 OCD/SOPM 検出機能を具備した CMP 装置

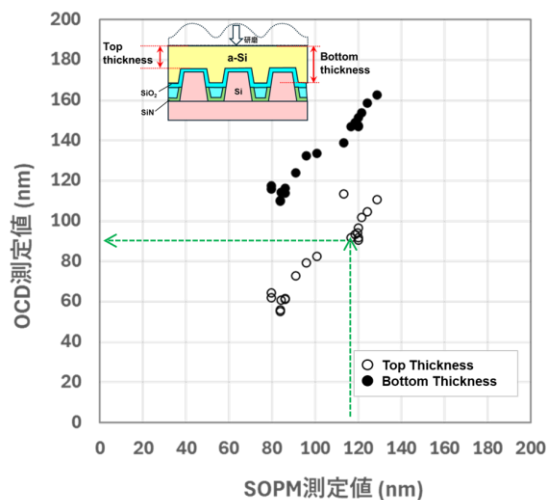


図 2 HKMG-FinFET のダミーゲート平坦化 CMP における a-Si の OCD 膜厚と SOPM 膜厚との関係