

TaO_x/TaS₂ ヘテロ構造を用いた MoS₂ 浮遊ゲート FET の作製

Floating gate FET based on MoS₂ with a TaO_x/TaS₂ heterostructure

関西大院理工¹, 埼玉大院理工², [○](M1)佐橋悠太郎¹, 稲田貢¹, 佐藤伸吾¹,
上野啓司², 山本真人¹

Kansai Univ.¹, Saitama Univ.², [○]Yutaro Sahashi¹, Mitsuru Inada¹, Shingo Sato¹, Keiji Ueno²,
Mahito Yamamoto¹

E-mail: k650665@kansai-u.ac.jp

浮遊ゲート FET は、半導体チャネル、トンネル絶縁層、浮遊ゲート、ゲート絶縁層、コントロールゲートの積層構造からなる汎用的な不揮発性メモリである。近年、原子レベルに薄く表面にダングリングボンドを持たない二次元材料を浮遊ゲート FET に応用すれば、既存のシリコン FET を超える高速・安定動作を実現できるとして注目されている。これまでの研究では、MoS₂ をチャネル、六方晶窒化ホウ素をトンネル絶縁層、多層グラフェンを浮遊ゲートとするファンデルワールスヘテロ構造を基に浮遊ゲート FET が作製されており、実際に 20 ns の高速動作が実現されている¹。本研究では、導電性の二次元層状物質である TaS₂ をオゾン酸化することによって得られた TaO_x/TaS₂ ヘテロ構造を利用することで浮遊ゲート FET の作製を試みた。

TaS₂ はバルク単結晶から Si/SiO₂(90 nm)基板上に機械剥離したものを用いた。フォトリソグラフィと抵抗加熱蒸着によって TaS₂ に Ni(20 nm)/Au(100 nm)電極を形成した後、オゾン雰囲気中で 250℃、5 分間加熱することで表面に TaO_x を形成した。次に、別基板上に剥離した MoS₂ を TaO_x/TaS₂ ヘテロ構造上に転写し Ni(20 nm)/Au(100 nm)のソース・ドレイン電極を作製することで、MoS₂ をチャネル、TaO_x をトンネル絶縁層、TaS₂ を浮遊ゲート、SiO₂ をゲート絶縁層、Si をコントロールゲートとする浮遊ゲート構造を完成させた(Fig. 1a)。

Figure 1b に示すように、TaS₂ をゲートとして電圧を掃引した場合、サブスレッショルドスイングが 150 mV/dec. の急峻なオン・オフスイッチが観測された。また、ゲートの往復掃引に対してほぼヒステリシスが観測されなかったことから、TaO_x 内や MoS₂ と TaO_x の界面における電荷トラップ密度は低いと考えられる。次に、Si をゲートとして -10 V から 10 V まで電圧を掃引したところ、およそ 10 V のヒステリシスが生じ(Fig. 1c)、これは電子が MoS₂ から TaS₂ に注入されトラップされたことによるものと考えられる。以上の結果より、TaO_x と TaS₂ がそれぞれトンネル層、浮遊ゲートとして機能することが分かった。当日の講演では、作製した浮遊ゲート FET の保持特性や動作速度についても議論する。

1. L. Liu *et al.*, Nat. Nanotech., 16, 874-881 (2021)

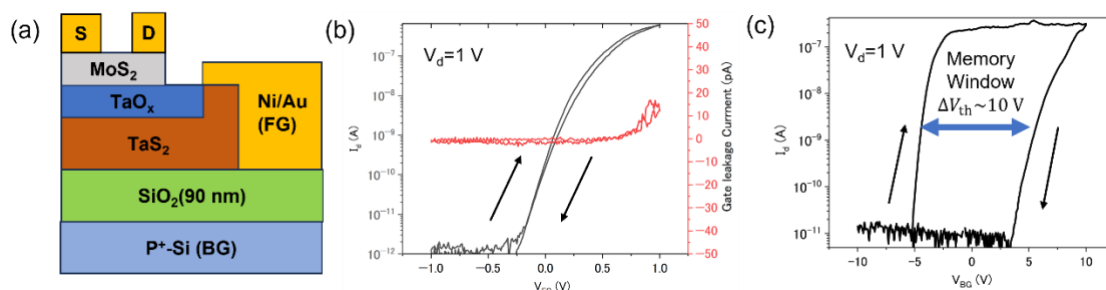


Figure 1. (a) Schematic of a floating gate memory with TaO_x/TaS₂ heterostructure. (b) drain current-floating gate voltage characteristic and (c) drain current-bag gate voltage characteristic of a flash memory