

大面積 CdTe フォトンカウンティング X 線イメージャーの開発

Development of Large-Area CdTe Photon-Counting X-ray Imager

静岡大電子研¹, ANSeeN² ○青木 徹^{1,2}, 西澤 潤一¹, 加瀬 裕貴¹, 都木 克之^{1,2}

Shizuoka Univ.¹, ANSeeN², Toru Aoki^{1,2}, Junichi Nishizawa¹, Hiroki Kase¹, Katsuyuki Takagi^{1,2}

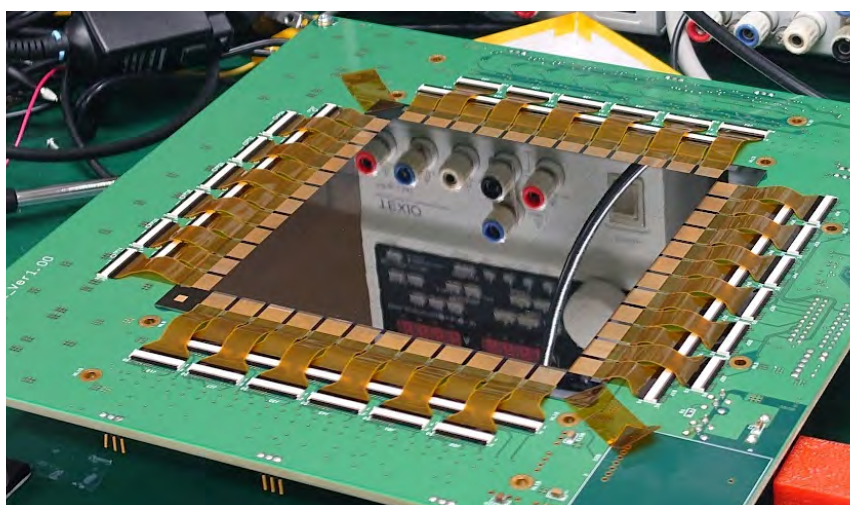
E-mail: aoki.toru@shizuoka.ac.jp

我々は、テルル化カドミウム (CdTe) を用いた画素ピッチ 100 μ m の大面積フォトンカウンティング X 線フラットパネル検出器 (FPD) を開発した。この検出器は、厚さ 0.75 mm のダイオード型 CdTe を採用しファンイン構造で、1 ピクセル 80 μ m 角の超低消費電力フォトン・電荷計数読み出し回路 (独自開発 ASIC) に接続した。各モジュールは 96 $\times$ 96 画素で構成され、これらのモジュールを 12 $\times$ 12 配列することで、約 4.5 インチの大面積イメージャーを実現している。

大面積の開発プロセスでは、超高精度 3 次元集積回路 (3D-IC) 積層技術を活用し、読み出し LSI を薄型化するとともに、信号入出力用の貫通ビア (TSV) を形成した。TSV の反対側には、銀系バンプ材料を用いて 100 μ m ピッチの接続パッド上に金属バンプ接続した。この方法で、CdTe とのフリップチップボンディングを行い 9.6mm 角のモジュールが形成された。これらのモジュールは、極めて平坦な平面性を持つベース基板上にタイリングされ、タイリング・ギャップの幅は 1 ピクセルとし、隣接する CdTe 層間の物理的距離は 40 μ m である。

信号線と電源線は 90° の角度で交差するように構成され、信号出力は FPGA と DPS 技術を利用したコントローラーを介して信号出力する。この大面積 CdTe フォトンカウンティング X 線イメージャーの、検出量子効率 (DQE) や変調伝達関数 (MTF) などを議論する。

今回、3D-IC スタッキング技術の開発と導入により、CdTe というポストプロセスが大変難しい材料系に対しても大型イメージャーを実現することができた。



写真：試作した大面積 CdTe イメージングデバイスのセンサー部分。ASIC と接続した 9.6mm の CdTe/ASIC モジュールが 12 $\times$ 12 でタイリングされている。反射した像が 1 枚の鏡のようであり極めて平坦にタイリングされていることが分かる。