

低温下における 200 nm SOI MOSFET の負基板バイアス依存性

Negative Back Bias Effect of Cryogenic 200 nm SOI MOSFET

金沢工大¹, 産総研², °李 龍聖¹, 森 貴之¹, 八田 浩輔¹, 小林 亮介¹, 岡 博史², 森 貴洋², 井田 次郎¹

Kanazawa Inst. of Tech.¹, AIST², °R. Ri¹, T. Mori¹, K. Hatta¹, R. Kobayashi¹, H. Oka², T. Mori², J. Ida¹

E-mail: c6300973@st.kanazawa-it.ac.jp

はじめに: 量子コンピュータの量子ビット数を増やすためには配線数の増大及びそこからの熱流入が課題であり, 解決のために Cryo-CMOS 技術の研究開発が行われている. MOSFET の中でも, SOI 技術は基板バイアス(V_{sub})によってしきい値電圧(V_{th})を制御することが可能であり, 低消費電力 Cryo-CMOS の実現が期待できる. その意味で V_{th} を低くできる正基板バイアスをまず評価し極低温でのみ現われるヒステリシス現象を見出し報告してきた[1]. 本稿では V_{th} を高くする方向である負基板バイアスの温度依存性においても, 低温と室温では異なる振舞いを示すことが判明したので報告する.

実験方法及び結果: 実験にはゲート長 200 nm, ゲート幅 1 μm , ゲート酸化膜厚 4.4 nm, Si 膜厚 40 nm, 埋め込み酸化膜厚 145 nm のラピスセミコンダクタ社 200 nm SOI プロセス によって作製された MOSFET を使用した. チャンネル不純物濃度を変えたデバイスを作製し, 本稿では Low V_{t} (LV t)及び, より不純物濃度が低い Ultra Low V_{t} (ULV t)の結果を示す. Fig. 1 に 300 K 及び 3 K における $I_{\text{d}}-V_{\text{g}}$ 特性の V_{sub} 依存性を示す. (a)は LV t , (b)は ULV t である (Fig. 2, 3 も同様). Fig. 2 に $V_{\text{th}}-V_{\text{sub}}$ の温度依存性を示す. Fig. 3 に $V_{\text{sub}} = 0$ V が基準の V_{sub} に対する V_{th} の変化量(ΔV_{th})を示す. LV t と ULV t のどちらのデバイスも 300 K から 200 K までは, V_{sub} 増加とともに V_{th} の変化が飽和する Bulk-MOSFET と同等な基板バイアス特性を示すが, 100 K から 30 K で直線的になり, さらに低温では直線的で変化量が小さくなることを確認できる. 具体的には, Fig. 2(a)より, 300 K から 30 K では, $V_{\text{sub}} = -15$ V ほどで V_{th} が飽和するのにに対して, 15 K 以下では, V_{sub} に比例して V_{th} が増加している. Fig. 2(b)でも同じように 100 K まで飽和が見えるが, 50 K から V_{sub} に比例して V_{th} が増加していることが確認できる. これは, 温度によるフリーズアウトの影響, 完全空乏, 部分空乏の程度の差などが考えられる.

謝辞: 本講演で発表した研究は, 国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO) の委託業務 (JPNP16007)の結果得られたものです.

参考文献: R. Ri *et al.*, “Back Bias Effect with Hysteresis in Cryogenic 200 nm SOI MOSFETs”, EuroSOI-ULIS, May. 2024

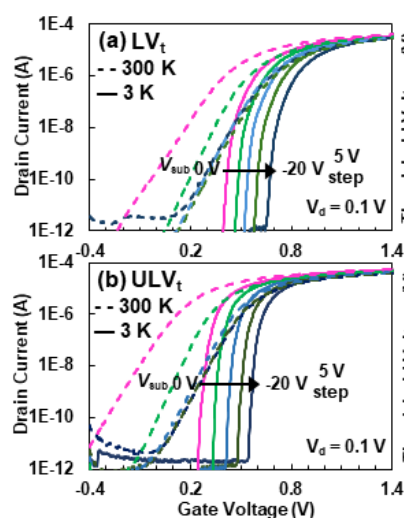


Fig. 1 $I_{\text{d}}-V_{\text{g}}$ dependence on V_{sub} . (a) ULV t , (b) LV t . --- 300 K — 3 K

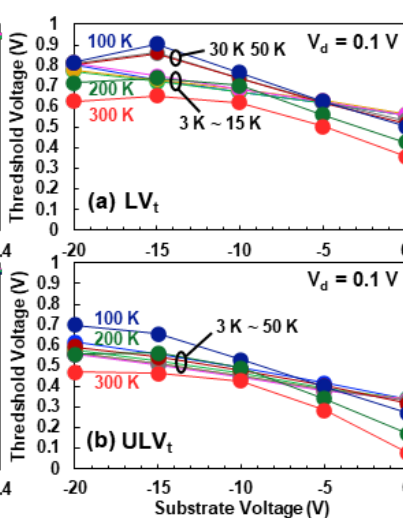


Fig. 2 V_{th} dependence on V_{sub} . (a) ULV t , (b) LV t .

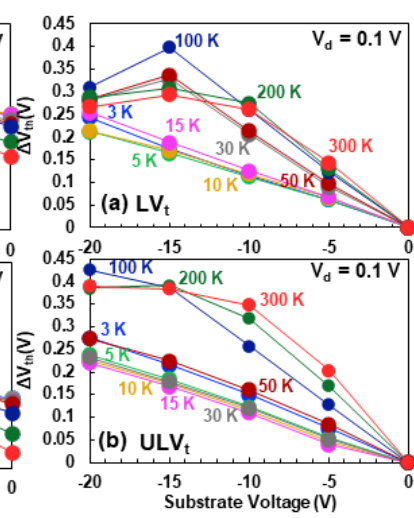


Fig. 3 ΔV_{th} dependence on V_{sub} . (a) ULV t , (b) LV t . (based on $V_{\text{sub}} = 0$ V).