

PECVD-SiO₂の成膜温度が p 型 GaN MOS 界面正孔トラップに与える影響 Impacts of PECVD-SiO₂ deposition temperature on hole traps at p-type GaN MOS interfaces

阪大院工, °原 征大, 小林 拓真, 溝端 秀聡, 野崎 幹人, 渡部 平司

Osaka Univ., °M. Hara, T. Kobayashi, H. Mizobata, M. Nozaki, and H. Watanabe

E-mail: hara@prec.eng.osaka-u.ac.jp

GaN 縦型パワーMOSFET の信頼性向上には, GaN MOS 構造の高密度正孔トラップの起源解明が不可欠である. 先の報告では, 応答が比較的速く, MOS 界面でのフェルミ準位(E_F)のピニングを引き起こす正孔トラップ(速い正孔トラップ)が, 熱により生成する欠陥に由来することが示唆された[1]. したがって, GaN MOS 構造形成プロセスの熱履歴を低減することが, 速い正孔トラップ抑制に有効であると期待される. この観点から, 我々は低温での SiO₂ 成膜に着目した. 本研究では, 様々な SiO₂ 成膜温度で p 型 GaN MOS 構造を作製し, 成膜温度が正孔トラップ生成に与える影響を詳細に調査した.

p 型 GaN エピ層試料($[Mg]=7\times 10^{16}\text{ cm}^{-3}$)をアセトンおよび HF で洗浄後, N₂ 雰囲気中で 800°C, 20 分の脱水素アニールを行った. 試料の再洗浄後, PECVD により, 基板温度 200, 300, 400°C で 14–21 nm の SiO₂ 膜を堆積した. その後, 200–800°C の範囲で温度を変化させ, O₂ または N₂ 雰囲気中で 30 分の堆積後熱処理(PDA)を施した. 最後に, Ni ゲート電極, 裏面 Al 電極を形成し, MOS キャパシタを作製した.

400°C 成膜した SiO₂ に O₂-PDA を施して作製した p 型 GaN MOS キャパシタの双方向 $C-V$ 特性を図 1 に示す. 先の報告の通り, 400°C 成膜試料では, E_F ピニングにより容量停滞が生じる電圧範囲(ΔV_{hump})は, PDA 温度の上昇に伴って徐々に増加している. また, この ΔV_{hump} 増加傾向は N₂-PDA 試料でも同様に観測された. 続いて, 図 2 に, 200°C 成膜 SiO₂ に (a) O₂- または (b) N₂-PDA を施した MOS キャパシタの $C-V$ 特性を示す. 200°C で成膜した場合, 600°C 以下の温度で O₂-PDA を施した試料では顕著な容量停滞は生じず, 800°C での O₂-PDA 後に急激に ΔV_{hump} が増大している[図 2(a)]. 一方, 図 2(b) に示すように, 200°C 成膜試料では, 800°C での N₂-PDA を施してもなお, 正孔の蓄積に伴う容量の増加傾向が見られる. 以上の結果を, SiO₂ 成膜時に O₂ プラズマにより形成される SiO₂/GaN 界面 GaO_x 層[2]に対する成膜温度および PDA の効果に着目して考察する. SiO₂ 成膜温度が低いほど, GaO_x 層の形成は抑制されると予想される. また, PDA を 800°C, O₂ 雰囲気中で施すと GaO_x 中間層が増膜するのにに対し[2], N₂ 雰囲気では GaO_x 層は増膜しない. よって, 200°C 成膜試料のうち, GaO_x 層が増膜する 800°C での O₂-PDA を施した場合のみ, 熱に起因した速い正孔トラップの生成が起こり, 極薄 GaO_x 層が維持されるその他の試料ではトラップは増加しないことがわかる. 以上を踏まえ, SiO₂/GaN 界面 GaO_x 層に存在し, かつ熱により生成する欠陥が, 速い正孔トラップの主要な起源であると推定する.

本研究は, 文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業(JPJ009777)および JSPS 科研費(23K13367, 24KJ0142)の助成を受けたものである.

[1] 原 他, 第 85 回 応用物理学会秋季学術講演会 (2024). [2] T. Yamada *et al.*, *APEX* **11**, 015701 (2018).

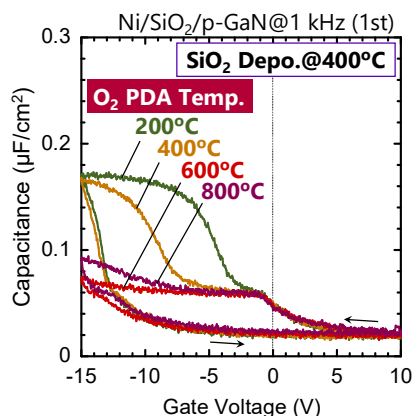


Fig. 1. $C-V$ characteristics of the p-GaN MOS capacitors fabricated with 400°C-deposited SiO₂ and O₂-PDA.

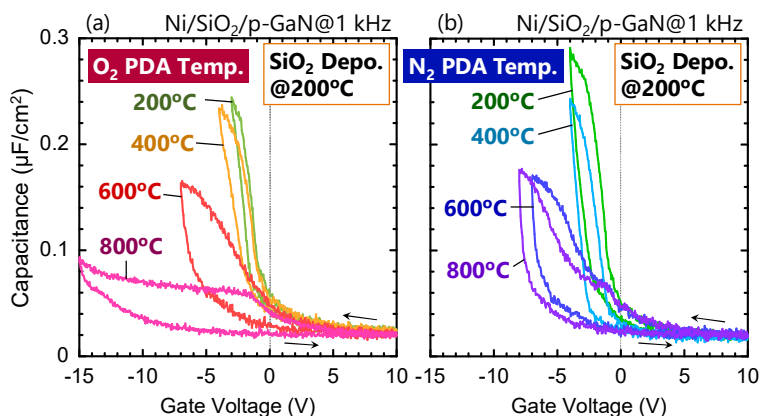


Fig. 2. $C-V$ characteristics of the p-GaN MOS capacitors fabricated with 200°C-deposited SiO₂ and (a) O₂- or (b) N₂-PDA.