

Higher-k に向けた HfO₂/ZrO₂/HfO₂ 超格子 MOS 構造のアニール指針

Effects of post-deposition and post-metallization anneal

on HfO₂/ZrO₂/HfO₂ super-lattice gate-stack

産総研¹ ○神岡 武文¹, 右田 真司¹, 松川 貴¹, 岡田 直也¹, 太田 裕之¹

AIST¹, °Takefumi Kamioka¹, Shinji Migita¹, Takashi Matsukawa¹, Naoya Okada¹, Hiroyuki Ohta¹

E-mail: kamioka-take@aist.go.jp

【背景・目的】今後、さらなる EOT スケーリングが求められる中で、極薄 HfO₂ と ZrO₂ を交互に重ねた超格子膜が有力な higher-k 材料候補として近年注目を集めている。極薄界面 SiO₂ 層を挟んだ HfO₂/ZrO₂/HfO₂ (HZH) 超格子膜を有する MOS 構造は、キャリア移動度劣化を引き起こすことなく、界面層があるにもかかわらず EOT < 1 nm が実証されている一方で、500°C 以上のアニールで性能の劣化がみられ[1]、プロセスの熱履歴に敏感であることが示唆される。しかし、HZH の MOS 構造評価の報告例は未だ極めて少なく、物性とプロセスの関係の系統的理解が求められている。そこで本研究では、HZH 超格子膜物性のアニールプロセス依存性を MOS 構造で調べた結果を報告する。

【実験方法・条件】今回は HZH 膜物性を界面層の影響と切り分けて議論できるよう、比較的厚めの SiO₂ 層を用いた HZH/SiO₂/Si 構造のキャパシタを作製した。p 型 Si(100)基板を用いて厚さ 4 nm の熱 SiO₂ 膜を形成させたのち、ALD 法にて HZH 膜を堆積させた。HZH 層は HfO₂/ZrO₂/HfO₂ = 0.4/0.8/0.4 nm を 1 ユニットとして、ユニット数を変えて堆積させた。その後、N₂ 雰囲気中で 400°C あるいは 600°C にて 10 min アニールした (PDA)。上部 TiN ゲート電極および Al 電極膜を堆積後、すべての試料に対して H₂ 雰囲気中で 400°C、30 min アニールした (PMA)。作製した試料の C-V 測定を行い HZH 膜の誘電率を抽出した。

【結果・考察】典型的な C-V 特性として HZH×8 ユニットのアニール処理依存性を Fig. 1(a)に示す。容量値は PDA なし (PMA のみ) が最大となり、PDA 温度が高いほど小さくなった。容量値の HZH 膜厚依存性から得られた HZH 膜の比誘電率とアニール処理条件の関係を Fig. 1(b)に示す。比誘電率は PMA のみで 42 であるが、PDA 400°C 処理が入ると 27 に大幅に減少している。PMA は全試料に対して 400°C で処理されていることを考慮すると、PDA の有無による誘電率の減少には、単なる熱履歴の効果だけでなく、一因として HZH 膜に対するキャップ層の有無の効果が現れていると考えられる。本結果から、HZH 超格子膜は 40 を超える高誘電率を PMA のみで得られることがわかった。

【参考文献】S. S. Cheema et al., Nature **604**, 65 (2022).

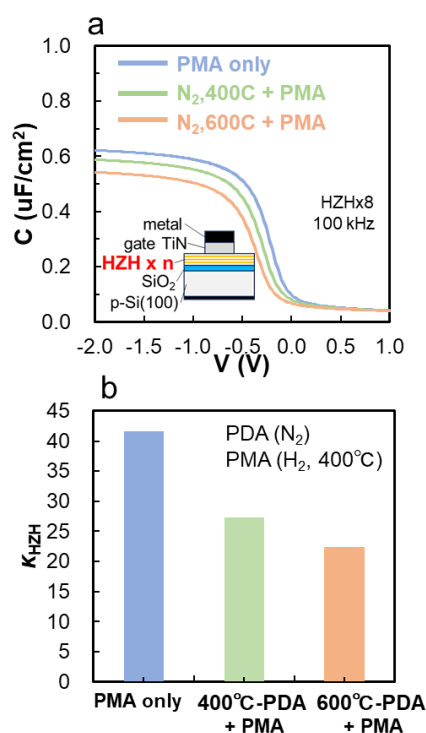


Fig. 1 (a) C-V curves for HZH-MOS capacitors, and (b) dielectric constant of HZH films, for different anneal processes, respectively.