

SiO₂/Al₂O₃ 多層膜を用いたダイヤモンド MOS 構造の形成 Fabrication of diamond MOS structure using SiO₂/Al₂O₃ bilayer thin film

金沢大理工¹、金沢大ナノマリ研²

○(M1) 中川龍一¹、(B4) 斎藤泰地¹、松本 翼²、徳田規夫²、川江 健¹

College of Sci. & Eng. Kanazawa Univ.¹, NanoMaRi. Kanazawa Univ.²

°R. Nakagawa¹, T. Saito¹, T. Matsumoto², N. Tokuda², and T. Kawae¹

E-mail: ryu131021@stu.kanazawa-u.ac.jp

【はじめに】

ダイヤモンド MOSFET のゲート絶縁膜として、ALD で堆積された Al₂O₃ を用いた事例が多く報告されている^[1]。一方、安定な FET 動作を考慮すると、より大きなバンドギャップを持つ SiO₂ を用いる事が望ましい。これまでに我々は、ダイヤモンド上への PLD 法を用いた SiO₂ 直接堆積は界面欠陥やリーク電流を招く事、SiO₂ とダイヤモンド間への Al₂O₃ 層挿入により絶縁性が改善された SiO₂ 膜を堆積可能である事を報告してきた^[2]。以上を踏まえ、本研究では、理想的な MOS 特性の実現を念頭に SiO₂/Al₂O₃ 多層膜をゲート絶縁膜とした MOS 構造作成プロセスの検証を行った。

【実験方法】

p/p⁺層をホモエピ成長させた(111)ダイヤモンド基板上に ALD 法により 5nm 厚の Al₂O₃ を堆積した後、PLD 法を用いて 5.0×10⁻⁶ Torr、室温で SiO₂ を 10nm 堆積させた。最後に、真空蒸着法により Au 上部電極を形成し、MOS 構造(a)の評価を行った。また、比較検討のために、ALD 法を用いて 15nm 厚の Al₂O₃ を堆積させた試料(b)を作成した。

【結果と考察】

Fig.1. に作製した試料の C-V 特性を示す。Al₂O₃(15nm) をゲート絶縁膜とした MOS 構造(b)に関して、典型的な MOS 特性を示す事を確認した。以降、この特性を基準に議論を進めていく。

試料(a)、(b)の蓄積領域の容量値を用いて SiO₂ の膜厚を見積もったところ、試料(a)では Al₂O₃ 層上に SiO₂ が 10nm 堆積された事を確認した。

一方、ヒステリシス特性と V_{th} シフトが確認された事から、特性改善を念頭に Al₂O₃ 層上へ 100°C の基板加熱を用いた SiO₂ 堆積(c)を試みた。試料(c)に関して、ヒステリシス特性は解消されたものの、V_{th} シフトの改善は確認されなかった。また、蓄積領域の容量値から見積もった SiO₂ の膜厚は 3nm であった。これは成膜時の加熱による SiO₂ の再蒸発によるものと考えられる。今後は SiO₂ 再蒸発を抑制した堆積条件や V_{th} シフトの改善を目的とした PDA 処理などを検討する。

【参考文献】

[1] J. W. Liu *et al.*, Appl. Phys. Lett., **124**, 072103(2024)

[2] 高橋克也, 他, 令和 5 年度応用物理学会北陸・信越支部学術講演会講演予稿集, 2p-D-12.

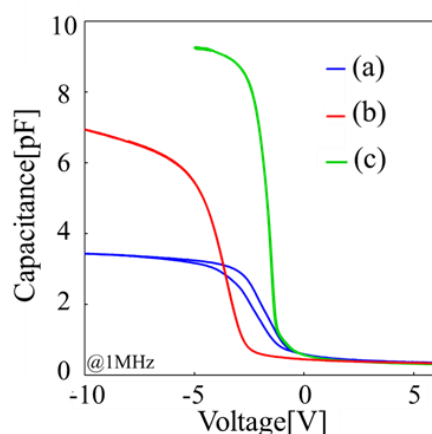


Fig.1. C-V curves of prepared MOS structure with
(a)SiO₂(10nm)/Al₂O₃(5nm),
(b)Al₂O₃(15nm),
(c)SiO₂(3nm)/Al₂O₃(5nm) gate insulator.