

CVD-monolayer MoS₂ MIS キャパシタにおける接触電極の形状依存性

Dependence of contact electrode shape on Ti/h-BN/CVD-monolayer MoS₂ interface

千葉大・工¹, 東京都立大², 〇鶴岡 大樹¹, 遠藤 尚彦², 宮田 耕充², 青木 伸之¹, 柯 夢南¹
Chiba Univ.¹, Tokyo Metropolitan Univ.², 〇Daiki Tsuruoka¹, Takahiko Endo², Yasumitsu Miyata²,
Nobuyuki Aoki¹, Mengnang Ke¹,
E-mail: mke@chiba-u.jp

1. はじめに

近年,シリコンを用いた半導体デバイスにはスケーリングの限界がきており,それに代わる新たな材料として遷移金属ダイカルコゲナイド(TMDC)が挙げられる.TMDC は2次元半導体であり短チャネル効果を抑制できることから FET としての研究が非常に盛んである[1].しかしながら,MIS界面の研究は少ない[2][3].なぜなら2次元半導体ゆえのMIS キャパシタの測定の難しさがある.今回は2次元材料であり,高い平坦性と結晶性を持つことから広く使われている絶縁体の六方晶窒化ホウ素(h-BN)と n 型半導体であり,TMDC の中で最も研究されている素材である2硫化モリブデン(MoS₂)によってCVD-monolayer MoS₂ MIS キャパシタを作製し,接触金属の面積差による静電容量特性について,議論・考察する.

2. 実験

アセトンとイソプロピルアルコール(IPA)を用いて洗浄したガラス基板に,電子線リソグラフィーを用いてリング型の Bottom パターンを描画し(R=15 μm, r=7.5,10,12.5 μm),EB 蒸着を用いて Bottom 電極(Cr/Au:10 nm/20 nm)を作製した.次に h-BN を機械的剝離によって用意し,基板に転写した後,テープによる有機残渣を取り除くためにAr/H₂ガス雰囲気下にて低圧アニール(500 °C,60 min)を行った.その後 CVD 成膜により得られた単層の MoS₂ と h-BN をポリジメチルシロキサン(PDMS)レンズとポリビスフェノール・ア・カーボネート(PC)フィルムを用いてドライトランスファー[4]し Bottom 電極上に積層させた.そして電子線リソグラフィーにて円形の Top パターンを描画し(R=15 μm),EB 蒸着にて Top 電極(Ti/Au:10 nm/50 nm)を作製した.その後真空中にて静電容量の測定を行い,さらに真空アニール(250 °C,60 min)を行った後同じ測定を行った.

3. 結果・考察

Fig.1(d)-(f)は各デバイスについて真空中にて測定を行った結果である.各デバイス間について見ると depletion 時に明らかな容量差が観測された.これらの要因として考えられるものは,・ MIS 界面が MoS₂/接触電極界面が表裏で隣接しているため,接触金属由来の界面準位密度により電子がピニングされている可能性であったり,・ MoS₂ 自身の絶縁体としての寄生容量の差があることが考えられる.これらを考察すべく,コンダクタンス法により各デバイスの界面準位密度を求めようとしたが,ピークらしきものは存在するが,周波数によりシフトが起こらず,界面準位密度による

ものと断定できていない.界面準位密度によるコンダクタンスピークがなぜ見えてこないのかについては様々な理由が考えられる.例えば,構造中にて発生した結晶のひずみであったり,ピニングにより MIS 界面付近でのバンドが小信号応答できなかったりなどの考察が挙げられる.

4. 結論

今回は Ti/h-BN/CVD-monolayer MoS₂ MIS キャパシタを作製し,それらの接触電極の構造を変化させることで,デバイスにどのような変化がもたらされるかについて実験を行った.このデバイスでは,コンダクタンス法を用いた界面準位密度の測定までには至らなかったが,予備実験として行った上下構造を変え,リング型の接触電極を最後に蒸着する方法では,コンダクタンスピークが CVD-monolayer MoS₂ にて観測できていることから,これらの構造の違いについて比較検討し,どのプロセスが適当なのかを検討していく必要がある.

5. 謝辞

本研究は JSPS 科研費 JP23K13361,東京エレクトロン(株),服部報公会及び日本科学協会笹川科学研究助成の支援を受けている.

6. 参考文献

[1] Jia, X, et al. ACS Applied Materials & Interfaces 16.13 (2024): 16544-16552. [2] Gaur, A, et al. 2D Materials 6.3 (2019): 035035. [3] Takenaka, M., et al. 2016 IEEE International Electron Devices Meeting (IEDM). IEEE, (2016). [4] T. Iwasaki et al. ACS appl. Mater. Interface, 8533-8538 (2020)

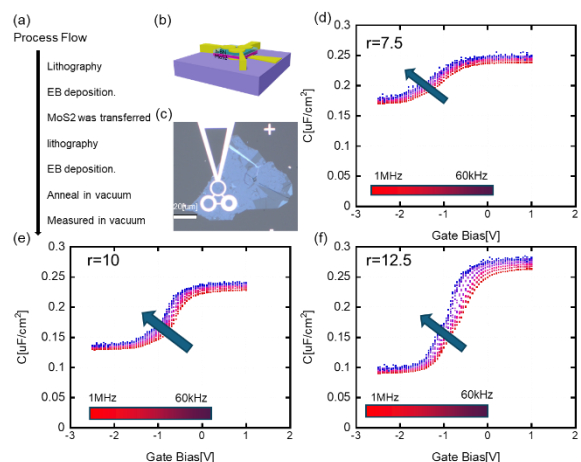


Fig.1 (a)Process Flow, (b)Schematic 3D image of devices, (c)optical image of devices. And differences in capacitance characteristics between devices. (d)-(f)