

Oral presentation | 13 Semiconductors : 13.5 Semiconductor devices/ Interconnect/ Integration technologies

📅 Mon. Sep 16, 2024 1:00 PM - 6:15 PM JST | Mon. Sep 16, 2024 4:00 AM - 9:15 AM UTC 🏨 C302 (Hotel Nikko 30F)

## **[16p-C302-1~18] 13.5 Semiconductor devices/ Interconnect/ Integration technologies**

Masaharu Kobayashi(Univ. of Tokyo), Hitoshi Wakabayashi(Tokyo Tech), Shunri Oda(Tokyo Inst. of Tech.)

### ◆ English Presentation

1:00 PM - 1:45 PM JST | 4:00 AM - 4:45 AM UTC

[16p-C302-1]

[Fellow International 2024 Special Lecture] 2D Materials - Powering the Next Era of Energy-Efficient Electronics

○Kaustav Banerjee<sup>1</sup> (1.University of California)

1:45 PM - 2:00 PM JST | 4:45 AM - 5:00 AM UTC

[16p-C302-2]

Ohmic Contact to n-Ge by Bi<sub>2</sub>Te<sub>3</sub>/Ge quasi-vdW Junction

○WENHSIN CHANG<sup>1</sup>, S. HATAYAMA<sup>1</sup>, N. OKADA<sup>1</sup>, T. IRISAWA<sup>1</sup>, Y. SAITO<sup>1,2</sup> (1.AIST, 2.Tohoku Univ.)

2:00 PM - 2:15 PM JST | 5:00 AM - 5:15 AM UTC

[16p-C302-3]

Passivation of GeSn surface using ALD-GeO<sub>2</sub>

○Yoshiki Kato<sup>1</sup>, Mitsuo Sakashita<sup>1</sup>, Masashi Kurosawa<sup>1</sup>, Osamu Nakatsuka<sup>1,2</sup>, Shigehisa Shibayama<sup>1</sup> (1.Grad. Sch. Eng., Nagoya Univ., 2.IMaSS, Nagoya Univ.)

2:15 PM - 2:30 PM JST | 5:15 AM - 5:30 AM UTC

[16p-C302-4]

[INVITED] Reliability degradation mechanism in atomic layer deposited amorphous/polycrystalline In-Ga-O channel transistors

○Takanori Takahashi<sup>1</sup>, Mutsunori Uenuma<sup>2</sup>, Masaharu Kobayashi<sup>3,4</sup>, Yukiharu Uraoka<sup>1</sup> (1.NAIST, 2.AIST, 3.IIS., Univ. of Tokyo, 4.Univ. of Tokyo)

### ◆ Presentation by Applicant for JSAP Young Scientists Presentation Award ◆ English Presentation

2:30 PM - 2:45 PM JST | 5:30 AM - 5:45 AM UTC

[16p-C302-5]

A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel

○(D)Sunghun Kim<sup>1</sup>, Kaito Hikake<sup>1</sup>, Zhuo Li<sup>1</sup>, Takuya Saraya<sup>1</sup>, Toshiro Hiramoto<sup>1</sup>, Masaharu Kobayashi<sup>1,2</sup> (1.IIS, The Univ. of Tokyo, 2.d.lab, The Univ. of Tokyo)

### ◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

2:45 PM - 3:00 PM JST | 5:45 AM - 6:00 AM UTC

[16p-C302-6]

A Nanosheet Oxide Semiconductor FET Using ALD InGaZnOx Channel

○(M2)Kota Sakai<sup>1</sup>, Kaito Hikake<sup>1</sup>, Takuya Saraya<sup>1</sup>, Toshiro Hiramoto<sup>1</sup>, Masaharu Kobayashi<sup>1,2</sup> (1.IIS, The Univ. Tokyo, 2.d.lab, The Univ. Tokyo)

### ◆ English Presentation

3:00 PM - 3:15 PM JST | 6:00 AM - 6:15 AM UTC

[16p-C302-7]

Study on High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs for Device Scaling in Monolithic 3D Integration

Kaito Hikake<sup>1</sup>, OXingyu Huang<sup>1</sup>, Sung-hun Kim<sup>1</sup>, Kota Sakai<sup>1</sup>, Zhuo Li<sup>1</sup>, Tomoko Mizutani<sup>1</sup>, Takuya Saraya<sup>1</sup>, Toshiro Hiramoto<sup>1</sup>, Takanori Takahashi<sup>2</sup>, Mutsunori Uenuma<sup>2</sup>, Yukiharu Uraoka<sup>2</sup>, Masaharu Kobayashi<sup>1,3</sup> (1.IIS, Univ. of Tokyo, 2.NAIST, 3.d.lab, Univ. of Tokyo)

---

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

3:30 PM - 3:45 PM JST | 6:30 AM - 6:45 AM UTC

[16p-C302-8]

Exploration of new intermetallic compounds for advanced interconnects using electron transport database obtained by DFT calculation

OMasaya Iwabuchi<sup>1</sup>, Junichi Koike<sup>1</sup> (1.Tohoku Univ.)

---

3:45 PM - 4:00 PM JST | 6:45 AM - 7:00 AM UTC

[16p-C302-9]

Chemical Vapor Deposition of Cu on Ta using CuI-precursor

OYu Miyamoto<sup>1</sup>, Satoshi Yamauchi<sup>1</sup> (1.Ibaraki Univ.)

---

4:00 PM - 4:15 PM JST | 7:00 AM - 7:15 AM UTC

[16p-C302-10]

Electrical characteristics of thick-metal-film interconnects on silicon oxide films by directly bonding of Al foils

O(M2)Saki Murotani<sup>1</sup>, Sakura Uehara<sup>2</sup>, Eiji Shikoh<sup>1</sup>, Jianbo Liang<sup>1</sup>, Naoteru Shigekawa<sup>1</sup> (1.Osaka Metropolitan Univ., 2.Osaka City Univ.)

---

4:15 PM - 4:30 PM JST | 7:15 AM - 7:30 AM UTC

[16p-C302-11]

Early non-destructive detection of electromigration studied by sub-THz ultrasound

OAkira Nagakubo<sup>1</sup>, Shuhei Izuma<sup>1</sup>, Atsushi Nishimura<sup>2</sup>, Yoshiro Kabe<sup>2</sup>, Hirotsugu Ogi<sup>1</sup> (1.The Univ. of Osaka, 2.Skyworks Filter Solutions Japan Co., Ltd.)

---

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

4:30 PM - 4:45 PM JST | 7:30 AM - 7:45 AM UTC

[16p-C302-12]

Optimization of PCM/Selector stacked memory structure for decreasing reset current and improving endurance characteristics

OMatsuzawa Yuya<sup>1</sup>, Katono Kazuhiro<sup>1</sup>, Tsukagoshi Takayuki<sup>1</sup>, Fujii Shosuke<sup>1</sup>, Fujimaki Takeshi<sup>1</sup> (1.Kioxia)

---

4:45 PM - 5:00 PM JST | 7:45 AM - 8:00 AM UTC

[16p-C302-13]

Power-gating architecture and performance of nonvolatile SRAM

Taketo Kato<sup>1</sup>, OHaruya Oki<sup>1</sup>, Yusaku Shiotsu<sup>1</sup>, Shuu'ichirou Yamamoto<sup>1</sup>, Satoshi Sugahara<sup>1</sup> (1.FIRST, Tokyo Inst. of Tech.)

---

5:00 PM - 5:15 PM JST | 8:00 AM - 8:15 AM UTC

[16p-C302-14]

Comparative study of gain cells for pseudo-SRAM

OSei Yoshida<sup>1</sup>, Yusaku Shiotsu<sup>1</sup>, Satoshi Sugahara<sup>1</sup> (1.FIRST, Tokyo Inst. of Tech.)

---

5:15 PM - 5:30 PM JST | 8:15 AM - 8:30 AM UTC

[16p-C302-15]

A processing-in-memory SRAM cell with XNOR function for energy minimum-point operation

○Kein Kondo<sup>1</sup>, Yusaku Shiotsu<sup>1</sup>, Satoshi Sugahara<sup>1</sup> (1.FIRST, Tokyo Inst. of Tech.)

---

5:30 PM - 5:45 PM JST | 8:30 AM - 8:45 AM UTC

[16p-C302-16]

Design of an INT4-inference neural-network accelerator macro for energy minimum point operation

○Yusaku Shiotsu<sup>1</sup>, Satoshi Sugahara<sup>1</sup> (1.FIRST, Tokyo Inst. of Tech.)

---

5:45 PM - 6:00 PM JST | 8:45 AM - 9:00 AM UTC

[16p-C302-17]

Design and performance of a 10T-SRAM cell using isolated read ports for low voltage operation

○Tadakatsu Yaguchi<sup>1</sup>, Yusaku Shiotsu<sup>1</sup>, Satoshi Sugahara<sup>1</sup> (1.FIRST, Tokyo Inst. of Tech.)

---

6:00 PM - 6:15 PM JST | 9:00 AM - 9:15 AM UTC

[16p-C302-18]

Design of a ULVR-SRAM cell for highly stable energy minimum-point operation

○Katsutoshi Ito<sup>1</sup>, Yusaku Shiotsu<sup>1</sup>, Satoshi Sugahara<sup>1</sup> (1.FIRST, Tokyo Inst. of Tech.)

---

# **Bi<sub>2</sub>Te<sub>3</sub>/Ge 擬似 vdW 接合による n-Ge へのオーミックコンタクト形成**

## **Ohmic Contact to n-Ge by Bi<sub>2</sub>Te<sub>3</sub>/Ge quasi-vdW Junction**

産総研<sup>1</sup>、東北大<sup>2</sup>、<sup>○</sup>張文馨<sup>1</sup>、畑山祥吾<sup>1</sup>、

岡田直也<sup>1</sup>、入沢寿史<sup>1</sup>、齊藤雄太<sup>1,2</sup>

AIST<sup>1</sup>, Tohoku Univ.<sup>2</sup> <sup>○</sup>W. H. Chang<sup>1</sup>, S. Hatayama<sup>1</sup>,

N. Okada<sup>1</sup>, T. Irisawa<sup>1</sup>, and Y. Saito<sup>1,2</sup>

<sup>○</sup>E-mail: wh-chang@aist.go.jp

### 【背景】

ポスト Si チャンネル材料として有望視されている Ge は、Si に比べ移動度が高く、トランジスタ(FET)の高速化と低消費電力化が期待される。しかしながら、界面準位や金属誘起準位(MIGS)に起因したフェルミレベルピンニング(FLP)の影響で、一般的な金属電極と n-Ge の間には大きなコンタクト抵抗が存在し、Ge nFET の性能が大きく制限されるという課題がある。最近、我々は Te 系層状物質を用いて、遷移金属ダイカルコゲナイド (TMDC) チャンネル上に van der Waals (vdW)接合を形成することによって、FET の性能向上を実証した[1, 2]。本研究では、スパッタリング法による加熱成膜を利用して、Bi<sub>2</sub>Te<sub>3</sub>/Ge (100) vdW 接合形成を試みた。Bi<sub>2</sub>Te<sub>3</sub> と Ge (100)の間に擬似 vdW 接合を形成することによって、Bi<sub>2</sub>Te<sub>3</sub>/n-Ge の接合特性はオーミックになっていることを確認した。この結果は n-Ge 側の FLP 解消を示唆し、高性能 Ge nFET の実現が期待できる。

### 【結果および考察】

塩酸で表面洗浄後、直ちに n-Ge (100)ウェハーをチャンバー室に搬入し、スパッタリングにより、W(30 nm)/Bi<sub>2</sub>Te<sub>3</sub>(20 nm)を成膜した。図 1 に基板加熱有無で比較した Bi<sub>2</sub>Te<sub>3</sub>/Ge 膜の XRD 分析結果を示す。230 °C で成膜することで、Bi<sub>2</sub>Te<sub>3</sub> の結晶性が大幅に向上することが確認され、また、高い c 軸配向性から、Ge 上への Bi<sub>2</sub>Te<sub>3</sub> 層状結晶膜の形成に成功したことが示唆される。成膜後 400 度の熱処理をさらに追加することで、TEM 観察から、Bi<sub>2</sub>Te<sub>3</sub>/Ge 擬似 vdW 接合の形成が確認できた (図 2)。この擬似 vdW 接合の接合特性を確認するため、W/Bi<sub>2</sub>Te<sub>3</sub> 電極を n-Ge 上に形成した。比較対象として、W 単体電極を有する試料も作製した。図 3 に接合特性の比較を示す。擬似 vdW 接合を形成することによって、Ge 伝導帯側のエネルギー障壁が大幅に低下し、Bi<sub>2</sub>Te<sub>3</sub>/n-Ge がオーミック接合となることを確認した。今回の発見は、n-Ge コンタクトの課題解決に向けたブレークスルーになるものと期待できる。

### 【参考文献】

[1] W. H. Chang et al., *Adv. Electron. Mater.* 2201091(2023).

[2] W. H. Chang et al., *SSDM* 455 (2023).

【謝辞】 本研究は科研費 (JP23H01474, JP23K26168)の助成を受けて実施された。

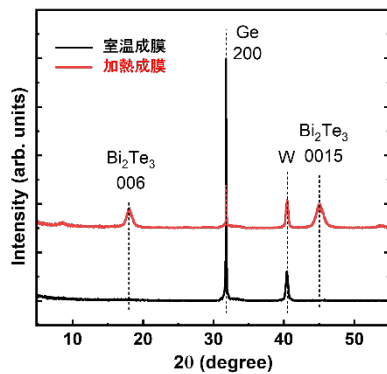


Fig. 1. XRD  $\theta/2\theta$  scan of W/Bi<sub>2</sub>Te<sub>3</sub>/Ge stacked films deposited at room temperature or at 230 °C by sputtering.

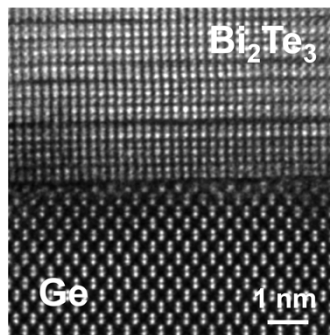


Fig. 2. TEM cross-sectional image of Bi<sub>2</sub>Te<sub>3</sub>/Ge quasi-vdW interface formed after 400 °C annealing.

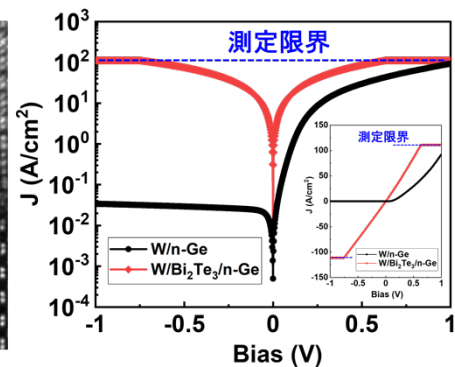


Fig. 3. Comparison of  $I$ - $V$  characteristics of the W/Bi<sub>2</sub>Te<sub>3</sub>/n-Ge and W/n-Ge junction diodes. The linear scale of  $I$ - $V$  characteristics is shown in the inset.

ALD-GeO<sub>2</sub> を用いた GeSn の表面パッシベーションPassivation of GeSn surface using ALD-GeO<sub>2</sub>名大院工<sup>1</sup>, 名大未来研<sup>2</sup> <sup>○</sup>加藤 芳規<sup>1</sup>, 坂下 満男<sup>1</sup>, 黒澤 昌志<sup>1</sup>, 中塚 理<sup>1,2</sup>, 柴山 茂久<sup>1</sup>Grad. Sch. Eng., Nagoya Univ.<sup>1</sup>, IMASS, Nagoya Univ.<sup>2</sup>, <sup>○</sup>Yoshiki Kato<sup>1</sup>, Mitsuo Sakashita<sup>1</sup>,Masashi Kurosawa<sup>1</sup>, Osamu Nakatsuka<sup>1,2</sup>, and Shigehisa Shibayama<sup>1</sup>

E-mail: kato.yoshiki.m0@s.mail.nagoya-u.ac.jp, s-shibayama@nagoya-u.jp

【研究背景】IV族混晶半導体である GeSn は、Sn 組成変化によるバンド変調制御が可能で、Si ULSI プラットフォーム上に集積可能な共鳴トンネルダイオード (RTD) や受発光素子といったデバイスへの応用が期待されている[1]。一方でその実現に向けてはデバイスのリーク電流の抑制が重要であり、GeSn の表面パッシベーション技術、即ち絶縁膜/GeSn 界面の欠陥密度低減と閾値電圧制御技術が要求されている。我々は GeSn の表面パッシベーション絶縁膜として、Ge MOS 界面で低欠陥密度である GeO<sub>2</sub> に着目した[2]。実際のデバイスプロセスでは、三次元構造に対して均一性の高い絶縁膜形成が可能な原子層堆積 (ALD) 法での堆積が必要不可欠である。

本研究では、*n* 型 Ge 基板上にアンドープ GeSn を堆積し、メサ型の *pn* 接合ダイオードを作製した。アンドープ GeSn は欠陥準位により *p* 型を示す[3]。テトラエトキシゲルマニウム (TEOG) +O<sub>3</sub> を用いた ALD 法による GeO<sub>2</sub> 膜形成プロセスを構築し、逆方向リーク電流の低減に成功したので報告する。

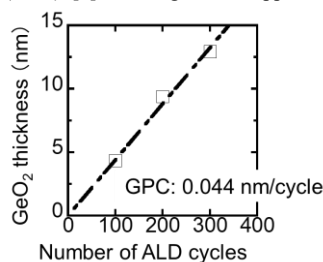
【実験方法】*n* 型 Ge(100)基板を化学洗浄後、分子線エピタキシー法を用いて、堆積温度 150 °C で膜厚 200 nm の *p* 型 GeSn (Sn 組成: 5.2%) 層および膜厚 2 nm の Si キャップ層を堆積した。その後、試料をメサ型に加工しデバイス化した。パッシベーション絶縁膜には ALD 法を用いて堆積温度 200 °C で膜厚 8 nm の GeO<sub>2</sub> 膜および膜厚 56 nm の Al<sub>2</sub>O<sub>3</sub> 膜を形成した (w/ GeO<sub>2</sub>)。比較のため Al<sub>2</sub>O<sub>3</sub> 膜のみ (w/o GeO<sub>2</sub>) の試料も作製し電流密度-電圧 (*J*-*V*) 特性評価を行った。同時に、GeO<sub>2</sub> 膜導入が絶縁膜/半導体界面におよぼす影響を調査するため、*p* 型 Ge(100)基板上にも同条件で MOS キャパシタを作製した。これらの MOS キャパシタの容量-電圧 (*C*-*V*) 特性評価を行った。

【結果および議論】図 1 は TEOG および O<sub>3</sub> の ALD サイクル数に対する Ge 上に形成した GeO<sub>2</sub> 膜厚である。サイクル数に対して膜厚が線形に増加し、Growth per cycle (GPC) は 0.044 nm/cycle であった。既報告の GeO<sub>2</sub> ALD と同等の GPC を実現できることが分かった[4,5]。次に、Al<sub>2</sub>O<sub>3</sub>/*p*-Ge 界面に、TEOG+O<sub>3</sub> で形成した ALD-GeO<sub>2</sub> 膜を導入することで、100 kHz での周波数応答から界面特性の改善が可能であることが見出された (図 2)。

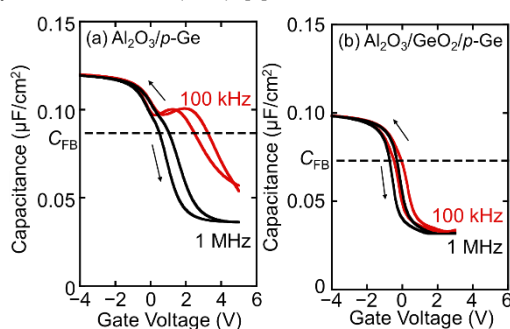
図 3 に GeSn/*n*-Ge *pn* 接合ダイオードの *J*-*V* 特性を示す。パッシベーション絶縁膜として、ALD-GeO<sub>2</sub> 膜を導入することで、逆方向電流密度の低減が可能であることが分かった。この結果は、GeSn に対するパッシベーション絶縁膜としての ALD-GeO<sub>2</sub> 導入が、GeSn 系 RTD および受発光素子のデバイス性能向上に有用であることを示している。

謝辞 本研究の一部は、JST さきがけ (JPMJPR21B6) および JST CREST (JPMJCR21C2) の支援を受けて実施された。

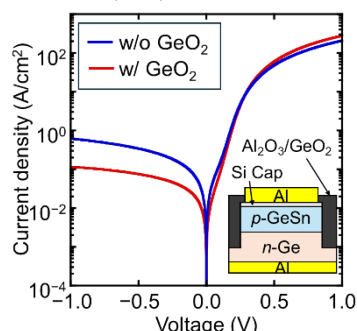
[1] S. Ishimoto *et al.*, SSDM (2023) F-4-03. [2] C. H. Lee *et al.*, ECS Trans. **19**, 165 (2009). [3] H. Haesslein *et al.*, Phys. Rev. Lett. **80**, 2626 (1998). [4] M. Perego *et al.*, Appl. Phys. Lett. **90**, 162115 (2007). [5] C. M. Yoon *et al.*, Chem. Mater. **30**, 830 (2018).



**Figure 1** GeO<sub>2</sub> thickness as the function of ALD cycles at substrate temperature of 200 °C. The thickness was measured using ellipsometry.



**Figure 2** *C*-*V* characteristics measured at room temperature of (a) Al/Al<sub>2</sub>O<sub>3</sub>/*p*-Ge and (b) Al/Al<sub>2</sub>O<sub>3</sub>/GeO<sub>2</sub>/*p*-Ge MOSCAPs.



**Figure 3** *J*-*V* characteristics of *p*-GeSn/*n*-Ge junctions passivated by Al<sub>2</sub>O<sub>3</sub> and Al<sub>2</sub>O<sub>3</sub>/GeO<sub>2</sub>. The electrode diameter is 160 μm.

# 原子層堆積法で成膜した非晶質/多結晶 In-Ga-O 酸化物トランジスタ における信頼性劣化起源に関する考察

Reliability degradation mechanism in atomic layer deposited amorphous/polycrystalline

In-Ga-O channel transistors

奈良先端大<sup>1</sup>, 産総研<sup>2</sup>, 東大生研<sup>3</sup>, 東大 d. lab<sup>4</sup>

○高橋 崇典<sup>1</sup>, 上沼 睦典<sup>2</sup>, 小林 正治<sup>3,4</sup>, 浦岡 行治<sup>1</sup>

NAIST<sup>1</sup>, AIST<sup>2</sup>, IIS., Univ. of Tokyo<sup>3</sup>, d. lab, Univ. of Tokyo<sup>4</sup>

○Takanori Takahashi<sup>1</sup>, Mutsunori Uenuma<sup>2</sup>, Masaharu Kobayashi<sup>3,4</sup>, and Yukiharu Uraoka<sup>1</sup>

E-mail: t.takahashi@ms.naist.jp

**【研究背景】**  $\text{In}_2\text{O}_3$  や  $\text{ZnO}$  を主成分とする酸化物半導体を用いた電界効果トランジスタ (FET) は超集積回路や半導体メモリへの実装が期待されており、強誘電体メモリ<sup>[1]</sup>や back end of line 工程へ適用可能な FET<sup>[2]</sup>が提案されている。各種集積デバイスにおいて、素子の集積度と短チャネル効果を抑制する観点から 10 nm 以下程度の酸化物半導体極薄膜を二次元または三次元構造上へ均一に成膜する必要があり、従来のスパッタ法ではなく原子層堆積 (ALD) 法を用いる必要がある。本研究グループでは集積デバイスに向けた酸化物半導体材料として非晶質 In-Ga-O (IGO) 系が有望であることを示した<sup>[3,4]</sup>。しかし、非晶質 IGO-FET は正電圧ストレス (PBS) に対して容易にしきい値電圧 ( $V_{th}$ ) が正ゲート電圧側に変動する信頼性劣化現象が確認された<sup>[4,5]</sup>。本研究では FET の信頼性と ALD-IGO の組成比や熱処理温度との関係、結晶化が及ぼす効果を評価することで  $V_{th}$  不安定性の要因を考察し、その抑制を図ることを目的とした。

**【実験方法】** 約 10 nm 厚の IGO チャンネルを  $\text{SiO}_2$  (85 nm) /  $n^{++}$ -Si 基板上に ALD 法を用いて成膜し、 $\text{AlO}_x$  保護膜を有するトップコンタクト/ボトムゲート型 FET を作製した。IGO チャンネルの前駆体には Triethylindium と Trimethylgallium を使用し、成膜温度は 200°C、酸化剤は  $\text{O}_2$  プラズマとした<sup>[5]</sup>。非晶質および多結晶 IGO 膜における In:Ga の組成比は  $\text{InO}_x$  層と  $\text{GaO}_x$  層の成長サイクルの比を調整することで制御した。信頼性評価としてはゲート電極に正電圧を印加する PBS を実施した。

**【実験結果と考察】** 図 1 に同じプロセスで作製した非晶質 IGO と多結晶 IGO-FET の信頼性試験結果を示す。PBS に対する  $V_{th}$  変動量は多結晶 IGO を用いることで抑制された。非晶質酸化物チャンネル FET における PBS による  $V_{th}$  変動の起源として半導体膜中の過剰酸素<sup>[6]</sup>に起因した電子捕獲が挙げられる。本研究では非晶質 IGO の PBS に対する  $V_{th}$  変動量は In:Ga の組成比に依存すること、非晶質 IGO 系は他の酸化物半導体 (Ex. In-Zn-O 系) と比較して  $V_{th}$  変動量が多いことが示され、理論計算の予測<sup>[7]</sup>と矛盾しないことを実験的に明確化した。従って、非晶質 IGO-FET における  $V_{th}$  変動はチャンネル膜中に導入された過剰酸素に由来することが推察される。

結晶性 IGO が FET の信頼性向上に寄与する要因を考察した。非晶質酸化物半導体は構造自由度が高いため、過剰酸素に対応する O-O 結合の形成エネルギーが単結晶や多結晶構造と比較して低いことが知られている<sup>[8]</sup>。従って、結晶相を有する IGO を用いることで膜中への過剰酸素の取り込みが非晶質 IGO よりも低減することが期待でき、図 1 の結果は IGO-FET における PBS に対する  $V_{th}$  変動の起源が過剰酸素に由来することを支持した。さらに、多結晶 IGO をチャンネルとする FET は非晶質 IGO よりも高い電界効果移動度 ( $68 \text{ cm}^2/\text{Vs}$ ) が得られており、酸化物 FET の高移動度化および信頼性の向上を図る観点からは結晶性チャンネルが有望であることが示された。

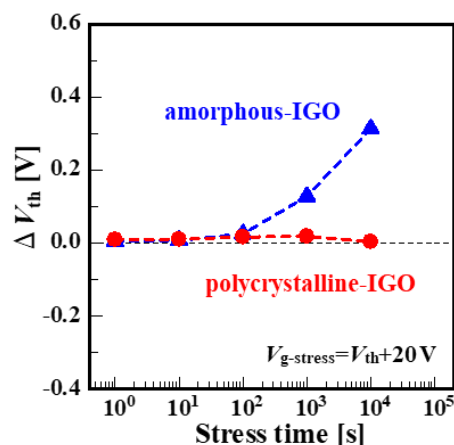


Fig. 1 Shift in  $V_{th}$  against PBS in amorphous and polycrystalline IGO channel FETs.

Ref. [1] Z. Li et al., *IEEE Electron Devices Lett.* **43**, 1227 (2022). [2] H. Fujiwara et al., *IEEE Trans. Electron Dev.* **67**, 5329 (2020). [3] T. Takahashi et al., 第 83 回応用物理学会秋季学術講演会, 21p-B203-19 (2022). [4] K. Hikake et al., *IEEE Electron Devices Lett.* **71**, 2373 (2024). [5] T. Takahashi et al., 第 70 回応用物理学会秋季学術講演会, 17p-E302-8 (2023). [6] K. Ide et al., *Appl. Phys. Lett.* **99**, 093507 (2011). [7] H. Han et al., *Phys. Rev. Applied* **3**, 044008 (2015). [8] J. Robertson and Y. Guo, *Appl. Phys. Lett.* **104**, 162102 (2014).



# A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel

<sup>1</sup>IIS, The Univ. of Tokyo, <sup>2</sup>d.lab, The Univ. of Tokyo <sup>○</sup>Sung-hun Kim<sup>1</sup>, Kaito Hikake<sup>1</sup>, Zhuo Li<sup>1</sup>, Takuya Saraya<sup>1</sup>, Toshiro Hiramoto<sup>1</sup>, and Masaharu Kobayashi<sup>1,2</sup>

E-mail: sh-kim@nano.iis.u-tokyo.ac.jp

**Introduction:** 2D scaling for high-performance computing is near the physical limit and monolithic 3D (M3D) integration is a promising alternative solution for high density and energy-efficiency [1]. In the M3D integration, upper-layer FETs must be fabricated at low temperature (<400 °C) to ensure the integrity of BEOL interconnects and the property of FEOL devices. Oxide semiconductor (OS) FETs have excellent properties such as high mobility, low leakage, and high thermal stability with fabrication process less than 400 °C [2]. Atomic Layer Deposition (ALD) enables precise control of OS composition with high uniformity and high conformality [3]. Although studies on individual OS compounds such as InO, IZO, IGO, and IGZO were reported, systematic study on nanosheet OS FETs with comparison of OS compounds is needed.

In this paper, we fabricate and characterize OS FETs with ALD IZO studying characteristics trade-off, and compare IZO FETs to IGO FETs to understand the effect of atomic species in InO-based OS material.

**Experimental methods:** We developed IZO deposition process by ALD with alkyl-based precursors and O<sub>3</sub> at 250 °C. We fabricated IZO FETs by the process flow with bottom-gate structure as shown in Fig. 1. Channel width and length of the FETs are 50 μm and 50 μm, respectively.

## Results and discussions:

**(1) Thermal stability:** IZO FET characteristics were maintained well up to 400 °C post deposition annealing, as shown in Fig. 2, which is compatible to BEOL process for LSI application.

**(2) Zn-concentration dependence:** As Zn% increases, threshold voltage ( $V_{th}$ ) increases but effective mobility ( $\mu_{eff}$ ) decreases while subthreshold swing (SS) is almost maintained as shown in Fig. 3. Oxygen vacancy ( $V_o$ ) is reduced, donor concentration decreases and thus  $V_{th}$  increases by adding Zn to InO<sub>x</sub>. In addition, ZnO<sub>x</sub> interrupts InO<sub>x</sub> conduction path and thus the mobility decreases [4]. Post-metallization anneal (PMA) greatly helps to annihilate  $V_o$ , raises  $V_{th}$ , and lowers SS. In:Zn=2:1 has relatively high  $V_{th}$  and high  $\mu_{eff}$  among others.

**(3) Thickness dependence:** As thickness decreases,  $V_{th}$  increases due to the TFT operation principle, while SS and mobility are maintained down to 4-5 nm as shown in Fig. 4. 3 nm-thick IZO shows too large degradation in SS and mobility and too large  $V_{th}$  increase. These can be due to thickness fluctuation and emergence of subgap-state by excess oxygen [5] and quantum confinement. 4-5 nm thickness range is a suitable choice for controlling short channel effect in scaled devices, while maintaining IZO channel property.

**(4) Bias-stress reliability:** We evaluated  $V_{th}$  shift ( $\Delta V_{th}$ ) by multiple DC  $V_g$  sweeps as shown in Fig. 5.  $\Delta V_{th}$  is stable in the wide range of Zn% at 10 nm thickness. However, when the Zn% is fixed at In:Ga=2:1 and thickness decreases,  $\Delta V_{th}$  gradually increases. This can be because of the subgap-state formation by excess oxygen [5] and quantum confinement.

**(5) Characteristics Trade-off:** Fig. 6 summarizes  $\mu_{eff}$  versus  $V_{th}$  with  $\Delta V_{th}$  of IZO FETs, which shows characteristics trade-off. We compared IZO FETs to IGO FETs in our previous work [5]. Fig. 7 (a) shows that IZO FETs have higher  $\mu_{eff}$  and lower  $V_{th}$  at the same thickness and composition than IGO FETs, which is due to the difference in oxygen dissociation energy, oxygen vacancy formation, and thus carrier concentration. Fig. 7 (b) compares the thickness dependence of  $\Delta V_{th}$  at the same composition.  $\Delta V_{th}$  is less sensitive to thickness scaling in IZO than IGO FETs. This can be because IZO takes less excess oxygen which causes electron traps and  $\Delta V_{th}$  than IGO. As we faced in IGO FETs, it is still a challenge to achieve high mobility, normally-off operation, and high bias-stress reliability, simultaneously.

**Summary:** We fabricated and characterized nanosheet IZO FETs by ALD. IZO FETs show higher  $\mu_{eff}$ , lower  $V_{th}$ , and higher bias-stress reliability than IGO FETs, which can be due to the difference in oxygen dissociation energy between Zn and Ga. These findings provide insights for process optimization and device design for M3D integration.

**References:** [1] Bishop, M.D. et al, IEEE Micro, 39(6), pp.16-27, (2019), [2] K. Nomura et al, Nature, 432, 25, 488 (2004), [3] Kim, H.M. et al, IJEM. (2023), [4] Jeon, H. et al, Journal of The Electro. Soc., 158(10), p.H949. (2011), [5] K. Hikake et al., VLSI Symp. T14-1, (2023).

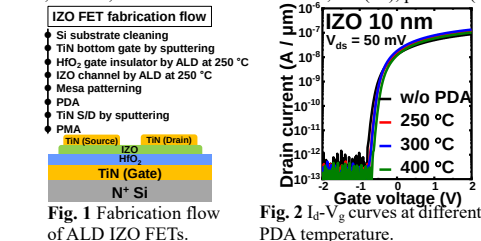


Fig. 1 Fabrication flow of ALD IZO FETs.

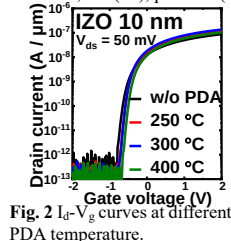


Fig. 2  $I_d$ - $V_g$  curves at different PDA temperature.

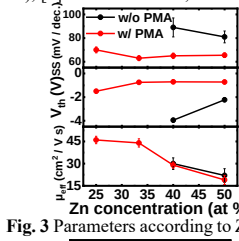


Fig. 3 Parameters according to Zn%.

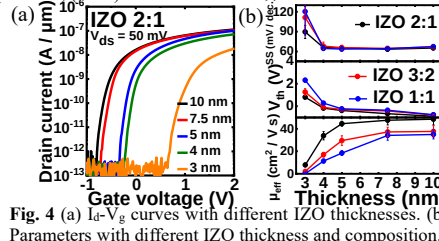


Fig. 4 (a)  $I_d$ - $V_g$  curves with different IZO thicknesses. (b) Parameters with different IZO thickness and composition.

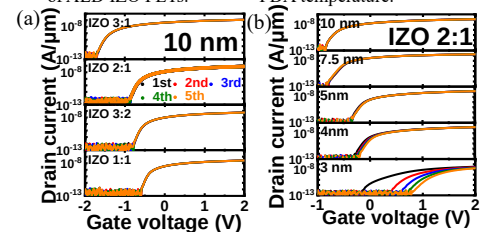


Fig. 5 (a)  $I_d$ - $V_g$  curves by multiple  $V_g$  sweeps with different Zn% and (b) thickness for In:Zn=2:1.

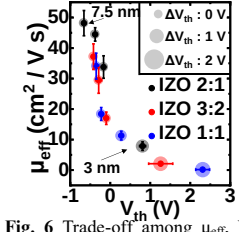


Fig. 6 Trade-off among  $\mu_{eff}$ ,  $V_{th}$ , and  $V_{th}$  shift in IZO FETs with different Zn% and IZO thickness.

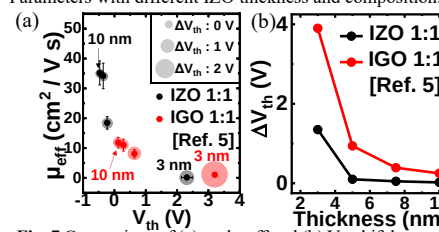


Fig. 7 Comparison of (a) trade-off and (b)  $V_{th}$  shift between IZO and IGO FETs [8] at 1:1 ratio with different thickness.

# ALD InGaZnOx をチャネル材料とするナノシート酸化半導体トランジスタ A Nanosheet Oxide Semiconductor FET Using ALD InGaZnOx Channel

東大生産研<sup>1</sup>, 東大 d.lab<sup>2</sup>

°(M2)坂井 洸太<sup>1</sup>, 日掛 凱斗<sup>1</sup>, 更屋 拓哉<sup>1</sup>, 平本 俊郎<sup>1</sup>, 小林 正治<sup>1,2</sup>

IIS, The Univ. Tokyo, °Kota Sakai, Kaito Hikake, Takuya Saraya, Toshiro Hiramoto,  
and Masaharu Kobayashi

E-mail: sakai@nano.iis.u-tokyo.ac.jp

**背景と目的:** InGaZnOx(IGZO)に代表される酸化半導体は高移動度、低リーク電流、低温プロセスなど優れた特徴[1]から、ディスプレイ分野で実用化されてきた。これまで LSI デバイスは微細化により集積密度を高め、高速化および低消費電力化が図られてきたが、二次元的な微細化は限界を迎えつつある。そこで酸化半導体を用いた、モノリシック三次元集積[2]や三次元垂直チャネルメモリ[3]などの三次元集積化が注目を集めている。三次元集積化に向けた成膜手法として、原子層堆積(ALD)法が原子層レベルでの制御性の高い成膜と、高アスペクト比構造へのコンフォーマルな成膜の観点で期待されている。高移動度、高信頼性、ノーマリーオフ特性の実現に向けて、IGZO トランジスタが検討されてきた[4]ものの、ALD による組成および膜厚の系統的な調査は十分に報告されていない。そこで本研究では、これまで我々が報告してきた高移動度、熱耐性を備える ALD InGaOx(IGO)トランジスタの研究をもとに、IGO に Zn を添加することで IGZO を成膜し、性能と信頼性に与える影響を明らかにすることを目的とした。

**実験方法:** Fig. 1(a)に示すように In:Ga 組成比 2:1、3:2、1:1 の IGO の成膜に Zn サイクルを加えて IGZO を ALD 成膜した。そして Fig. 1(b)に示すプロセスフローによりボトムゲート・トップソースドレインコンタクト構造で HfO<sub>2</sub> ゲート絶縁膜を有する薄膜トランジスタを作製し、トランジスタの電気特性を評価した。

**組成比依存性:** Fig. 2 に示すように、いずれの組成比でも PMA によりサブスレショルド係数(SS)が改善した。PMA 有ではいずれの組成比でも Zn を加えた結果、しきい値電圧(V<sub>th</sub>)が微増し、移動度は減少傾向が見られた。これは Zn 添加により相対的な In 比が減少して酸素空孔の生成が抑えられキャリア密度が低下するとともに、InOx が形成するキャリアの伝導パスが阻害されるためと考えられる。

**PDA 依存性:** 組成比 2:1:1 で膜厚 10nm の IGZO で PDA 温度依存性を評価した。Fig.3 に示すように PMA 有で比較すると、酸素欠陥の減少によりキャリア密度が減少し V<sub>th</sub> はやや増加するものの、SS および移動度は 400℃程度まで維持されている。500℃以上では厚膜の HfO<sub>2</sub> ゲート絶縁膜が結晶化しリーク電流が増大してしまうが BEOL プロセスに導入可能な範囲の熱耐性を有していることがわかった。

**膜厚依存性:** Fig. 4 に示すように組成比 2:1:1 および 3:2:1 の IGZO では 3nm まで、1:1:1 の IGZO では 5nm の膜厚までトランジスタ動作を確認した。それぞれの組成比で 5nm、7.5nm まで SS と移動度は維持され、V<sub>th</sub> はチャネルのピンチオフ長に応じて増加が見られた。一方、5nm、7.5nm より薄い膜厚では、しきい値電圧は大きく正方向に増加し、移動度は大きく減少した。しきい値電圧の増加は、量子閉じ込め効果によるバンドギャップ増加[5]も一因と考えられる。移動度の減少は膜厚揺らぎやチャネル形成のための蓄積層形成が不十分となる[6]ことなどが原因と考えられる。Fig. 5 に、正のゲート電圧ストレスによる V<sub>th</sub> シフトを示した。それぞれの組成比で 5nm、7.5nm より薄くなると急激に増加しており、極薄膜での過剰酸素によるトラップ準位の形成[7]や量子閉じ込め効果による欠陥準位の顕在化などが原因と考えられる。

**まとめ:** 本研究では IGO に Zn を加え、組成比、PDA、膜厚依存性を調査した。Fig. 6 に示すように IGO に比べて、ノーマリーオフ特性と、より高い移動度が実現できる条件があることがわかる。しかし、V<sub>th</sub> シフトは十分に低いとは言えず、組成比・膜厚を含むプロセス条件の更なる最適化が必要である。

References: [1] K. Nomura, et al., NATURE, 432 (2004), [2] A. Belmonte et al., IEDM, 28.2.1 (2020), [3] F. Mo et al., IEEE EDS, 8, 717 (2020), [4] M. H. Cho et al., IEEE TED, 66, 4, 1783 (2019), [5] M. Si et al., Nano Lett., 21, 1, 500 (2020), [6] S.-G. Jeong et al., IEEE TED, 68, 4, 1670 (2021), [7] K. Hikake et al., IEEE TED, 71, 4, 2373 (2024).

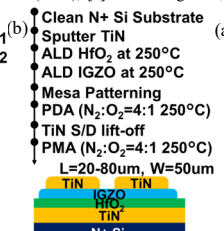
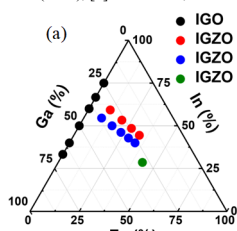


Fig.1: Investigated IGZO composition ratios(a) and Device process flow and schematic device structure(b). Note that ALD device ratios and composition ratios do not fully match.

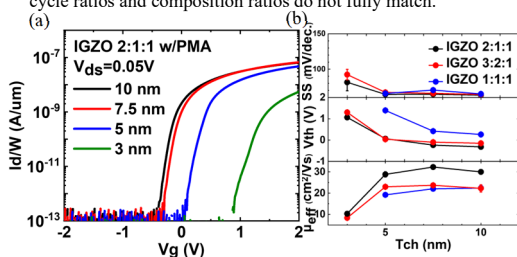


Fig.4: Id-Vg curves with different channel thickness of IGZO 2:1:1(a) and Device properties with different channel thickness(b).

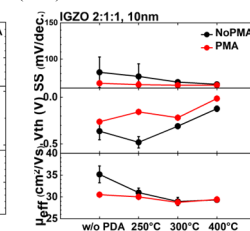
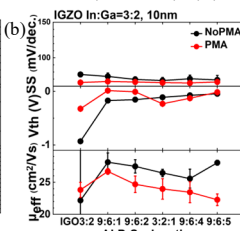
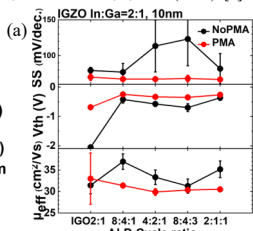


Fig.2: Device properties with different composition ratios based on (a) In:Ga=2:1, and (b) 3:2.

Fig.3: Device properties with different PDA conditions.

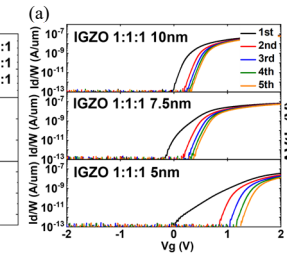


Fig.5: Measured Id-Vg curves by 5times Vg sweeps of IGZO 1:1:1(a) and Vth shift with different composition ratios(b).

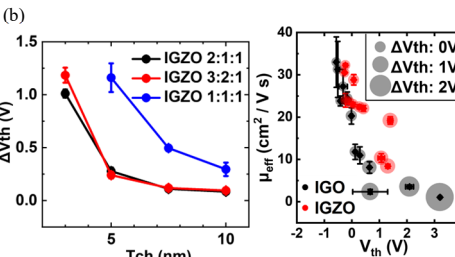


Fig.6: Trade-off between Vth and mobility of IGO and IGZO.



# Study on High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs for Device Scaling in Monolithic 3D Integration

Kaito Hikake<sup>1\*</sup>, Xingyu Huang<sup>1\*</sup>, Sung-hun Kim<sup>1</sup>, Kota Sakai<sup>1</sup>, Zhuo Li<sup>1</sup>, Tomoko Mizutani<sup>1</sup>, Takuya Saraya<sup>1</sup>, Toshiro Hiramoto<sup>1</sup>,

Takanori Takahashi<sup>2</sup>, Mutsunori Uenuma<sup>2</sup>, Yukiharu Uraoka<sup>2</sup>, and Masaharu Kobayashi<sup>1,3</sup>

IIS, Univ. of Tokyo<sup>1</sup>, NAIST<sup>2</sup>, d.lab, Univ. of Tokyo<sup>3</sup> \*equal contribution

E-mail: xy-huang@nano.iis.u-tokyo.ac.jp

**Introduction:** Monolithic 3D integration of memory arrays on a computing unit has emerged as a promising solution to reduce the energy cost of data transfer due to its proximity [1]. To achieve 3D monolithic integration of memory units, BEOL-compatible transistor technology is needed. Oxide semiconductor (OS) is a promising channel material because of its high mobility, low leakage and high thermal stability [2-4]. For high density memory application, scalability of OS FETs is an important issue to be addressed. Although excellent short channel nanosheet (NS) OS FETs have been demonstrated [5-10], key aspects of high-field transport and statistical variability are not fully explored yet. In this work, we discuss the high-field carrier transport characteristics and statistical variability of NS OS FETs by ALD process.

**Device Fabrication Methods:** We developed a device fabrication process of short channel NS OS FETs by using ALD (Fig. 1). OS was deposited by thermal ALD using alkyl-based precursors and O<sub>3</sub> at 250°C. The highest temperature of the fabrication process was 300°C at PDA, which is BEOL-compatible. EB lithography and lift-off process were used for Ni S/D electrodes formation. PMA was done after TiN S/D extension metal deposition at 250°C. We also fabricated a test element group (TEG) chip which has >1k OS FETs with the same L<sub>g</sub> of 60nm for statistical analysis. For reference, we prepared a foundry's 65nm bulk Si FETs [11].

**Results and discussions:** First, we used transconductance (g<sub>m</sub>) as a metric to study the intrinsic transport characteristics. Fig. 2 shows the method to correct g<sub>m</sub> by parasitic resistance and extract intrinsic g<sub>m</sub> (g<sub>m</sub>') [12]. Fig. 3 shows L<sub>g</sub> dependence of g<sub>m</sub> and g<sub>m</sub>' for different Ga% IGO FETs and bulk Si FETs. While bulk Si FETs show velocity saturation behavior even after parasitic correction, NS OS FETs show unsaturated velocity behavior. Thus, OS FET performance can get closer to Si FET by further L<sub>g</sub> scaling and parasitic resistance reduction. Next, we studied the statistical variability of NS OS FETs. Fig. 4 shows the measured I<sub>d</sub>-V<sub>g</sub> curves of 1k IGO FETs and Si bulk nFETs at L<sub>g</sub>=60nm and W<sub>ch</sub>=140nm. Cumulative distributions of V<sub>th</sub>, DIBL and I<sub>on</sub> are shown in Fig. 5. NS OS FETs show comparable or tighter distribution of V<sub>th</sub>, DIBL, and I<sub>on</sub> than bulk Si FETs due to the nanosheet structure with well controlled donor concentration. The small average DIBL value of 18.7mV/V is obtained in IGO FETs. These results encourage NS OS FETs for high density monolithic 3D integration.

**Summary:** We fabricated sub-100nm L<sub>g</sub> NS OS FETs and demonstrated unsaturated carrier velocity behavior. We obtained statistical variability data of NS OS FETs, which is comparable or better than bulk Si CMOS. This work provides an evidence of the scaling benefit of NS OS FETs for 3D LSI application.

References: [1] W. Gomes, IEDM 2023, 15-5, [2] K. Nomura et al., Nature, 432, 25, 488 (2004), [3] H. Kunitake et al., IEDM 2018, 312, [4] K. Hikake et al., VLSI Symp. 2023, T14-1, [5] W. Chakraborty et al., VLSI Symp. 2020, TH2-1, [6] S. Subhechha et al., VLSI Symp. 2021, T10-5, [7] S. Samanta et al., IEE TED, 68, 3, 1050, [8] S. Hooda et al., VLSI Symp. 2023, T17-1, [9] L. Xu et al., IEDM2023, 24-5, [10] C. Niu et al., IEDM2023, 37-2, [11] T. Mizutani et al., SNW 2012, 71, [12] Y. Taur and T. Ning, "Fundamentals of Modern VLSI Devices".

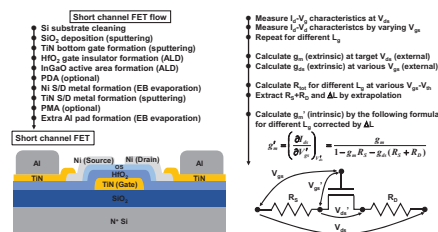


Fig. 1 Short channel FET process flow and schematics of the devices.

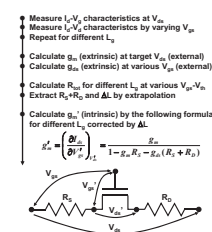


Fig. 2 Calculation method for g<sub>m</sub>' (intrinsic) by correcting parasitic resistance from g<sub>m</sub>.

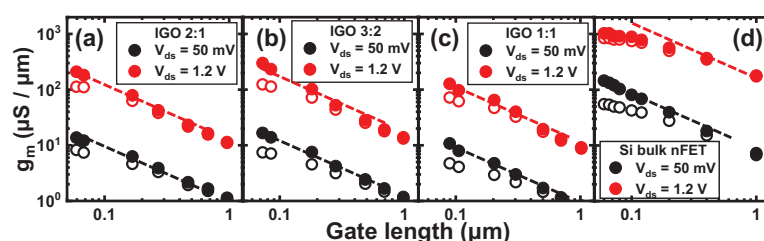


Fig. 3 Extrinsic (open) and intrinsic (solid) transconductance of (a) In:Ga=2:1, (b) In:Ga=3:2, (c) In:Ga=1:1 and (d) bulk silicon FETs in both linear and saturation regions. While bulk Si FETs show velocity saturation behavior even after correction, NS IGO FETs show unsaturated velocity behavior.

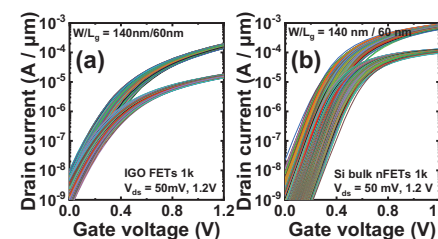


Fig. 4 Measured I<sub>d</sub>-V<sub>g</sub> curves of (a) 1024 NS IGO FETs and (b) 1024 Si bulk nFETs at V<sub>ds</sub>=50mV and 1.2V. NS IGO FETs show tighter V<sub>th</sub> distribution with less DIBL.

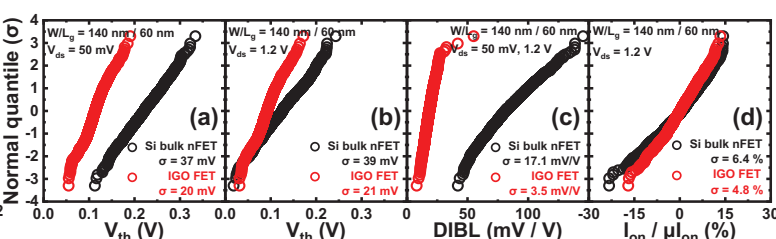


Fig. 5 Cumulative distribution of (a) V<sub>th</sub> (linear region), (b) V<sub>th</sub> (saturation region), (c) DIBL, and (d) I<sub>on</sub>/μI<sub>on</sub>. NS IGO FETs show comparable or tighter distribution of V<sub>th</sub>, DIBL, and I<sub>on</sub> than bulk Si FETs due to the nanosheet structure with well controlled donor concentration.

## DFT 計算による電子輸送特性データベースを用いた 配線材料としての新たな金属間化合物の探索

### Exploration of new intermetallic compounds for advanced interconnects using electron transport database obtained by DFT calculation

東北大<sup>1</sup> ○(D)岩渕 将也<sup>1</sup>, 小池 淳一<sup>1</sup>

Tohoku Univ.<sup>1</sup>, ○Masaya Iwabuchi<sup>1</sup>, Junichi Koike<sup>1</sup>

E-mail: iwabuchi.masaya.s7@dc.tohoku.ac.jp

**背景** 2nm ノード以降のロジックデバイスにおける抵抗率上昇の問題を解決するために、Cu 配線の代替材料が研究されている。金属間化合物は、低抵抗率かつライナー・バリアフリー材料としての使用が期待されている<sup>[1]</sup>。本発表では、既報の金属間化合物以外の有力な材料を探索するため、電子の輸送特性データベース<sup>[2]</sup>から選択した候補材料の抵抗率測定および評価結果を報告する。

**実験方法** Fig. 1 に示されたフローに従って絞り込んだ 113 種類の金属間化合物の中から電気伝導率が高い材料を選択した。サンプル薄膜は、二元同時スパッタリングにより熱酸化膜付き Si 基板上に成膜した。膜厚は 100nm, 10nm とし、Y<sub>2</sub>O<sub>3</sub> を界面反応防止のバリア層および表面酸化防止のキャップ層として使用した。400℃×30 分の真空アニール後、結晶構造の同定を X 線回折、膜組成分析を SEM-EDS もしくは ICP-MS にて行った。抵抗率は Van der Pauw 法で測定した。

**結果と考察** Fig. 2 に測定したサンプルの抵抗率と膜厚

の関係を示す。膜厚の減少による抵抗率の増加傾向は金属間化合物によって異なった。Cu を含む金属間化合物においては膜厚 10nm においても 10-30μΩ cm 程度の比較的低抵抗率を示した。一方で、一部の金属間化合物においては、化学量論組成からのずれによって現れる第二相によって抵抗率が上昇した可能性が考えられる。特に 10nm 以下の極薄膜においては、組成変化の影響が大きくなることが予想されるため、金属間化合物を微細配線に使用する場合には、組成変化の影響を考慮した材料設計が必要であることが示唆された。今回の結果から、組成ずれや膜厚の減少による抵抗率の上昇が最も小さい MgCu<sub>2</sub> が電気抵抗率の観点では有力な材料であることが示された。

[1] L. Chen et al., J. Appl. Phys. 129, 035301 (2021)

[2] F. Ricci et al., Sci. Data, 4, 170085 (2017)

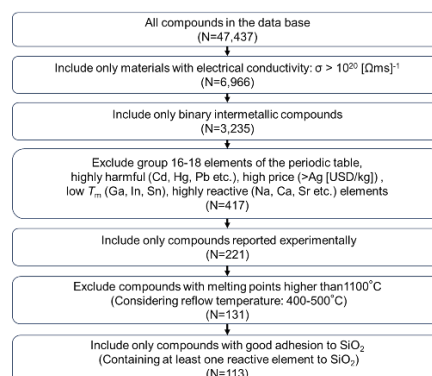


Fig. 1. Screening flow chart of candidate materials

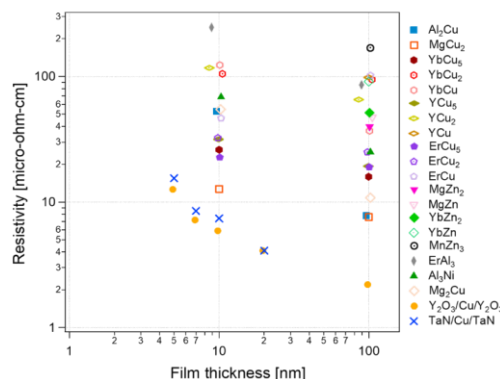


Fig. 2. Resistivity vs. Film thickness for intermetallic compounds

# ヨウ化銅 (I) を原料とする CVD 法による Ta 上への Cu 堆積

## Chemical Vapor Deposition of Cu on Ta using CuI-precursor

茨城大工 °宮本 裕, 山内 智

Ibaraki Univ., °Yu Miyamoto, Satoshi Yamauchi

E-mail: satoshi.yamauchi.0606@vc.ibaraki.ac.jp.jp

[はじめに] これまでに我々は、ヨウ化銅 (I) ( $\text{CuI}$ ) を真空中で  $300\text{ }^{\circ}\text{C}$  程度に加熱し昇華させ基板表面上に供給することで、 $400\text{ }^{\circ}\text{C}$  以下で金属上へのみ選択的に Cu を形成することを見出し、Ru 上や Cu-line 上での Cu 堆積形態の調査・検討<sup>[1,2]</sup>、および微細加工パターン上への積み上げ配線プロセスを提案した。本提案プロセスでは RIE による微細加工可能なバリアメタルの適用が望ましいことから、今回は、微細加工可能な Cu バリアメタルである Ta 上での成長条件に対する Cu 堆積形態について調査した結果を報告する。

[実験方法] Cu の堆積は背圧  $1\times 10^{-4}\text{ Pa}$  程度の SUS 製チャンバー内で行った。基板には、 $\text{SiO}_2/\text{Si}$  上にスパッタ形成した Ta(厚さ  $25\text{ nm}$ )ブランケットを用いた。原料の CuI 粉末(純度  $99.999\%$ 、Merck)は、PBN 製の K-cell に充填した後、チャンバー内で  $280\text{ }^{\circ}\text{C}$  程度に加熱して昇華させ基板表面に供給した。Cu の堆積は基板温度を  $300\sim 400\text{ }^{\circ}\text{C}$ 、CuI 昇華速度を  $2\sim 15\text{ }\mu\text{mol/min}$  の範囲で変化させて  $40$  分間おこなった。

膜厚は触針式表面形状測定装置 (DEKTAK3) により測定し、表面形状は共焦点型レーザー顕微鏡(Olympus OLS4000-SMT)と SEM (Hitachi-SU5000) で観察し、Cu による被覆率を求めた。

[実験結果] 図 1 は Ta ブランケット上に真空中で基板温度  $340\sim 380\text{ }^{\circ}\text{C}$  で  $40$  分間 Cu を堆積させた後の表面 SEM 像である。 $340\text{ }^{\circ}\text{C}$  では  $130\text{ nm}$  程度の粒径の Cu が形成されているのに対して  $380\text{ }^{\circ}\text{C}$  では  $1.5\text{ }\mu\text{m}$  程度まで粒径が増大する様子が観察された。

また図 2 は CuI 供給速度、膜厚、被覆率から算出した原料分解効率についてのアレニウスプロットである。Ru 上では離散的な柱状成長する低温域で  $199\text{ kJ/mol}$  の活性化エネルギーが見られており、これは CuI から分解生成した  $\text{I}_2$  が Cu 上で End-on で脱離する際に Side-on から配向を変える際のエネルギーに相当している<sup>[1]</sup>。一方、Ta 上では Ru 上よりも高温域でより大きな  $289\text{ kJ/mol}$  の活性化エネルギーが見られた。これは、図 1 から分かるように面内方向が進行する温度域であることから、Ta 上での  $\text{I}_2$  の脱離現象を示しており、Side-on から End-on へと配向を変えるエネルギーと考えられる。

[参考文献]

[1] G. Toyoda et al., Jpn. J. Appl. Phys., 62 (2023) SH1002.

[2] G. Toyoda et al., Jpn. J. Appl. Phys., 63 (2024) 06SP08.

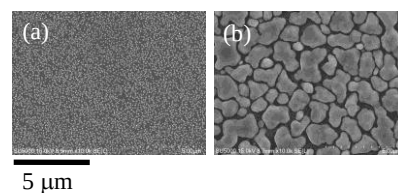


図 1 Cu 堆積後の表面 SEM 像

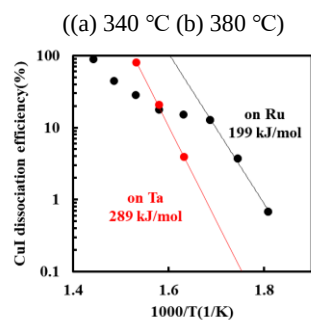


図 2 Ta, Ru 上での原料分解効率の堆積温度依存性

# Al 箔直接接合によるシリコン酸化膜上厚膜配線の電気特性

## Electrical characteristics of thick-metal-film interconnects on silicon oxide films by directly bonding of Al foils

大阪公大工<sup>1</sup>, 大阪市大工<sup>2</sup> ○(M2) 室谷咲貴<sup>1</sup>, 上原さくら<sup>2</sup>, 仕幸英治<sup>1</sup>, 梁剣波<sup>1</sup>, 重川直輝<sup>1</sup>

Osaka Metropolitan Univ.<sup>1</sup>, Osaka City Univ.<sup>2</sup>, °S. Murotani<sup>1</sup>, S. Uehara<sup>2</sup>, E. Shikoh<sup>1</sup>, J. Liang<sup>1</sup>, N. Shigekawa<sup>1</sup>

E-mail: si23600u@st.omu.ac.jp

【はじめに】通信トラフィックの急増に伴う通信システムの高周波化により、集積回路中の受動部品の低損失化が求められている。本研究では、直接接合技術と配線プロセスとの融合、低損失配線の実現を目指し、Si 基板上酸化膜/金属箔接合から厚膜配線を形成するとともに、その電気特性の評価を行った。

【実験方法】Si 基板（抵抗率 1-10  $\Omega \cdot \text{cm}$ ）上の厚さ 2  $\mu\text{m}$  の酸化膜と Al 箔（厚さ 17  $\mu\text{m}$ 、シート抵抗  $1.8 \times 10^{-3} \Omega/\text{sq.}$ ）を表面活性化接合 (SAB) 法[1]により直接接合し、ウェットエッチングによってコプレナ線路 (CPW-A) を作製した[2]。また、酸化膜が形成されていない Si 基板上に同様のプロセスでコプレナ線路 (CPW-B) を作製した。CPW の信号線長は 1500、3000、4500、6000  $\mu\text{m}$ 、信号線幅は $\approx 99 \mu\text{m}$ 、スロット幅は $\approx 52 \mu\text{m}$  である。10 MHz-13.5 GHz の範囲でそれらの S パラメータ測定を行った。また、酸化膜上及び Si 基板上に接合 Al 箔からなる直径 377  $\mu\text{m}$  の円形電極を形成し、周辺電極（ギャップ 52  $\mu\text{m}$ ）間との電流-電圧 (I-V) 測定を室温で行った。

【実験結果】円形電極/周辺電極間の I-V 特性をその外観とともに図 1 に示す。酸化膜上の電流値は測定限界以下であることから、表面活性化の過程を経ているにもかかわらず酸化膜表面にリークパスが形成されていないことが分かった。CPW-A と CPW-B の 10 GHz における挿入損失の信号線長依存性を線路の外観とともに図 2 に示す。測定結果を解析することにより、CPW-A、CPW-B の 10 GHz における CPW-A の減衰定数 (26 dB/cm) は CPW-B の減衰定数 (35 dB/cm) を下回った。この結果は、厚膜金

属箔を Si 基板上の酸化膜に直接接合することによる低損失伝送線路実現の可能性を示している。

【謝辞】本研究で用いた Al 箔は東洋アルミニウム株式会社により提供されました。

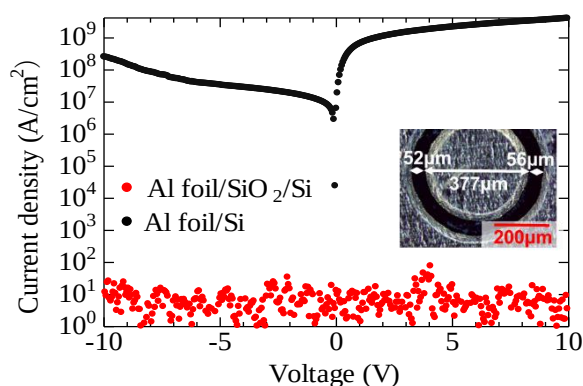


Fig.1. I-V characteristics between Al foil-based circular and surrounding contacts at room temperature. Inset: a fabricated circular contact.

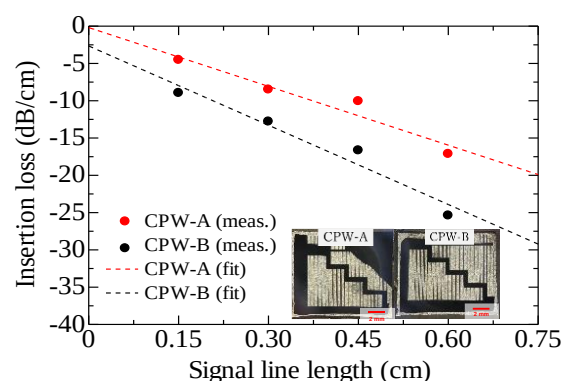


Fig.2. Relationship between the insertion loss and the signal line length for the two types of CPWs at 10 GHz. Insets: fabricated CPWs.

[1] N. Shigekawa, et al., Jpn. J. Appl. Phys. **61**, 120101 (2022).

[2] K. Yonekura, et al., Jpn. J. Appl. Phys. **61**, SF1008 (2022).



# サブ THz 超音波を用いたエレクトロマイグレーションの早期非破壊検出

## Early non-destructive detection of electromigration studied by sub-THz ultrasound

阪大工<sup>1</sup>, スカイワークスフィルターソリューションズ<sup>2</sup> °長久保 白<sup>1</sup>, 出馬 秀平<sup>1</sup>,

西村 淳<sup>2</sup>, 壁 義郎<sup>2</sup>, 荻博次<sup>1</sup>

The Univ. of Osaka<sup>1</sup>, Skyworks Filter Solutions Japan Co., Ltd.<sup>2</sup>, °Akira Nagakubo<sup>1</sup>, Shuhei Izuma<sup>1</sup>,

Atsushi Nishimura<sup>1</sup>, Yoshiro Kabe<sup>1</sup>, and Hirotsugu Ogi<sup>1</sup>

E-mail: nagakubo@prec.eng.osaka-u.ac.jp

集積回路の小型化によって回路の線幅は nm- $\mu$ m オーダとなり、高密度電流が原子を拡散させるエレクトロマイグレーション (EM) が古くから問題となってきた。デバイスの信頼性評価のため EM によるボイドの発生や配線の劣化を早期からモニタリングすることは重要である。単純に電気抵抗の変化をモニタリングするだけでなく、 $1/f$  ノイズを用いた早期診断<sup>[1]</sup>も提案されているが局所的な欠陥を評価することはできない。TEM や X 線を用いたその場観察<sup>[2, 3]</sup>ではボイドの形状や分布まで評価することができるが、観察のためには専用の試料が必要になる。

そこで本研究では周波数サブ THz・波長 nm オーダの超音波を用いたエレクトロマイグレーションの局所的かつその場・リアルタイムモニタリングした結果について報告する。本手法では図 1 のように金属ナノ薄膜にフェムト秒パルスレーザを照射することで表面近傍にのみ瞬間的な熱膨張を引き起こす。その局所的かつ瞬間的な熱膨張によって、金属ナノ薄膜内には周波数サブ THz、波長 nm オーダの超音波が発生する<sup>[4]</sup>。Al ナノ細線に直流電流を 10 秒印加し、停止後にこの手法を用いて超音波エコーを取得するサイクルを繰り返した。電流密度が低い ( $0.74 \text{ kA/cm}^2$ ) コントロール実験の場合、エコーは図 2 のようにほぼ一定のままであった。一方、 $29 \text{ MA/cm}^2$  の高密度電流を印加した場合、図 2 のようにエコー振幅が急速に減少する様子をとらえた。これはエレクトロマイグレーションによって図 1 のように細線中にボイドなどが発生し、超音波が散乱されたことを表している。第 1 エコーに高速 Fourier 変換を施して求めた  $70 \text{ GHz}$  の成分の時間変化および抵抗の時間変化を図 3 に示す。コントロールの場合ではエコー強度も抵抗もほぼ一定であった。一方、高密度電流を印加した場合、電気抵抗にはほぼ変化が表れていないにもかかわらず、超音波エコーの強度は開始 2 分ほどから減少傾向を示した。これはサブ THz 帯に迫る超音波を用いることでボイドを早期から検出することができる可能性を示している。

[1] K. Dagge *et al.*, Appl. Phys. Lett. **68**, 1198 (1996).

[2] H. Moil *et al.*, Thin Solid Films **300**, 25 (1997).

[3] G. Schneider *et al.*, Appl. Phys. Lett. **81**, 2535 (2002).

[4] C. Thomsen *et al.*, Phys. Rev. B **34**, 4129 (1986).

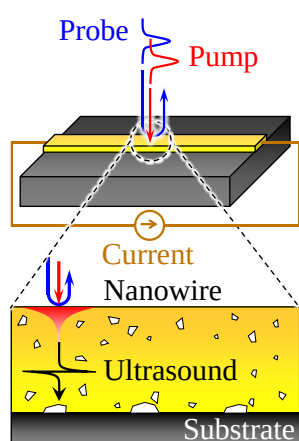


Fig. 1 Schematic of the pump-probe ultrasonics for nanowire.

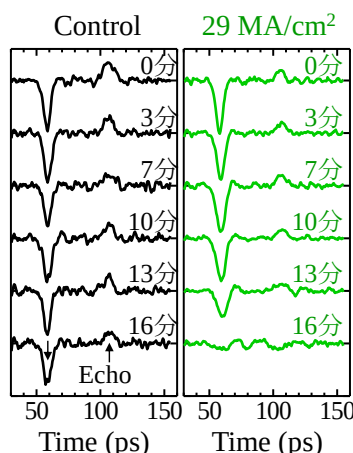


Fig. 2 Echo signals under applying control and high-density current.

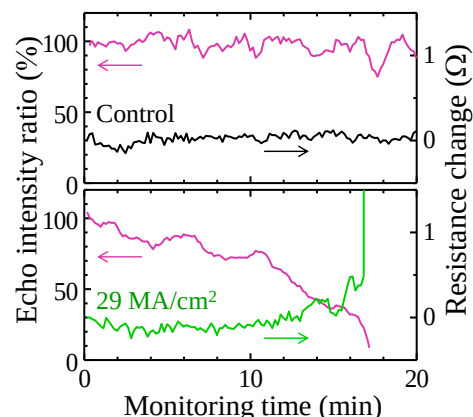


Fig. 3 Time evolution of 70-GHz echo intensity and resistance under applying control and high-density current.



# リセット電流低減とサイクル耐性向上に向けた PCM/セクタ積層メモリの熱構造最適化

## Optimization of PCM/Selector stacked memory structure for decreasing reset current and improving endurance characteristics

キオクシア 先端研 ○松澤雄矢, 上遠野一広, 塚越隆行, 藤井章輔, 藤巻剛

KIOXIA, °Yuya Matsuzawa, Kazuhiro Katono, Takayuki Tsukagoshi, Shosuke Fujii, Takeshi Fujimaki

E-mail: yuya1.matsuzawa@kioxia.com

相変化メモリ (Phase change memory, PCM) とセクタを積層した 1S1R 型メモリは、SCM (Storage Class Memory) のメモリ構成要素として注目を集めている。PCM の書き換え動作は、メモリセルを流れる電流によるジュール熱を利用して行われる。特にリセット動作においては融点まで温度を上昇させるため大電流が必要であり、動作電流の低減が望まれている。また、PCM/セクタ積層メモリでは書き換え動作を繰り返すと、しきい値 ( $V_{th}$ ) シフトが発生するため、サイクル耐性の向上が望まれている。本研究では、リセット電流低減とサイクル耐性向上を目指して熱構造最適化に取り組んだ[1]。

将来のクロスポイントアレイ適用を目指して、PCM/セクタ積層構造を作成した。試作したメモリ素子の断面 TEM 像とメモリ特性、および電圧印加時の熱シミュレーション結果を Fig.1 に示す。素子径は約 90nm で、PCM とセクタを上中下の 3 つの電極で挟んだ構造である。また、素子の側壁には絶縁膜 (Liner) が成膜されている。リセット電流 ( $I_{reset}$ ) は、セット状態からリセット状態に移す際の電圧パルス印加中に流れる電流を計測した。また、電圧パルス印加中のシミュレーションによると、PCM の書き換え動作に必要な熱はセクタから発生していることが分かる。

$I_{reset}$  の上部電極 (TE) と中間電極 (ME) の膜厚依存性を Fig.2 に示す。TE の膜厚増加に伴い、 $I_{reset}$  の低減が確認された。 $I_{reset}$  が低減した理由は、TE を厚膜化することで、TE を介した放熱が抑制されたためである。一方、ME の膜厚と  $I_{reset}$  には明確な相関はなく、電極自体の抵抗による発熱と熱伝導のトレードオフによるものと考えられる。続いて、異なる Liner を適用し、それぞれの書き換えサイクルにおけるセット状態とリセット状態の  $V_{th}$  変化を Fig.3(a) に示す。Liner-A では、サイクル数増加に伴い  $V_{th}$  の低下が確認された。Liner-A の断面 TEM 像を Fig.3(b) に示す。セクタの元素が Liner を経由して、PCM へ拡散していることが確認され、 $V_{th}$  の低下の主要因であると考えた。成膜条件を最適化した Liner-B を適用することで、 $V_{th}$  の低下を抑制可能であることを確認した。

本研究では、PCM/セクタ積層メモリを試作し、リセット電流低減とサイクル耐性向上を目指して熱構造最適化に取り組んだ。TE を厚膜化することで、TE を介した放熱を抑えられ、 $I_{reset}$  を低減できた。また、素子の側壁の Liner を最適化することで、Liner を経由した元素拡散を抑えられ、サイクル耐性向上可能なことを明らかにした。

[1] Y. Matsuzawa et al., IEEE 53rd European Solid-State Device Research Conference (ESSDERC), Lisbon, Portugal, 2023, pp. 25-28.

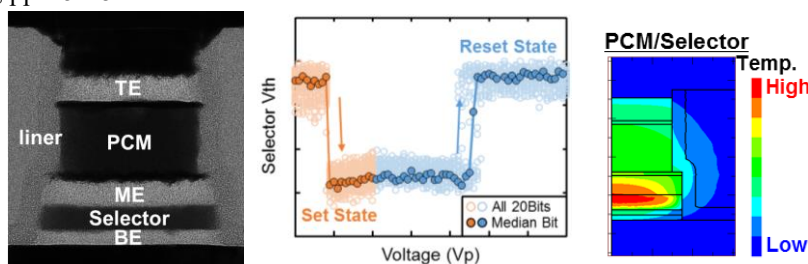


Fig.1 Cross sectional TEM (left), switching property (center) and thermal simulation during voltage application (right)[1]. ©IEEE2023

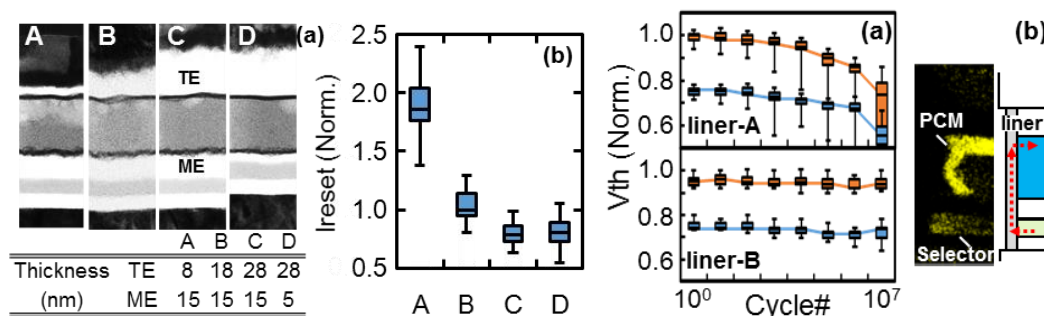


Fig.2(a) TEM images for cells with different TE/ME thickness. (b) Reset current ( $I_{reset}$ ) for the cells shown in (a)[1]. ©IEEE2023

Fig.3(a) Endurance property with different liner. (b) TEM-EDS image for the cell failed after cycling stress[1]. ©IEEE2023

## 不揮発性SRAMのパワーゲーティング・アーキテクチャと性能

Power-gating architecture and performance of nonvolatile SRAM

東工大・未来研 加藤豪人, °大木治弥, 塩津勇作, 山本修一郎, 菅原聡

T. Kato, °H. Oki, Y. Shiotsu, S. Yamamoto, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*

E-mail: oki.h.ad@m.titech.ac.jp

**【はじめに】** キャッシュなどに用いられるSRAMの待機時電力の削減はマイクロプロセッサ(MP)やシステムオンチップ(SoC)といったCMOSロジックシステムの重要な課題の1つになっている。パワーゲーティング(PG)はCMOSロジックシステムにおける効果的な待機時電力削減技術である。しかし、SRAMは揮発性メモリであることからPGの実行機会が制約され、十分に待機時電力を削減することが難しい。我々は6Tセルにトランジスタを介して不揮発性メモリ(NVM)素子を接続した不揮発性SRAM (NV-SRAM)を提案している[1]。NV-SRAMは電源遮断(SD)により効果的にリーク電力を削減できるが、NVM素子への書き込みに比較的大きなエネルギーが必要となる。そのため、PGの粒度の指標であるBreak-even time (BET)が長くPGの粒度が大きい。そこで、我々は高効率な細粒度PGを実現するために、NV-SRAMのBET削減アーキテクチャなどを提案している[1,2]。本発表では、スタンバイ(SB)時間を予測することなくPGを実行できるアーキテクチャ[3]をNV-SRAMに適用した場合のPG性能について報告する。

**【PGアーキテクチャと解析方法】** 検証を行ったPGアーキテクチャ[3]は、システムが要求するSB状態の開始から $t_w$ 後にPGへの移行動作(ENT)を開始し、SBの終了(時間を $t_{SB0}$ とする)とともにPGからの復帰動作(EXT)を行う。すなわち、 $t_{SB0}$ の開始と終了のタイミングを予測することなくPGを実行する。このアーキテクチャの提案を行った超低電圧リテンション(ULVR-)SRAM [4]の場合、 $t_w = \text{BET} + t_{\text{ENT}} = \text{BET}'$  ( $t_{\text{ENT}}$ はENT動作に必要な時間)とすることで理想限界に近い削減効率を達成できる[3]。一方、NV-SRAMではENT動作の $t_{\text{ENT}}$ が長く、 $t_w = \text{BET}'$ とした場合、PGの粒度が低下してしまう。そこで、 $t_w$ をエネルギー削減指標 $\gamma_E$ (後述)から決定することで(以下、この $t_w$ を $t_{w0}$ とする)、エネルギー損失を抑えながらPGの粒度を高めることを検討した。PGの性能解析では、 $t_{SB0}$ の分布に正規分布を仮定し、その中心値 $\mu$ 、標準偏差 $\sigma$ をパラメータとした。NV-SRAMのENT/EXT動作は、64bitごとに順次実行する。ただし、SRAM動作の周辺回路(PNS)はENT動作の開始時にすべて一斉にSDする。これらの解析に必要なパラメータを抽出するために、NV-SRAM 8kBマクロを設計した。このマクロをサブアレイとして32kB、256kB、2MBの容量のNV-SRAMを構成した。大規模シミュレーションからPG性能の解析に必要なパラメータを抽出した。

**【解析結果】** PG性能は総待機時間( $t_{SB0}$ )における消費エネルギーをSB時の消費エネルギーで規格化した指標 $\gamma_E$ を用いて評価した。32kB、256kB、2MBの容量を構成したNV-SRAMのBET'はそれぞれ0.12, 0.24, 1.4 msである。以下、2MBのNV-SRAMの解析結果について示す。図1に $\gamma_E$ が1を超える場合にはPGを実施せず、 $\gamma_E$ が1以下となる場合のみPGを実施する(仮想的な)理想モデルの $\gamma_E$ を示す。 $\mu$ または $\sigma$ がBET'以上であるとき、十分なSD時間が得られるためエネルギーを十分に削減できる紫色の領域( $\gamma_E \sim 0.01$ )が生じる。また、PNSを一斉にSDすることで、 $\mu$ または $\sigma$ がBET'以下でも $\gamma_E$ を6割程度削減できる水色の領域( $\gamma_E \sim 0.4$ )が現れる。この理想モデルでは図中の赤い領域ではPGを行わないため、 $\gamma_E = 1$ となる。これに対してワーストケースのPGモデルは、 $t_{SB0}$ が短くても常にPGを実行するモデルとなり( $t_w = 0$ に相当する)、理想モデルにおける赤い領域に相当する領域で概ね $\gamma_E > 1$ となる。図2に $t_w = \text{BET}'$ としたときの $\gamma_E$ の $\mu$ 、 $\sigma$ 依存性を示す。理想モデルと比較すると、水色の領域が消失し、赤色で示されるエネルギーを削減できない領域が広がる。ただし、 $\gamma_E > 1$ となる領域は存在しない。次に、短い $t_w$ を設定した場合に生じる $\gamma_E$ の最大値が1.5となる $t_w$ を用いた(この時の $t_w$ を $t_{w0}$ とする)。図3に $t_w = t_{w0}$  (= 14  $\mu\text{s}$ )としたときの $\gamma_E$ の $\mu$ 、 $\sigma$ 依存性を示す。この場合、水色と紫色で示すようなエネルギーを削減できる領域が拡大し、理想モデルに近い削減特性が得られる(ただし、図中の赤い領域のエッジ近傍で僅かに $\gamma_E > 1$ となる領域が存在する)。この場合では、 $t_{SB0}$ を予測することなくNV-SRAMの細粒度PGが可能になる。これは不揮発記憶を用いないULVR-SRAMに匹敵する粒度である。

**【謝辞】** シミュレーションは東京大学d. lab-VDECを通し、日本シノプシス合同会社の協力で行われた。

**【参考文献】** [1] D. Kitagata *et al.*, *JJAP* **58**, SBBB12, 2019. [2] D. Kitagata *et al.*, *IEICE ELEX* **17**, 20200032, 2020. [3] 矢野他, 第69回応物春季講演会, 23p-E307-6, 2022. [4] H. Yoshida *et al.*, *IEEE OJCAS* **2**, p. 520, 2021.

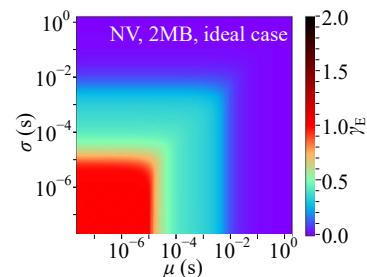


図1. 理想ケースにおける $\gamma_E$ の $\mu$ 、 $\sigma$ 依存性。

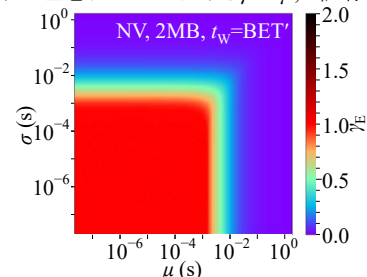


図2.  $t_w = \text{BET}'$ としたときの $\gamma_E$ の $\mu$ 、 $\sigma$ 依存性。

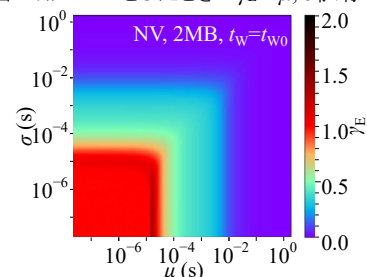


図3.  $t_w = t_{w0}$ とした時の $\gamma_E$ の $\mu$ 、 $\sigma$ 依存性。

## 擬似SRAMゲインセルの性能比較

### Comparative study of gain cells for pseudo-SRAM

東工大・未来研 °吉田誠, 塩津勇作, 菅原聡

°S. Yoshida, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*

E-mail: yoshida.s.bf@m.titech.ac.jp

【はじめに】近年、マイクロプロセッサの4次キャッシュやAIアクセラレータなどに搭載される大容量オンチップ・メモリが期待されている。SRAMのインターフェースを使用し、高密度集積化が可能なメモリセルを用いて構成する擬似SRAMはこのような応用に適したメモリである。擬似SRAMに用いるメモリセルとして、ロジックCMOSプロセスのみで構成可能なDRAMセルの1つであるゲインセルが検討されている。ゲインセルは主に2, 3, 4個のトランジスタ(Tr)数から構成されるものが提案されており、それぞれ2T, 3T, 4Tセルと呼ばれている[1-3]。これらの特徴や性能はTr数によって大きく異なる。本発表では、同一のTrモデルを用いて温度、Trの伝導型、アーキテクチャによる性能を系統的に評価、比較した結果を報告する。

【ゲインセルの構成】図1(a), (b), (c)にnMOS構成2T, 3T, 4Tセルの構成を示す(これらはpMOSで構成することもできる)。すべてのセルで1つのTr ( $M_2$ )のゲートノードを記憶ノード(Q)とする。2Tセルと3Tセルでは、HOLD時に $M_1$ を通して流れるリーク電流によってQのデータが破壊されるためデータリテンションタイム(DRT)が短い。特に $M_1$ にnMOSを用いた場合Hレベルのデータが、pMOSを用いた場合Lレベルのデータが破壊されやすい。4Tセルは、 $M_3$ ,  $M_4$ からなるフィードバック(FB)系を追加することでデータ破壊を抑制し、DRTを大幅に改善できる。また、2Tセルと4TセルのREAD動作では、 $M_2$ がON状態の非選択セルによってRBL電圧 $V_{RBL}$ が影響を受けるが、3Tセルではこの非選択セルの影響を排除できる。このように、Tr数を増やすことで、面積以外の性能・特徴が改善されていくわけではなく、各セルの性能・特徴は一長一短である。

【セルの設計と評価】HSPICEを用いてセルの設計と解析を行った。デバイスには65nm SOTBプロセスのLSTPモデルを用いた。セルの設計では、電源電圧 $V_{DD}$ と0を書き込んだQの状態がリーク電流によって破壊され、HレベルとLレベルの電位差がほぼ一致する時間をDRTと定義し、このDRTが最大となるように各Trのしきい値やチャネル幅を最適化した。最適化の結果、セルの面積は、2TセルではSRAMセルの41%、3Tセルでは50%、4Tセルでは73%となった。図2にnMOSおよびpMOSで構成した各セルの待機時電力を示す。HOLD時に遮断状態にある $M_1$ についてWBLのバイアス制御を行い、 $M_1$ をスーパーカットオフし、リーク電流を削減した場合も同図に示す。すべてのゲインセルはSRAMセルより90%以上の待機時電力を削減できる。また、バイアス制御によって待機時電力をさらに削減できる。図3に各セルのDRTを示す。今回用いたデバイスモデルではpMOSよりnMOSのしきい値が高いため、nMOSのDRTの方が長い。25°Cでは、バイアス制御を行わない場合、2Tセル、3TセルのDRTは4Tセルの2%程度と非常に短い。バイアス制御によってDRTは大幅に改善し、4Tセルの35%程度まで近づく。しかし、85°Cでは25°Cの場合と比べて、2Tセル、3TセルのDRTは自身のDRTから1桁以上大きく劣化するのに対し、4Tセルではこの温度変化によってDRTは25%程度しか劣化せず、nMOSの場合で4.1 ms、pMOSの場合で3.8 msと長いDRTを実現できる。85°Cでは、2Tセル、3TセルのDRTはバイアス制御を行った場合でも4Tセルの3%程度となる。FBの導入はDRTの延長だけでなく、温度耐性にも重要になる。

【謝辞】シミュレーションは東京大学 d. lab-VDECを通し、日本シノプシス合同会社の協力で行われた。

【参考文献】[1] D. Somasekhar *et al.*, IEEE JSSC **44**, pp.174-185, 2009. [2] D. Somasekhar *et al.*, IEEE ISSCC, pp. 274-275, 2008. [3] R. Guiterman *et al.*, IEEE TCAS-I **65**, pp.1245-1255, 2018.

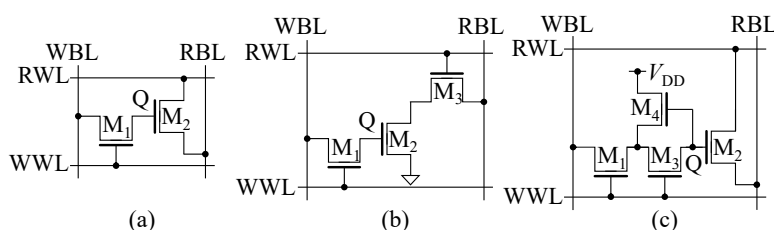


図 1. (a) 2T セル, (b) 3T セル, (c) 4T セルの回路構成

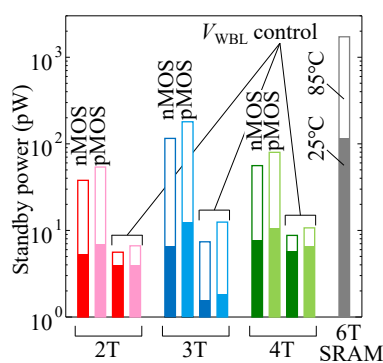


図 2. 各セルの待機時電力

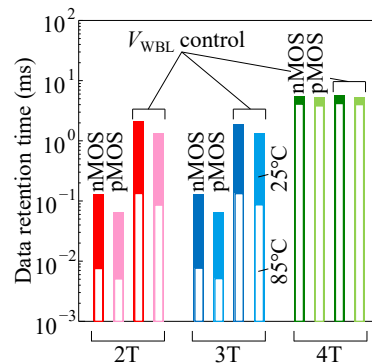


図 3. 各セルの DRT



## XNOR演算を有するエネルギー最小点動作・PIM型SRAMセル

A processing-in-memory SRAM cell with XNOR function for energy minimum-point operation

東工大・未来研<sup>○</sup>近藤慶音, 塩津勇作, 菅原聡

<sup>○</sup>K. Kondo, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*

E-mail: kondo.k.ar@m.titech.ac.jp

【はじめに】 モバイルエッジ階層におけるAIアクセラレータの低消費電力化にはエネルギー最小点(EMP)動作が可能なprocessing-in-memory (PIM)型ハードウェアが特に有効である。EMP動作はエネルギー効率(TOPS/W)を最大化するだけでなく、積和(MAC)演算の並列許容数を増大させることが可能となり並列数に応じて処理性能(TOPS)も向上できる。最近、我々は超低電圧リテンション(ULVR-)SRAMセル( $10T^{UR}$ セル)を用いて、EMP動作が可能なPIM型の2値化ニューラルネットワーク(BNN)アクセラレータ・マクロを開発し、EMP動作によるエネルギー効率および処理性能の向上を明らかにした[1]。しかし、PIMにおけるMAC演算の並列化では、MAC演算ユニットがチップ面積を占める割合が増大するだけでなく、並列化にともなうメモリアレイ内の配線数の増加によってセル面積が規定される(配線数が制限)、またはセル面積にデッドスペースを生じるといった問題を引き起こす。BNNの場合ではMAC演算の一部をXNORで表現できる。そこで、XNOR演算の機能を $10T^{UR}$ セルに組み込むことで、並列化にともなうデッドスペースを有効利用できる新たなセルの開発を行った。本発表では、EMP動作に適した $10T^{UR}$ ベースのXNOR内蔵セル( $14T^{UR+pXN}$ セル)と、その性能について報告する。

【セル構成】 XNORの機能を持たせたSRAMセルは以前から検討されているが[2], EMPという低電圧での動作を実現するため改良を行った。図1に $14T^{UR+pXN}$ セルの回路構成を示す。図中のノード $Q_{XNOR}$ は従来方式ではnMOSTランジスタ(Tr)で充電を行っていたが、今回は低電圧でもプルアップが容易なpMOS Trに変更した。また、読み出しポートには2Tr構成のisolated read port (IRP)を用いることで読み出し時の非選択セルの影響を排除した。このセルでは $10T^{UR}$ セルにわずか4つのTrを付加するだけでXNOR演算が可能になる。記憶ノードQにあらかじめ重みを書き込んでおき、推論時に相補信号の入力をビット線WBLとWBL'に設定することで、重みと入力とのXNOR演算を実行できる。従来技術との比較を行うため、XNOR演算部をすべてnMOS Trで構成したセル( $14T^{UR+nXN}$ セル)も準備した。

【解析結果】 セルの解析にはHSPICEを用いた。デバイスには65nm CMOSプロセスのLPモデルを用いた。図2に $14T^{UR+nXN}$ と $14T^{UR+pXN}$ のXNOR動作時(RBL放電時)の動作波形を示す( $Q_{XNOR}$ , RBLの電位 $V_{Q_{XNOR}}$ ,  $V_{RBL}$ およびRBLに接続したインバータの出力 $V_{OUT}$ )。動作電圧は0.4 V (EMP)である。 $14T^{UR+nXN}$ セルでは $Q_{XNOR}$ の充電電位が不十分であるのに対して、 $14T^{UR+pXN}$ セルではEMP電圧である0.4 Vまで完全に充電できる。このため、 $14T^{UR+nXN}$ セルに比べて $14T^{UR+pXN}$ セルではRBL放電時間が43%向上できる。図3にローカルばらつきを考慮したモンテカルロシミュレーションから解析したRBL放電時間の分散を示す。 $14T^{UR+nXN}$ セルでは $Q_{XNOR}$ の不十分な充電特性のため、分散が大きく動作速度も遅い。一方、 $14T^{UR+pXN}$ セルでは、 $Q_{XNOR}$ の電位がEMPにまで完全に充電されることから、分散が小さく動作速度が速い。したがって、 $14T^{UR+pXN}$ セルはばらつき耐性が高く、また高速に読み出し動作が可能である。この $14T^{UR+pXN}$ セルでは、 $10T^{UR}$ セルを用いてデータ読み出し後にXNORゲートを用いて演算する場合と比較して、1サイクルあたりの消費エネルギーを~30%削減できる。今回設計した $14T^{UR+pXN}$ セルでは、デッドスペースを生じることなく、RBLを16並列化できる。したがって、本技術はBNNを用いた並列化PIMの効果的なセルアーキテクチャとなる。

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し、日本シノプシス合同会社の協力で行われた。

【参考文献】 [1] 塩津他, 第84回応用物理学会秋季学術講演会, 2023, 20a-A304-11. [2] K. Tamaru, *IEICE Trans. Electron.*, **E76-C**, 1993, pp. 1545–1554.

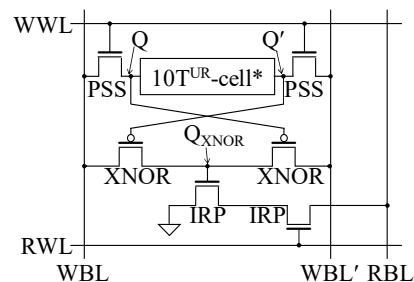


図 1.  $14T^{UR+pXN}$  セルの回路構成

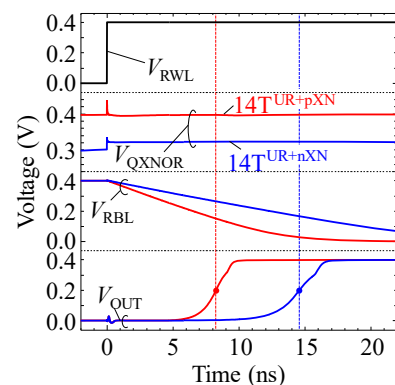


図 2. XNOR 動作の波形(RBL 放電時)

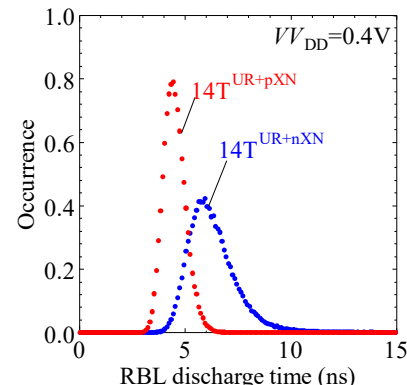


図 3. RBL 放電時間の分散



## エネルギー最小点で動作するINT4推論NNアクセラレータ・マクロの設計

Design of an INT4-inference neural-network accelerator macro for energy minimum point operation

東工大・未来研 °塩津勇作, 菅原聡

°Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*

E-mail: y.shiotsu@isl.titech.ac.jp

【はじめに】将来のAI技術では、これまで以上にエネルギー効率の高いニューラルネットワーク(NN)アクセラレータが要求される。Processing-in-memory (PIM)型ハードウェアはNNアクセラレータの高性能化に有効である。特に、SRAMを用いたPIM型NNアクセラレータは、現状のロジックCMOS技術のみで実装が可能のため、応用上重要である。このようなNNアクセラレータの性能向上には、エネルギー最小点(EMP)となる駆動電圧を用いた推論動作が極めて効果的であるが、SRAMのEMP動作が困難なことから、この実現は容易ではない。最近、我々は従来のCMOS技術で実装され、EMPでのSRAM動作と超低電圧を用いたパワーゲーティングが可能なULVR-SRAM [1]を用いて、PIM型2値化NN(BNN)アクセラレータ・マクロを開発した[2,3]。積和(MAC)演算ユニットを並列化実装し、EMP動作を用いた推論を行うことで、エネルギー効率(TOPS/W)、処理性能(TOPS)ともに高いアクセラレータを構成できることを示した[2,3]。本発表では、INT4による推論が可能なEMP動作・PIM型NNアクセラレータ・マクロの設計と、そのEMP動作について報告する。

【PIM型マクロの構成】ULVR-SRAMで構成されたメモリアレイの出力にバスを介することなくMAC演算ユニットを接続するPIMアーキテクチャを用いてマクロを構成した。INT4のMACユニットは乗算器で重みと入力ベクトル成分の積をとり、この結果をAdder treeにより足し合わせることでMAC演算を実現した。このMAC演算結果に整数のバイアスを加え、アクティベーション(ACTV)を判定することで1つの出力が得られる。このマクロの重みデータの容量は8kBである。バイアスについては別途格納領域を設けてある。このマクロは小容量であるが、このマクロを複数組み合わせることで任意の構造のネットワークを構成できる。1マクロ当たり128ノード分の処理が可能であるが、256, 1024ノードであればそれぞれ4, 64マクロで構成できる。図1に開発したINT4 MACユニットを用いたNNアクセラレータマクロのレイアウトを示す。このマクロではMAC演算ユニットを1系統有し(並列化を行っていない)、この演算ユニットはRTLから論理合成を行い、自動配置配線によって生成した。また、今回はマクロ内にACTVユニットも実装した。また、MAC演算ユニットを8系統有し、8並列のMAC演算を実行できるマクロについても設計を行った。

【解析結果】設計したマクロの性能は、寄生抵抗・容量を抽出して高速SPICE (FineSim)を用いた大規模シミュレーションから解析した。デバイスには65nm CMOSプロセスのLPモデルを用いた。図2にINT4のMACユニット1系統を有するNNアクセラレータ・マクロにおける動作周波数 $f$ 、平均電力 $P_{avg}$ 、消費エネルギー $E$  (1サイクル当たり)の仮想電源電圧 $V_{DD}$ 依存性を示す。 $E$ は $V_{DD} = 0.4$  Vで最小、すなわちEMPとなる。このとき、 $f$ は650 MHzから40 MHzに低下するが、 $P_{avg}$ を99%削減できる。推論のエネルギー効率 $\eta$ はEMPで最大となり、9.7 TOPS/Wとなった。これは1.2 Vの通常電圧動作と比較すると8倍程度にもなっている。この $\eta$ の値はBNNの場合のマクロ[2]と比較しても約1/7倍で済み、INT4においても高いエネルギー効率を実現している。また、8並列MAC演算ユニットを有する並列化マクロでは、EMPにおける $\eta$ はさらに17 TOPS/Wまで向上する。EMP動作はINT4の場合でも高エネルギー効率化に有効である。

【謝辞】シミュレーションは、東京大学d. lab-VDECを通し、日本シノプシス合同会社の協力で行われた。

【参考文献】 [1] H. Yoshida *et al.*, IEEE OJCAS 2, 2021, p. 520. [2] Y. Shiotsu *et al.*, IEEE JXCD 8, 2022, p. 134. [3] 塩津他, 第84回応用物理学会秋季学術講演会, 2023, 20a-A304-11.

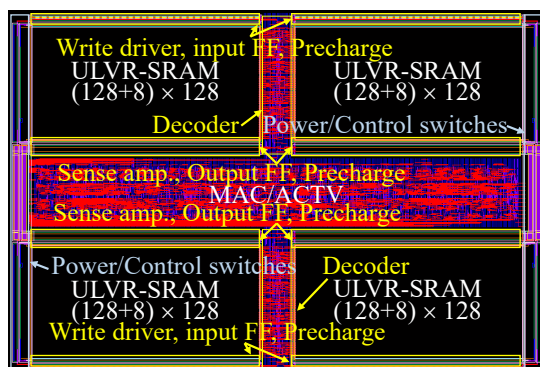


図 1. マクロのレイアウト.

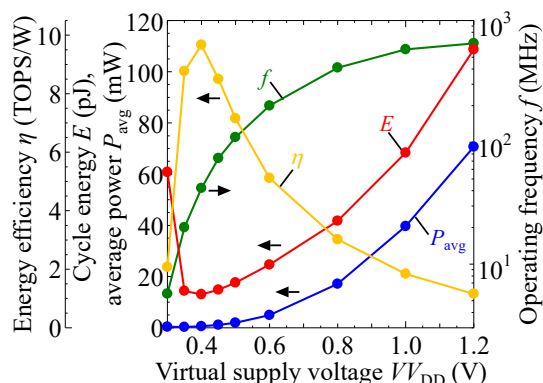


図 2.  $P_{avg}$ ,  $f$ ,  $E$ ,  $\eta$  の  $V_{DD}$  依存性.

## 低電圧動作・リードポート付き10T-SRAMセルの設計と性能

Design and performance of a 10T-SRAM cell using isolated read ports for low voltage operation

東工大・未来研 °矢口忠勝, 塩津勇作, 菅原聡

°T. Yaguchi, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*

E-mail: yaguchi.t.ag@m.titech.ac.jp

【はじめに】 CMOSロジックシステムにおける動作時電力の削減には、エネルギー最小点(EMP)またはこの近傍の低電圧動作による高エネルギー効率化が有効である。しかし、ロジックシステムに通常用いられる6T-SRAMは、このような低電圧動作によってREAD時のノイズマージン(NM)とWRITE時の動作マージン(WM)がそれぞれ大きく劣化するため、使用することが難しい。この6TセルではREADモードがワーストケースであることから、まずはREAD時のNMを向上させる設計が重要になる。Isolated read port (IRP)は低電圧でもREAD時のNMを確保できる技術である[1,2]。このIRP付きSRAMセルでは、WMがワーストケースとなるため、WMに特化したセル設計が低電圧動作に有効であると考えられる。しかし、このような試みはほとんど知られていない。本発表では低電圧動作が可能なIRP付き10Tセルの設計について報告する。

【セル構成と設計】 図1にIRP付き10Tセルの構成を示す[2]。10Tセルは、6Tセルと2組のIRPで構成され、READ動作とWRITE動作を分離するためにREAD用のワード線(RWL)とビット線(RBL), WRITE用のワード線(WWL)とビット線(WBL)の各制御線を分ける。10TセルはIRPを用いてRBLを放電することで記憶ノードへの電流の流入を生じることなくREAD動作を行うため、READ時のNMをスタンバイ時のNMと同等にまで向上できる。通常、IRP付き低電圧セルでは従来の6Tセルの設計をそのまま流用している場合が多い。しかし、WMがワーストケースとなるIRP付きセルでは、この方法は適していない。IRP付き10TセルではWMを指標とした設計が必要となる。以下、最適設計を行うIRP付きセルを10T<sup>opt</sup>とする。

【解析方法】 本研究では、トランジスタモデルに45nm bulk CMOSデバイスを使用し、HSPICEで解析を行った。READ時のNMには擬スタティックノイズマージン(QSNM), WRITE時のWMにはワード線マージン(CWLM)を用いた[3,4]。設計ではチップ温度も考慮し、25°Cと85°Cで解析した。10T<sup>opt</sup>の最適設計では、CWLMの $W_{DRV}$ ,  $W_{LD}$ ,  $W_{PT}$ 依存性において基準値を満たす中から、リーク電力が最小となる設計点を決定した。CWLMの基準値はモンテカルロシミュレーションによるセルの不良率が6 $\sigma$ の基準を満たすようにセルフコンシステントに決定した。この最適化を動作電圧に対して行い、動作可能電圧の下限( $V_{DDmin}$ )を決めた。また、同様にして比較用の標準設計SRAMセル( $W_{LD} = 90$  nm,  $W_{PT} = 135$  nm,  $W_{DRV} = 200$  nm)についても $V_{DDmin}$ を評価した。以下、これを6T<sup>std</sup>と表記する。また、6T<sup>std</sup>にIRPを設けた10Tセル(10T<sup>std</sup>)も比較に用いた。

【解析結果】 標準設計セルの解析の結果、 $V_{DDmin}$ は6T<sup>std</sup>では0.8 V, 10T<sup>std</sup>では0.7 Vとなり、標準設計セルでは通常電圧(1.0 V)から2-3割程度の低減率に留まることがわかった。次に、10T<sup>opt</sup>の最適設計から $V_{DDmin}$ の検証を行った。図2に10Tセルの0.5 VにおけるCWLMの $W_{DRV}(=W_{LD})$ ,  $W_{PT}$ 依存性を示す( $W_{DRV}=W_{LD}$ はリーク電力削減の観点から、今回はこのように設定した)。この図では各プロセスコーナーの中からCWLMのワースト値をプロットした。図中の赤枠は基準値(110 mV)以上となるCWLMの領域を示してある。0.5 Vでも基準値を満たす領域が存在し、その領域内でリーク電力が最小となる $W_{DRV}=W_{LD}=90$  nm,  $W_{PT}=240$  nmを10T<sup>opt</sup>の設計値とした。図3に10T<sup>opt</sup>と各標準設計セルの0.5 Vにおける不良率解析結果を示す。6T<sup>std</sup>セルはREAD時のQSNM, 10T<sup>std</sup>, 10T<sup>opt</sup>セルはWRITE時のCWLMを示している。6T<sup>std</sup>, 10T<sup>std</sup>セルではマージンが大幅に劣化しており、6 $\sigma$ を大きく上回る不良率となる。一方、10T<sup>opt</sup>セルは、0.5 Vでも十分に低い6 $\sigma$ 不良率を確保できている。したがって、IRP付き10Tセルは最適設計することで、EMP近傍の低電圧化が期待できる。

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し、日本シノプシス合同会社の協力で行われた。

【参考文献】 [1] Y. Morita *et al.*, IEEE Symp. VLSI Circuits, p. 256, 2007. [2] H. Noguchi *et al.*, IEEE ICICDT, p. 55, 2008. [3] H. Yoshida *et al.*, IEEE OJCS 2, p. 520, 2021. [4] H. Makino *et al.*, IEEE TCAS-II 58, p. 230, 2011.

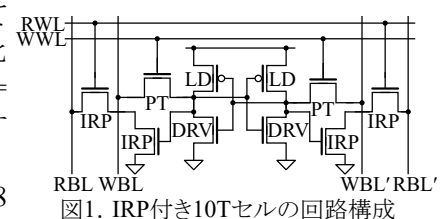


図1. IRP付き10Tセルの回路構成

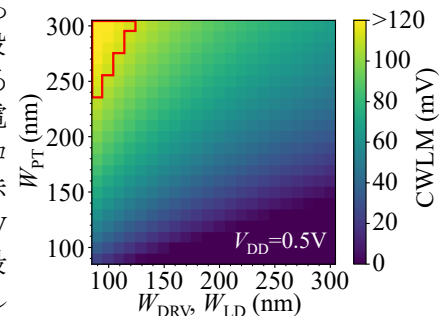


図2. CWLMの $W_{DRV}(=W_{LD})$ ,  $W_{PT}$ 依存性

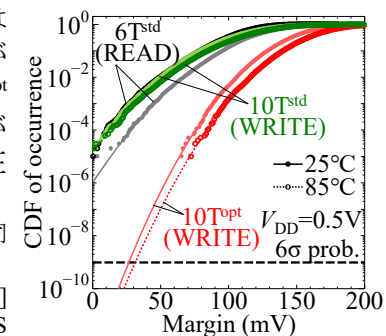


図3. QSNMとCWLMの累積分布

## 高安定エネルギー最小点動作が可能なULVR-SRAMセルの設計

Design of a ULVR-SRAM cell for highly stable energy minimum-point operation

東工大・未来研 °伊藤克俊, 塩津勇作, 菅原聡

°K. Ito, Y. Shiotsu, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*

E-mail: ito.k.bp@m.titech.ac.jp

【はじめに】我々は新型シュミットリガ(ST)インバータをベースとしたデュアルモード(DM)インバータを用いて構成した超低電圧でリテンション(ULVR)可能なULVR-SRAM ( $10T^{ULVR}$ )セルを提案している[1].  $10T^{ULVR}$ セルは, STモードで生じるフィードバック(FB)効果により0.2 VのULVRと, 0.4 V程度のエネルギー最小点(EMP)におけるSRAM動作を実現し, 待機時電力と動作時電力を効果的に削減できる[2]. 最近, 我々は8個のトランジスタで構成される新型のULVR-SRAM ( $8T^{ULVR}$ )セルを提案した[3].  $8T^{ULVR}$ セルはST構成とは異なる特有のFB構造を有し, 低電圧下においてHOLD状態のノイズマージン(NM)をほぼ最大限にまで拡大できる. しかし, この $8T^{ULVR}$ セルのEMP動作は困難である(READ動作における十分なNMの確保が難しい). そこで, この $8T^{ULVR}$ セルにisolated read port (IRP) [4]を導入したセル( $10T^{ULVR+IRP}$ )の検討を行った. IRPを用いればREAD動作時のNMをHOLD時のNMと同等にできる. 本発表では $10T^{ULVR+IRP}$ セルの設計および性能について報告する.

【回路構成】図1に $10T^{ULVR+IRP}$ セルの回路構成を示す. IRPは $8T^{ULVR}$ セル部の一方の記憶ノードに接続する. ワード線はWRITE動作作用(WWL)とREAD動作作用(RWL)に分けて配線し, パワー・ビット線(PBL, PBL')はWRITE動作時の相補ビット線と仮想電源電圧 $V_{DD}$ を兼ねる[3]. さらに読み出し専用のビット線RBLを設けてある. IRPを用いることで, セルの記憶状態に影響を与えることなくREAD動作を実現できることから, READ動作時のNMはHOLD時とほぼ同等にまで向上できる. FBTランジスタ(FBT)のバイアス $V_{FB}$ を $V_{DD}$ と同じ値に設定することで, ULVRおよびEMP動作のどちらでもNMを最大化できる.

【解析結果】セルの設計と解析はHSPICEを用いて行った. デバイスには65nm CMOSプロセスのLPモデルを用いた.  $8T^{ULVR}$ セル部はデバイスのばらつきを考慮して, ULVR時の擬スタティックノイズマージン(QSNM) [1]を25°Cと85°Cで確保できるように, トランジスタサイズを最適設計した. このとき, WRITE動作時の動作マージン(CWLM [5])も考慮した. また, IRPはREAD動作時の動作速度を考慮して設計した. 図2に最適設計した $10T^{ULVR+IRP}$ ,  $8T^{ULVR}$ ,  $10T^{ULVR}$ セルにおける0.4 VのREAD動作時のバタフライカーブを示す.  $8T^{ULVR}$ セルでは記憶ノードの電位がビット線の影響を強く受けるため, バタフライカーブが大きく歪む. 一方で,  $10T^{ULVR+IRP}$ セルのバタフライカーブでは, IRPによってこの影響を排除できるため, 記憶点側のローブが大きく広がり, 極めて高いNMが得られる. 図3に $10T^{ULVR+IRP}$ ,  $8T^{ULVR}$ ,  $10T^{ULVR}$ セルのQSNMを示す. 結果は25°Cと85°Cにおける評価のうちQSNMが低い方(ワーストケース)を示している.  $8T^{ULVR}$ セルではREAD動作時のQSNMは著しく低下するが,  $10T^{ULVR+IRP}$ セルではREAD動作時, ULVR時のどちらでもQSNMは $10T^{ULVR}$ セルより高い値を実現できる. プロセスコーナワーストケースであっても,  $10T^{ULVR+IRP}$ セルは $10T^{ULVR}$ セルと比較してREAD動作時では2.3倍, ULVR時では1.4倍のQSNMを確保できる. これらの結果は図2で示した伝達特性を反映している. さらに, ローカルばらつきを考慮したQSNMのモンテカルロシミュレーションから,  $10T^{ULVR+IRP}$ セルは全動作で $6\sigma$ の極めて小さい不良率を達成できることを確認した. 以上から,  $10T^{ULVR+IRP}$ セルはEMP動作におけるNMを大幅に改善できることを明らかにした.

【謝辞】シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】[1] H. Yoshida *et al.*, IEEE OJCS 2, p. 520, 2021. [2] Y. Shiotsu *et al.*, IEEE JXCD 8, p. 134, 2022. [3] 伊藤他, 第83応用物理学会秋季学術講演会, 21a-C105-5, 2022. [4] Y. Morita *et al.*, IEEE Symp. VLSI Circuits, p. 256, 2007. [5] H. Makino *et al.*, IEEE TCAS-II 58, p. 230, 2011.

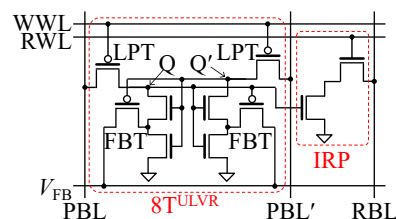


図1.  $10T^{ULVR+IRP}$ セルの回路構成

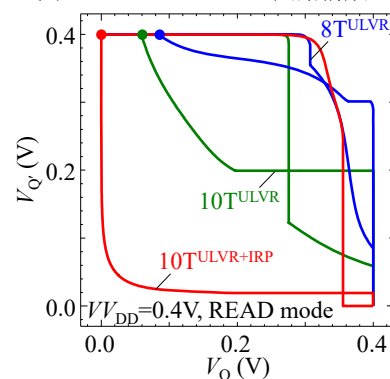


図2. READ動作時のバタフライカーブ

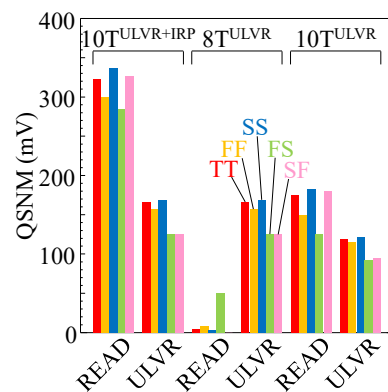


図3. 各セルのQSNM