

Oral presentation | 13 Semiconductors : 13.5 Semiconductor devices/ Interconnect/ Integration technologies

🏠 Wed. Sep 18, 2024 9:00 AM - 12:30 PM JST | Wed. Sep 18, 2024 12:00 AM - 3:30 AM UTC 🏠 A23 (TOKI MESSE 2F)

[18a-A23-1~13] 13.5 Semiconductor devices/ Interconnect/ Integration technologies

Masumi Saitoh(Kioxia), Hidehiro Asai(AIST)

9:00 AM - 9:15 AM JST | 12:00 AM - 12:15 AM UTC

[18a-A23-1]

Quantitative Understanding of Temperature Dependence of Sub-threshold Swing in Si MOSFETs at Cryogenic Temperatures

Min-soo Kang¹, Kasidit Toprasertpong,¹ Hiroshi Oka², Takahiro Mori², Mitsuru Takenaka¹, O Schin-ichi Takagi¹ (1.The Univ. Tokyo, 2.AIST)

9:15 AM - 9:30 AM JST | 12:15 AM - 12:30 AM UTC

[18a-A23-2]

Negative Back Bias Effect of Cryogenic 200 nm SOI MOSFET

ORyusei Ri¹, Takayuki Mori¹, Kousuke Hatta¹, Ryosuke Kobayashi¹, Hiroshi Oka², Takahiro Mori², Jiro Ida¹ (1.Kanazawa Univ., 2.AIST)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

9:30 AM - 9:45 AM JST | 12:30 AM - 12:45 AM UTC

[18a-A23-3]

Understanding Large V_{th} Shift by Hot Carrier Injection at Cryogenic Temperatures

O(D)Shunsuke Shitakata^{1,2}, Hiroshi Oka¹, Kimihiko Kato¹, Takumi Inaba¹, Shota Iizuka¹, Hidehiro Asai¹, Takahiro Mori¹ (1.AIST, 2.APPI, Keio)

9:45 AM - 10:00 AM JST | 12:45 AM - 1:00 AM UTC

[18a-A23-4]

Measuring Variability and Random Telegraph Noise at Cryogenic Temperatures using Transistor Matrix Array

OTomoko Mizutani¹, Kiyoshi Takeuchi¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, Toshiro Hiramoto¹ (1.IIS, Univ. of Tokyo, 2.AIST, 3.d.lab, Univ. of Tokyo)

◆ English Presentation

10:00 AM - 10:15 AM JST | 1:00 AM - 1:15 AM UTC

[18a-A23-5]

Precise Extraction of Effective Mobility in Si nMOSFETs at Cryogenic Temperatures Using Quasi-Static C-V Technique

O(M2)Yutong Chen¹, Zhao Jin¹, Xueyang Han¹, Hiroshi Oka², Takahiro Mori², Kasidit Toprasertpong¹, Mitsuru Takenaka¹, Shinichi Takagi¹ (1.The Univ. of Tokyo, 2.AIST)

◆ English Presentation

10:15 AM - 10:30 AM JST | 1:15 AM - 1:30 AM UTC

[18a-A23-6]

Influence of Channel Resistance on Split C-V Characteristics in MOSFETs and the Correction Based on a Transmission Model for Accurate Evaluation of Effective Mobility

○(M2)Zhao Jin¹, Yutong Chen¹, Xueyang Han¹, Hiroshi Oka², Takahiro Mori², Kasidit Toprasertpong¹, Mitsuru Takenaka¹, Shinichi Takagi¹ (1.U. Tokyo, Eng., 2.AIST)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

10:45 AM - 11:00 AM JST | 1:45 AM - 2:00 AM UTC

[18a-A23-7]

Si two-dimensional-superlattice MOS transistor and effective-mass enhancement

○(M2)Yuto Sugimoto¹, Hiro Akahori¹, Kota Takeuchi¹, Yuryo Tozawa¹, Hiroaki Satoh^{1,2}, Masahiro Hori^{1,2}, Yukinori Ono^{1,2} (1.Shizuoka Univ., 2.RIE Shizuoka Univ.)

11:00 AM - 11:15 AM JST | 2:00 AM - 2:15 AM UTC

[18a-A23-8]

First-principal calculations on valley splitting in Si quantum wells stressed in the [110] direction

○Toshiaki Hayashi¹, Hiroyuki Kageshima², Jinichiro Noborisaka¹, Katsuhiko Nishiguchi¹ (1.NTT BRL, 2.Shimane Univ.)

11:15 AM - 11:30 AM JST | 2:15 AM - 2:30 AM UTC

[18a-A23-9]

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (12) -Lattice relaxation (III)-

○Toshiaki Tsuchiya¹, Masahiro Hori¹, Yukinori Ono¹ (1.Shizuoka Univ.)

11:30 AM - 11:45 AM JST | 2:30 AM - 2:45 AM UTC

[18a-A23-10]

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (13) -Effects of level depth-

○Toshiaki Tsuchiya¹, Masahiro Hori¹, Yukinori Ono¹ (1.Shizuoka Univ.)

11:45 AM - 12:00 PM JST | 2:45 AM - 3:00 AM UTC

[18a-A23-11]

Large-scale Characterization of Double Quantum Dots in Isoelectronic-Trap-Assisted Tunnel Field-Effect Transistors

○Yusuke Chiashi¹, Takumi Inaba¹, Yagishita Atsushi¹, Makoto Kato¹, Tomohiro Ishikawa¹, Hiroshi Oka¹, Kimihiko Kato¹, Hidehiro Asai¹, Minoru Ogura¹, Takashi Nakayama¹, Shota Iizuka¹, Takahiro Mori¹ (1.AIST)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

12:00 PM - 12:15 PM JST | 3:00 AM - 3:15 AM UTC

[18a-A23-12]

Evaluation of magnetic field-dependent quantum capacitance in a p-type Si double quantum dot

○(M1)Riku Wada¹, Raisei Mizokuchi¹, Chihiro Kondo¹, Ryuta Tsuchiya², Toshiyuki Mine², Digh Hisamoto², Hiroyuki Mizuno², Jun Yoneda¹, Tetsuo Kodera¹ (1.Tokyo Tech, 2.R&D Group, Hitachi Ltd)

12:15 PM - 12:30 PM JST | 3:15 AM - 3:30 AM UTC

[18a-A23-13]

Comparison of electron and hole by a silicon PN single-charge pump

○Gento Yamahata¹, Akira Fujiwara¹ (1.NTT BRL)

Si MOSFET の SS 値の極低温領域における温度依存性の定量的理解 Quantitative Understanding of Temperature Dependence of Sub-threshold Swing in Si MOSFETs at Cryogenic Temperatures

東大院工, 姜政秀, トプ ラー トン カデ イ ト, 岡 博史, 森 貴洋, 竹中 充, 〇高木 信一
Univ. Tokyo, Min-Soo Kang, Kasidit Toprasertpong, Hiroshi Oka, Takahiro Mori, Mitsuru Takenaka,
〇Shinichi Takagi
E-mail: takagi@ee.t.u-tokyo.ac.jp

【背景】4 K 近傍の極低温での Si MOSFET の電気特性の正確な理解は、量子コンピュータシステムの制御回路応用などの点で重要である。MOSFET の低電圧動作の観点から重要な電気特性である sub-threshold swing (SS) は、Boltzmann 極限の下では温度に比例するが、十分低温では値が飽和することが、Si nMOSFET に対して報告されており [1]、mobile tail state とバンド端にピーク値をもって Gaussian 分布する immobile state を仮定することによって、実験結果を定量的に再現できることが知られている [2-4] が、pMOSFET の SS 値の報告は少なく、nMOSFET との定量的比較にも乏しい。本研究では、基板濃度の異なる Si nMOSFET と pMOSFET の SS 値の温度依存性を系統的に評価すると共に、両者を定量的に再現できる物理モデルの構築に成功したので、報告する。

【実験手法・結果】 10^{15} から 10^{18} cm^{-3} 台までの幅広い範囲での基板不純物濃度を持つ Si nMOSFET と pMOSFET の SS 値の温度依存性を Fig. 1 と 2 に示す。nMOSFET の SS 値は温度の低下と共に飽和するが、pMOSFET の SS 値は温度の低下と共に増加する傾向が見られることが分かる。このような pMOSFET の SS の温度依存性と基板不純物濃度依存性の実験結果は、従来の DOS モデル [1] では十分説明できないことから、アモルファス半導体の DOS モデルを念頭に、Fig. 3 に示すような tail state の深いエネルギー位置にある DOS を immobile state、浅いエネルギー位置にある DOS を mobile state と見なす新しいモデルを提案する。提案モデルにより計算された SS 値の温度依存性を Fig. 1 と 2 の破線で示す。実験結果をよく説明できることが分かる。同じ物理パラメータを用いて、nMOSFET と pMOSFET の SS 値のドレイン電流依存性も定量的に説明できる。これらの実験結果を再現できる DOS のエネルギー分布を Fig. 4 に示す。pMOSFET の方が immobile state の密度が高いことから、温度の低下と共にフェルミレベルでの immobile state 量が、pMOSFET で著しく増加する。これが pMOSFET の SS 値が温度の低下と共に増加する物理的起源と考えられる。

【結論】Si pMOSFET では温度の低下と共に SS 値が増大することを実験的に見出した。nMOSFET との温度依存性の違いは、tail state の低エネルギー領域を immobile state、高エネルギー領域を mobile state とする DOS モデルにより、定量的に再現できることが明らかとなった。

【謝辞】本研究は国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (JPNP16007) の支援により実施した。

【参考文献】 [1] Beckers et al., EDL, 41, 276 (2020) [2] Beckers et al., TED, 67, 1357 (2020) [3] Kang et al., JJAP, 61, SC1032 (2022) [4] Kang et al., JJAP, 62, SC1062 (2023)

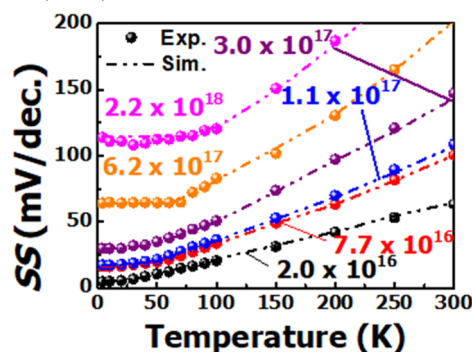


Fig. 1 Experimental and simulated temperature dependence of SS-T characteristics of nMOSFETs

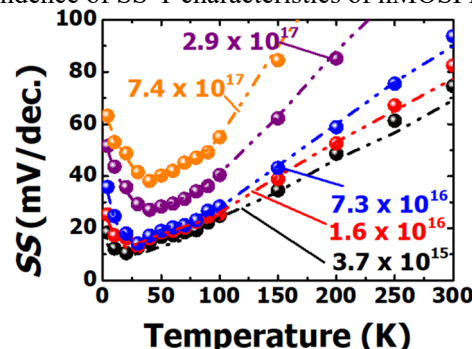


Fig. 2 Experimental and simulated temperature dependence of SS-T characteristics of pMOSFETs

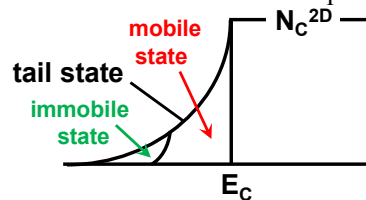


Fig. 3 Newly proposed band tail state model including mobile states and immobile states.

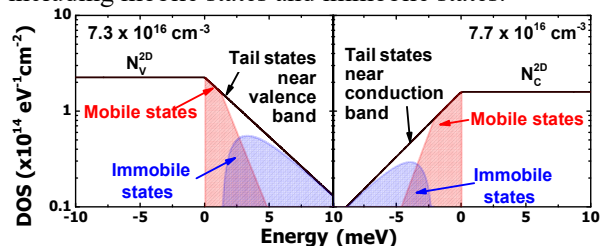


Fig. 4 Comparison in simulated DOS distributions and boundary energy between mobile and immobile states between nMOSFETs and pMOSFETs with similar N_{sub} of $(7-8) \times 10^{16} \text{ cm}^{-3}$

低温下における 200 nm SOI MOSFET の負基板バイアス依存性

Negative Back Bias Effect of Cryogenic 200 nm SOI MOSFET

金沢工大¹, 産総研², °李 龍聖¹, 森 貴之¹, 八田 浩輔¹, 小林 亮介¹, 岡 博史², 森 貴洋², 井田 次郎¹

Kanazawa Inst. of Tech.¹, AIST², °R. Ri¹, T. Mori¹, K. Hatta¹, R. Kobayashi¹, H. Oka², T. Mori², J. Ida¹

E-mail: c6300973@st.kanazawa-it.ac.jp

はじめに: 量子コンピュータの量子ビット数を増やすためには配線数の増大及びそこからの熱流入が課題であり, 解決のために Cryo-CMOS 技術の研究開発が行われている. MOSFET の中でも, SOI 技術は基板バイアス(V_{sub})によってしきい値電圧(V_{th})を制御することが可能であり, 低消費電力 Cryo-CMOS の実現が期待できる. その意味で V_{th} を低くできる正基板バイアスをまず評価し極低温でのみ現われるヒステリシス現象を見出し報告してきた[1]. 本稿では V_{th} を高くする方向である負基板バイアスの温度依存性においても, 低温と室温では異なる振舞いを示すことが判明したので報告する.

実験方法及び結果: 実験にはゲート長 200 nm, ゲート幅 1 μm , ゲート酸化膜厚 4.4 nm, Si 膜厚 40 nm, 埋め込み酸化膜厚 145 nm のラピスセミコンダクタ社 200 nm SOI プロセス によって作製された MOSFET を使用した. チャンネル不純物濃度を変えたデバイスを作製し, 本稿では Low V_{t} (LV t)及び, より不純物濃度が低い Ultra Low V_{t} (ULV t)の結果を示す. Fig. 1 に 300 K 及び 3 K における $I_{\text{d}}-V_{\text{g}}$ 特性の V_{sub} 依存性を示す. (a)は LV t , (b)は ULV t である (Fig. 2, 3 も同様). Fig. 2 に $V_{\text{th}}-V_{\text{sub}}$ の温度依存性を示す. Fig. 3 に $V_{\text{sub}} = 0$ V が基準の V_{sub} に対する V_{th} の変化量(ΔV_{th})を示す. LV t と ULV t のどちらのデバイスも 300 K から 200 K までは, V_{sub} 増加とともに V_{th} の変化が飽和する Bulk-MOSFET と同等な基板バイアス特性を示すが, 100 K から 30 K で直線的になり, さらに低温では直線的で変化量が小さくなることを確認できる. 具体的には, Fig. 2(a)より, 300 K から 30 K では, $V_{\text{sub}} = -15$ V ほどで V_{th} が飽和するのにに対して, 15 K 以下では, V_{sub} に比例して V_{th} が増加している. Fig. 2(b)でも同じように 100 K まで飽和が見えるが, 50 K から V_{sub} に比例して V_{th} が増加していることが確認できる. これは, 温度によるフリーズアウトの影響, 完全空乏, 部分空乏の程度の差などが考えられる.

謝辞: 本講演で発表した研究は, 国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO) の委託業務 (JPNP16007)の結果得られたものです.

参考文献: R. Ri *et al.*, “Back Bias Effect with Hysteresis in Cryogenic 200 nm SOI MOSFETs”, EuroSOI-ULIS, May. 2024

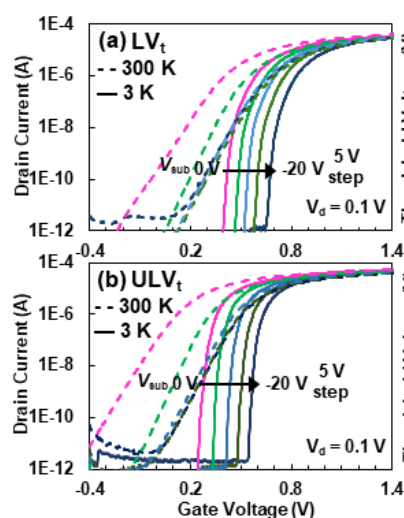


Fig. 1 $I_{\text{d}}-V_{\text{g}}$ dependence on V_{sub} . (a) ULV t , (b) LV t . --- 300 K — 3 K

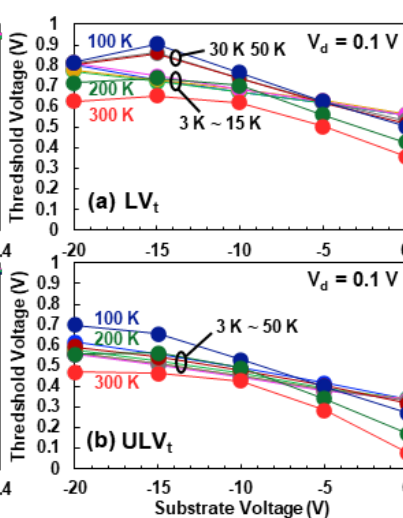


Fig. 2 V_{th} dependence on V_{sub} . (a) ULV t , (b) LV t .

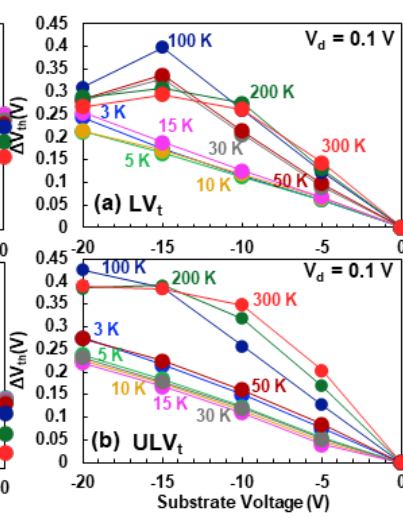


Fig. 3 ΔV_{th} dependence on V_{sub} . (a) ULV t , (b) LV t . (based on $V_{\text{sub}} = 0$ V).

極低温下でのホットキャリア注入に起因した巨大なしきい値電圧変動の理解

Understanding Large V_{th} Shift by Hot Carrier Injection at Cryogenic Temperatures

産総研¹, 慶大物情², ○(D) 下方駿佑^{1,2}, 岡博史¹, 加藤公彦¹, 稲葉工¹, 飯塚将太¹, 浅井栄大¹, 森貴洋¹
AIST¹, APPI, Keio², °S. Shitakata^{1,2}, H. Oka¹, K. Kato¹, T. Inaba¹, S. Iizuka¹, H. Asai¹, and T. Mori¹

E-mail: s-shitakata@aist.go.jp

大規模量子コンピュータの実現には、室温からの熱流入を削減しながら量子ビットの状態の制御・読出を行うクライオ CMOS 集積回路技術が不可欠である。MOSFET の極低温動作の理解が求められるが、近年の研究では、しきい値電圧(V_{th})の温度依存他の様々な特性にバンド端準位が強く影響することが明らかになってきた[1, 2]。一方で、信頼性に関連する議論は始まったばかりであり、これまではホットキャリアによる特性劣化(Hot Carrier Degradation; HCD)が低温で増大することが報告されているが[3]、そのメカニズムは明らかではない。そこで本研究では、ホットキャリア注入後の V_{th} 変動の温度依存性を評価し、また極低温下では有効性が未検証である重水素(D_2)アニールによる劣化抑制効果[4]を試験することで、メカニズムの理解を試みた。

実験には、(100)面バルクシリコンウエハ(p 型、 $1\sim5\Omega\text{cm}$)に poly-Si/熱酸化 SiO_2 ゲートスタックのセルフラインプロセスで作製した n-MOSFET を用いた。酸化膜厚は 8nm である。電極形成後に水素(H_2)または D_2 フォーミングガスアニール(FGA)をそれぞれ 400°C で 30 分間行った。作製した試料(ゲート長 1 μm)に対して、室温または 4K でのホットキャリアストレス印加($V_{D, \text{stress}}=6.5\text{V}$, $V_{G, \text{stress}}=2.3\text{V}$)を行った。その後各温度でストレス印加した試料について、温度(T_m)を変化させ電気特性の評価を行った(図 1)。

まず H_2 FGA 試料について、4K でのストレス印加後は、既報告[3]にあるような大きな V_{th} 変動が観測された。ストレス印加後の試料について、 V_{th} の温度依存性を評価した結果を図 2(a)に示す。10000s の総ストレス印加時間(t_{stress})であっても、室温に戻ると V_{th} の変化量は微少になっていることがわかる(紫線)。一方、室温でのストレス印加試料についても同様に V_{th} 温度依存性をみると、ほぼ同一の傾向を示している(赤線)。このことから、ストレス印加温度に関わらず、同一描像の界面劣化が発生していると考えられる。一方で、 V_{th} に与える影響は、ストレス印加温度によって異なることが示唆される。ここで得られた V_{th} - T_m 曲線には、100K 付近以下の温度帯で V_{th} が急上昇する特徴が見られる。これは、極低温特有の V_{th} の温度依存性であり、バンド端準位密度に依存すると考えられている[1, 2]。この V_{th} の上昇量はストレス印加時間に相関する(青線、緑線、紫線)ことから、極低温下で見られる巨大な V_{th} 変動は、バンド端準位の増加に起因すると考えられる。ここで注目すべきは、今回のストレス時間は、印加温度によらず、室温では 10mV 以下の微少な V_{th} 変動しか起こさない時間であるということである。それにも関わらず、4K では 100mV 以上の巨大な V_{th} 変動が発生している。室温における HCD は界面ダングリングボンド欠陥の増加に起因すると考えられているが[4]、これとはまるで独立するように 4K での V_{th} 変動が発生している。すなわち、4K での V_{th} 変動の原因と考えられるバンド端準位量の増大は、界面ダングリングボンド欠陥量の増大以上に発生しているものと考えられる。次に、室温においては HCD を抑制すると知られている D_2 FGA の効果を検証した結果を図 2(b)に示す。ストレス印加温度によらず、4K での V_{th} 変動は H_2 FGA の場合に比べて抑制されており、極低温下でも一定の効果があることがわかる。しかしながら、その抑制量は、ストレス印加温度に依存しており、室温でのストレス印加時により顕著な D_2 FGA の効果が見られる(図 2(a,b)の紫線および赤線)。 D_2 FGA の効果は Si-D 結合の振動周波数がバルクシリコンのフォノンと共鳴することで発現すると考えられており[5]、温度変化で格子振動が変化するため、ストレス印加温度依存性が表れるものと考えている。

以上まとめると、HCD による極低温下での V_{th} 増大現象は、バンド端準位の増加が原因であることがわかった。これは、HCD によるダングリングボンドの発生量とは比例していないと考えられる。一般に HCD を抑制する D_2 アニールは、4K ストレス印加においては効果が薄く、これはフォノン周波数の温度依存性に起因すると考えられる。

【謝辞】本研究は NEDO の委託業務(JPNP16007)および文部科学省 Q-LEAP(JPMXS0118069228)の助成を受けて実施した研究の結果得られたものである。本研究におけるデバイス試作は、産業技術総合研究所・未踏デバイス試作共用ライン(COLOMODE)にて実施された。

【参考文献】 [1] A. Beckers *et al.*, IEEE-JEDS **8**, 780 (2020). [2] H. Oka *et al.*, IEDM 2023. [3] Y. Zhang *et al.*, IEEE-TDMR **21**, 620 (2021). [4] J. W. Lyding *et al.*, APL **68**, 2526 (1996). [5] C. G. Van de Walle and W. B. Jackson, APL **69**, 2441 (1996).

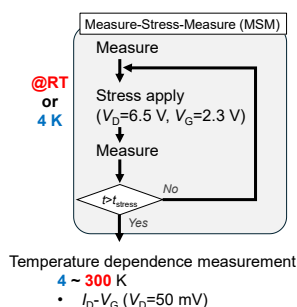


Fig. 1 Experimental procedure of this study.

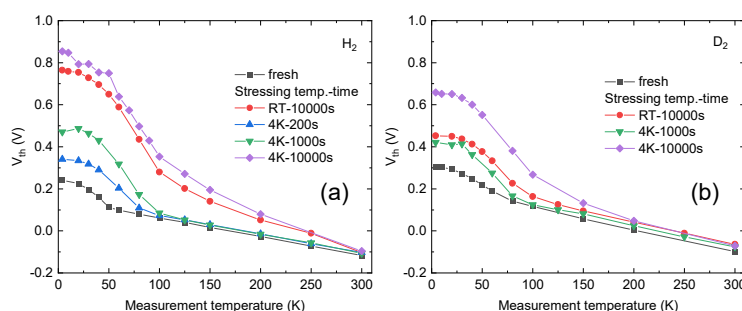


Fig. 2 V_{th} as a function of measurement temperature under different stress condition (temperature and time) for (a) H_2 FGA and (b) D_2 FGA.

トランジスタマトリックスアレイを用いた 極低温における特性ばらつきとランダムテレグラフノイズの測定

Measuring Variability and Random Telegraph Noise

at Cryogenic Temperatures using Transistor Matrix Array

東大生研¹, 産総研², 東大 d.lab³ ○水谷 朋子¹, 竹内 潔¹, 更屋 拓哉¹, 岡 博史²,
森 貴洋², 小林 正治^{1,3}, 平本 俊郎¹

¹IIS, Univ. of Tokyo, ²AIST, ³d.lab, Univ. of Tokyo ○Tomoko Mizutani¹, Kiyoshi Takeuchi¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, and Toshiro Hiramoto¹

E-mail: mizutani@nano.iis.u-tokyo.ac.jp

【はじめに】量子コンピュータを実用化には、極低温で動作する CMOS 回路が不可欠であり、回路設計には Cryo-CMOS の特性ばらつきを理解する必要がある[1-7]。本研究では、極低温測定用のトランジスタマトリックスアレイを作製し、Cryo-CMOS の特性ばらつきおよびランダムテレグラフノイズ (RTN) を調査したので報告する[8]。【結果】65nm バルク技術で作製したトランジスタマトリックスアレイを用いて、nMOS, pMOS の 300 K および 1.5 K における IV 特性を測定した。図 1 は定電流 ($0.1\mu\text{A}\times\text{W}/\text{L}$) および外挿法 (それぞれ V_{THC} , V_{THEX} と表記) によって抽出されたしきい値電圧 (V_{TH}) の正規確率プロットである。L/W=65nm/120nm である。1.5 K では V_{TH} ばらつきが増加する。また V_{THC} は V_{THEX} よりもばらつきが大きい。これらは以前 nMOS について報告した結果と一致しており[3], 今回 pMOS においても確認された。本研究では Cryo-CMOS の RTN ばらつきについても調査した。ノイズ波形はデバイス間で大きく異なるため、ノイズ動作を理解するには多数のデバイスの RTN 測定が不可欠である。図 2 は 1.5K における nMOS の RTN 波形の例である。ノイズ波形にはばらつきがあることがわかる。また疑似並列測定法[9]を用いて、室温で報告されている時定数が非常に長い RTN が極低温においても多数存在することを確認した (図 3)。【まとめ】極低温測定用のトランジスタマトリックスアレイを作製し、1.5 K での静特性およびノイズ特性のばらつき測定を行った。疑似並列測定法を用いたノイズ測定では 1.5K で極めて遅い RTN の存在を確認した。

【謝辞】本講演の成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (JPNP16007) の結果得られたものです。

【文献】 [1] A. Appaswamy et al., IEEE ISDRS, 2009. [2] N. C. Dao et al., IEEE EDL, vol. 38, no. 7, pp. 847-850, 2017. [3] T. Mizutani et al., JJAP, 61, SC1006, 2022. [4] K. D., Torsten et al., Cryogenics, vol. 62, pp. 84-93, 2014. [5] B. C. Paz et al., IEEE ICMTS, 2020, 8.3. [6] A. Grill et al., IEEE IRPS, 2020. [7] P. A. T. Hart et al., IEEE J-EDS, Vol. 8, pp. 797-806, 2020. [8] T. Mizutani et al., IEEE ICMTS, 2024. [9] K. Takeuchi et al., IEEE VLSI Tech. 2009, pp. 54-55.

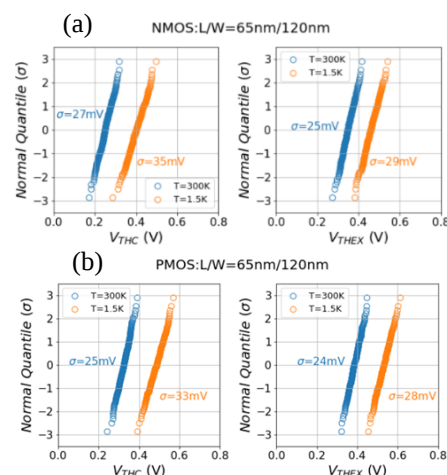


Fig.1. Cumulative distributions of V_{THC} and V_{THEX} . (a) nMOS and (b) pMOS.

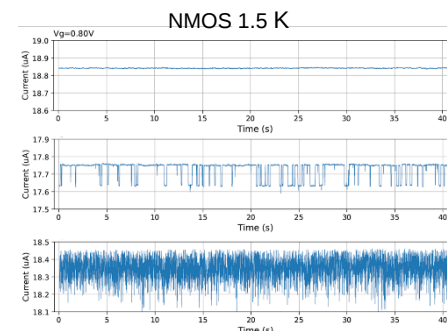


Fig.2. Drain current vs. time waveforms of three identically designed FETs to show variability of noise.

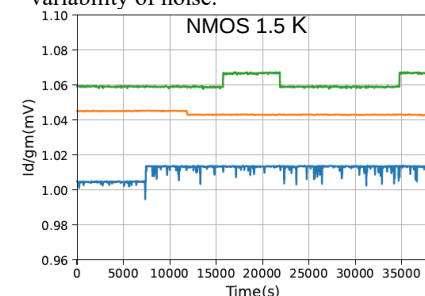


Fig.3. RTN waveforms with extremely slow transitions.

Precise Extraction of Effective Mobility in Si nMOSFETs at Cryogenic Temperatures Using Quasi-Static C-V Technique

Yutong Chen¹, Zhao Jin¹, Xueyang Han¹, Hiroshi Oka², Takahiro Mori², Kasidit Toprasertpong¹, Mitsuru Takenaka¹ and Shinichi Takagi¹

The University of Tokyo, Faculty of Engineering¹, National Institute of Advanced Industrial Science and Technology²

E-mail: chenytong@mosfet.t.u-tokyo.ac.jp

[Background] The increasing demand for the development of quantum computers and control circuits of qubits has led to a focus on cryogenic CMOS [1]. Consequently, it is important to examine the electrical characteristics of CMOS at cryogenic temperatures. One of the important parameters for I-V characteristics is the inversion-layer mobility, which can be measured in several ways, such as Hall measurements and effective mobility based on extraction of surface carrier concentration (N_s) made by split C-V [2]. However, the accuracy of effective mobility as evaluated by split C-V at low temperatures has not yet been examined. In this study, we investigate this issue quantitatively by varying the measurement frequency. Our findings indicate that the conventional split C-V approach may not be universally applicable to long channel MOSFETs, because of the channel resistance. Consequently, we introduce the Quasi Static C-V (QSCV) method [3, 4] to accurately determine N_s even at 4 K.

[Experiment] I-V transfer measurements and split C-V measurements are performed from 300 K to 4 K on n-MOSFETs with gate length (L)/width (W) of 500 $\mu\text{m}/160 \mu\text{m}$, 200 $\mu\text{m}/200 \mu\text{m}$, and 100 $\mu\text{m}/100 \mu\text{m}$. All devices are made on (100) Si wafer with a substrate boron concentration of $3 \times 10^{16}/\text{cm}^3$ and 6.8 nm gate oxide (SiO_2) thickness. In addition, we performed Hall measurements from 300 K to 4 K with the magnetic field strength of 1 T for the nMOSFETs with gate length/width of 500 $\mu\text{m}/160 \mu\text{m}$.

[Results] Figs. 1a and 1b show the gate channel capacitance (C_{gc})- V_g characteristics for nMOSFETs with 500 $\mu\text{m}/160 \mu\text{m}$ by using split C-V method with different frequencies in a temperature range of 300 K and 4 K, respectively. It is evident that frequency dispersion is observed at both temperatures, with the phenomenon being more pronounced at 4 K. Fig. 2 presents a comparison between Hall mobility and effective mobility, evaluated at various frequencies from 1 kHz to 10 kHz at 4 K. In low N_s region, the measured effective mobility is much higher than the Hall mobility. Fig. 3 shows the C_{gc} - V_g characteristics by using QSCV and split C-V at 4 K. Fig. 4 shows the comparison between Hall mobility and effective mobilities measured by split C-V and QSCV at 4 K. The effective mobility obtained by QSCV is in good agreement with the Hall mobility, thereby demonstrating the high accuracy of the N_s and mobility evaluated by QSCV at cryogenic temperatures. Fig. 5 shows N_s as a function of frequency at 4 K measured from nMOSFETs with different gate lengths. The results indicate that the nMOSFET with longer channel length causes the larger reduction in N_s at 4 K. Fig. 6 shows channel resistance versus N_s at 300 K and 4 K, calculated from Hall measurements by using $R_{ch} = 1/(\mu_H e N_s)$. It is observed in Fig. 7 that the long channel device at cryogenic temperature shows the significantly higher channel resistance in the low N_s region than that at room temperature because of the lower mobility, leading to inaccuracy of N_s by split C-V at cryogenic temperature.

[Conclusion] We have proposed a QSCV method to extract N_s and effective mobility in a low N_s region. This method differs from the conventional split C-V method in that it is experimentally demonstrated to be more accurate by comparison with Hall mobility.

[References] [1] E. Charbon *et al*, IEDM, 13.5 (2016) [2] J. Koomen, Solid-State Electron., 16, 801 (1973) [3] K. Toprasertpong *et al*, IEDM, 23.7 (2019) [4] K. Sumita *et al*, Appl. Phys. Lett. 119, 103501 (2021)

[Acknowledgments] This work was supported by a project, JPNP16007, commissioned by the New Energy and Industrial Technology Development Organization (NEDO), Japan.

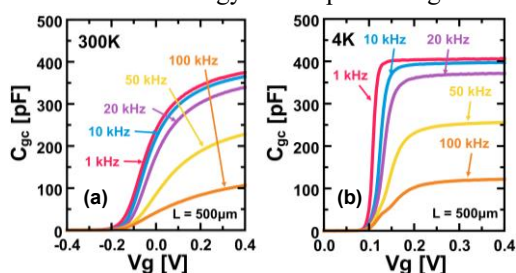


Fig. 1a (left) and Fig.1b (right) show C_{gc} - V_g curves at 300 K and 4 K with the frequencies of 1 kHz to 100 kHz

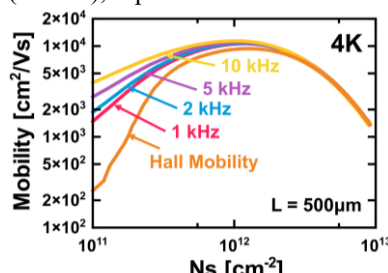


Fig. 2 Hall and effective mobility with the frequencies of 1 kHz to 10 kHz at 4 K

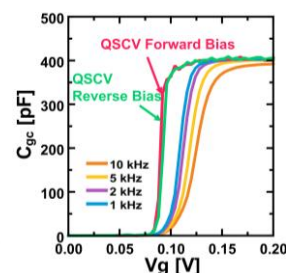


Fig. 3 C_{gc} - V_g by forward and reverse scan of QSCV and split C-V measurements at 4 K

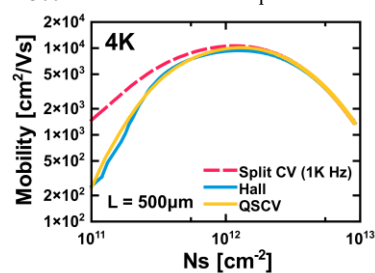


Fig. 4 Hall mobility and effective mobility from QSCV and split CV with the frequency of 1 kHz at 4 K

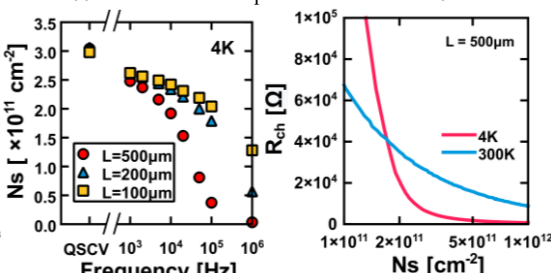


Fig. 5 N_s as a function of frequency for MOSFETs with different gate lengths at 4 K

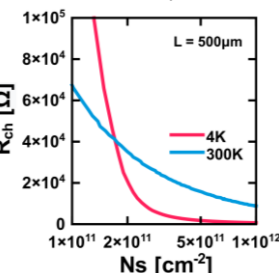


Fig. 6 Channel resistance vs. N_s at 4 K evaluated by Hall measurements.

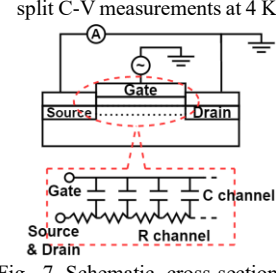


Fig. 7 Schematic cross-section view of inversion layer in a MOSFET with the equivalent circuit

Influence of Channel Resistance on Split C-V Characteristics in MOSFETs and the Correction Based on a Transmission Model for Accurate Evaluation of Effective Mobility

Zhao Jin¹, Yutong Chen¹, Xueyang Han¹, Hiroshi Oka², Takahiro Mori², Kasidit Toprasertpong¹, Mitsuru Takenaka¹ and Shinichi Takagi¹

The University of Tokyo, Faculty of Engineering¹, National Institute of Advanced Industrial Science and Technology²

E-mail: jin@mosfet.t.u-tokyo.ac.jp

[Background] Split C-V is a classic technique for evaluating the electrical properties of MOSFET devices. Specifically, it involves measuring the gate-channel capacitance (C_{gc}) to estimate surface carrier density (N_s) and effective carrier mobility [1]. This technique is particularly valuable for FETs on insulating substrates, where traditional bulk MOS capacitor structures are unavailable [2, 3, 4]. Traditionally, the impact of channel resistance is neglected by choosing a sufficiently low measurement frequency. However, high MOS channel resistance due to low N_s , long channel length, and low mobility can degrade the accuracy of C_{gc} measurements and the subsequent evaluation of N_s and effective mobility [5]. When there is limitation to lowering the measurement frequency, a method to eliminate the influence of channel resistance on C_{gc} is very important. In this study, we propose and demonstrate a C_{gc} correction method by using a transmission model for MOS channels.

[Experiments] Fig. 1 illustrates the measurement setup for split C-V and the transmission line equivalent circuit model of a MOSFET. This model includes the differential capacitance and resistance along the channel length of a MOSFET [5]. In practical measurements, a phase change occurs due to the delay caused by RC circuits, which affects the accuracy of C_{gc} measurements [5]. Fig. 2 presents examples of the calculated discrepancy between the measurable capacitance and the correct C_{gc} as a function of measurement frequency. The discrepancy increases with higher frequencies and appears at lower frequencies for higher channel resistance and gate oxide capacitance. Using a transmission line model, the relationship between measured parallel capacitance $C_{measure}$, conductance $G_{measure}$, and C_{gc} are expressed as a function of measurement frequency ω , as seen in Table 1. The corrected C_{gc} is evaluated as a function of ω by using a parameter τ , which can be determined by experimental $C_{measure}$ and $G_{measure}$. Bulk-Si n-MOSFETs on a (100) surface were used for measurements. A device with channel length (L)/width (W) of 200 μm /100 μm and gate SiO_2 thickness (T_{ox}) of 25 nm was used for room temperature measurements. Also, a device with L/W of 500 μm /160 μm and T_{ox} of 6.8 nm was used for measurements of temperature dependence.

[Results] Fig. 3(a) shows the original and corrected N_s at a given V_g . The variation in N_s with different frequencies is significantly reduced after applying the correction. Fig. 3(b) depicts the estimated N_s at a given V_g as a function of frequency at various temperatures. At 4 K, the change in N_s is more substantial. However, the proposed method effectively corrects N_s even at this temperature. Fig. 5 illustrates the effective mobility determined from N_s with and without correction at 4 K at different frequencies. Without correction, the mobility for N_s below 10^{12} cm^{-2} is strongly dependent on the measurement frequency due to inaccuracies in estimated N_s . The correction method provides consistent and accurate effective mobility values until the measurement frequency of 20 kHz.

[Conclusion] We proposed a method to correct the split C-V characteristics and have verified the effectiveness through experiments. Accuracy in effective mobility evaluation can be significantly improved for MOSFETs with high channel resistance by using this method.

[References] [1] C. G. Sodini et al, Solid-State Electron., 25 (1982) 833 [2] M. Schmidt et al, Solid-State Electron., 53 (2009) 1246 [3] H. Oka et al, VLSI Tech. & Circ. (2022) [4] I. Nifa et al, Microelectron. Eng. 215 (2019) 110976 334 [5] P. Chow et al, IEEE TED, 33 (1986) 1299

[Acknowledgments] This work was supported by a project, JPNP16007, commissioned by the New Energy and Industrial Technology Development Organization (NEDO), Japan.

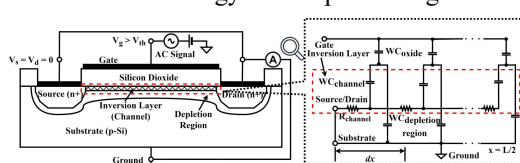


Fig. 1 Measurement setup of split C-V and equivalent circuit [5] of in-version-layer of a MOSFET

Relationship	Equation
$C_{measure} = C_{gc}$	$\frac{1}{\omega} \frac{\sinh \sqrt{Z\tau\omega} + \sin \sqrt{Z\tau\omega}}{\sqrt{Z\tau\omega} \cos \sqrt{Z\tau\omega} + \cosh \sqrt{Z\tau\omega}}$
$G_{measure} = C_{gc}$	$\frac{1}{\omega} \frac{\sinh \sqrt{Z\tau\omega} - \sin \sqrt{Z\tau\omega}}{\sqrt{Z\tau\omega} \cos \sqrt{Z\tau\omega} + \cosh \sqrt{Z\tau\omega}}$
$C_{measure} = \frac{\sinh \sqrt{Z\tau\omega} - \sin \sqrt{Z\tau\omega}}{\omega \sinh \sqrt{Z\tau\omega} + \sin \sqrt{Z\tau\omega}}$	

Table 1 Relationship between measured $C_{measure}$, $G_{measure}$, and C_{gc} expressed by frequency ω

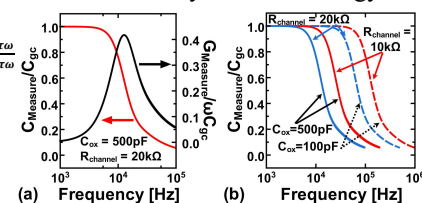


Fig. 2 Calculated measurable C_{gc} versus frequency

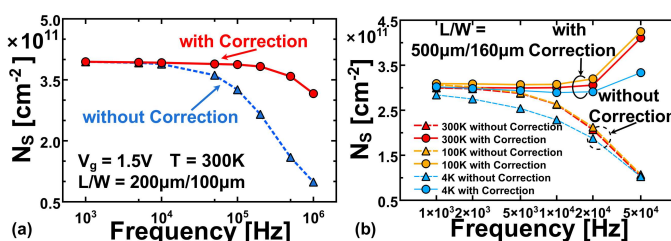


Fig. 3 Change in evaluated N_s at certain gate voltage with and without correction as a function of measurement frequency at different temperatures

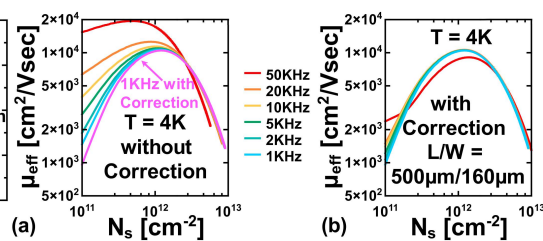


Fig. 4 Effective mobility calculated from split C-V with and without correction at 4 K

シリコン 2 次元超格子 MOS トランジスタの提案と有効質量増大の観測

Si two-dimensional-superlattice MOS transistor and effective-mass enhancement

静大院工¹, 静大電研² ○(M2)杉本 裕人¹, 赤堀 海洋¹, 竹内 滉太¹, 戸澤 佑亮¹,
佐藤 弘明^{1,2}, 堀 匡寛^{1,2}, 小野 行徳^{1,2}

Shizuoka Univ., [○]Yuto Sugimoto, Hiro Akahori, Kota Takeuchi, Yuryo Tozawa,
Hiroaki Satoh, Masahiro Hori, Yukinori Ono

E-mail: sugimoto.yuto.19@shizuoka.ac.jp

【はじめに】2次元超格子構造は、2次元電子系のバンド変調（分散関係の変調）を誘起し、これにより電子相関が増強され、超伝導などの新奇物性を発現させることができる。このためグラフェンなどの2次元層状物質[1]やGaAsヘテロ構造[2]において活発に研究がなされているが、Siを用いた検討はなされていない。ここでは、MOS (SiO₂/Si 界面) チャネル電子系の超伝導化の可能性を探索することを目的に、MOS 界面における強相関電子系の生成を目指して、「2次元超格子 MOS トランジスタ」とその作製プロセスを提案する。また、実際に試作し、低温 ($T=0.3\sim 3.0$ K) において、強い電子相関の生成に必須となる、有効質量の顕著な増大を観測したので報告する。

【2次元超格子構造とその作製プロセス】2次元超格子構造は、ゲート熱酸化プロセスを2段階に分けることにより形成する。第一段の熱酸化により形成した酸化膜上に電子線描画を用いてレジストの2次元配列パターンを形成し、続いてこれをマスクに HF ウエットエッチングにより部分的に酸化膜を除去する (Fig. 1(a) top)。その後、追酸化を行い酸化膜厚に周期的なアンデューレーションを生じさせる (Fig. 1(a) bottom)。同構造においては、酸化膜厚の薄い領域に電界が集中し、ゲート電圧印加により2次元チャネルの電子密度に空間的な濃淡パターンが生じると期待される。実際の試作には SOI 基板 ((100)面) を用い、80 nm ピッチの正方2次元周期構造を形成した (Fig. 1(b)の AFM 像参照)。第一段、第二段の熱酸化膜の膜厚は、ともに 15 nm に設定した。

【測定結果とその意義】ここでは、電界効果移動度 (μ_{fe}) と有効質量 (m^*) のチャネル電子密度 (N_s) 依存性を計測し、2次元パターンのない通常 MOS トランジスタとの比較を行った。 μ_{fe} はゼロ磁場での伝導度計測により求め、一方、 m^* と N_s は、Shubnikov-de Haas (SdH) 振動を解析することにより求めた[1,3]。Fig. 1(b)は、 $T=0.3$ K における μ_{fe} の N_s 依存性を示している。2次元超格子構造を有する場合、低 N_s 側で μ_{fe} が低く抑えられており、特に矢印で示されているように μ_{fe} の立ち上がりを与える N_s が増大している。これは、2次元電子系が金属絶縁体転移する際の臨界電子密度の増大を反映しているものと予想され、電子相関の影響が強く示唆される。Fig. 1(c)は、有効質量比 m^*/m_e (m_e は真空中での電子質量) の N_s 依存性を示している。2次元超格子構造を有する場合、低 N_s 側で m^*/m_e が急激にかつ大幅に増大している。有効質量の増大は、伝導帯電子のバンドの曲率の低下を意味しており、そのような場合、運動エネルギーに打ち勝って電子相関（電子間相互作用）が強く働くことが知られている[4]。ここでの有効質量増大の観測は、そのような強相関電子系をシリコン MOS トランジスタ上で実現できる可能性を示している。

本研究は、科研費 (22K18294, 24H00312, 24K00942) の助成を受けて行われた。

[1] Y. Cao et al., *Nature* **556** (2018) 80.

[2] D. Q. Wang et al., *Nano Lett.* **23** (2023) 1705.

[3] F. F. Fang et al., *PRB* **16** (1977) 4446.

[4] A. A. Shashkin and S. V. Kravchenko, *Appl. Sci.* **9** (2019) 1169.

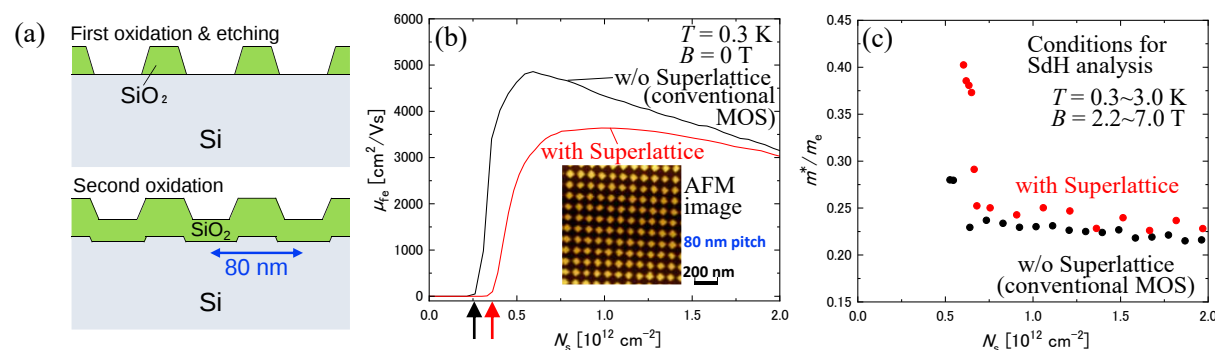


Fig.1: (a) Process for the two-dimensional superlattice. (b) Field-effect mobility μ_{fe} as a function of the electron density N_s . The arrows correspond to the threshold voltages, reflecting the critical densities of the metal-insulator transition. Inset shows the AFM image of the superlattice. (c) Effective mass ratio m^*/m_e as a function of N_s , derived using SdH oscillations.

[110]方向に応力がかかった Si 量子井戸における谷分離の第一原理計算

First-principal calculations on valley splitting in Si quantum wells stressed in the [110] direction

NTT 物性研¹, 島根大学² °林 稔晶¹, 影島 博之², 登坂 仁一郎¹, 西口 克彦¹

NTT BRL¹, Shimane Univ.², °Toshiaki Hayashi¹, Hiroyuki Kageshima², Jinichiro Noborisaka²,

Katsuhiko Nishiguchi²

E-mail: tshk.hayashi@ntt.com

Si 閉じ込め構造における谷分離の研究は量子ビットのデコヒーレンスを誘発する原因の一つとして近年注目を浴びている[1,2]。通常、Si-MOS や量子ドットデバイスにおける谷分離の大きさは 1meV 以下と小さい。それに対し、我々のグループは SIMOX 基板の Si/埋め込み酸化膜界面において約 23meV と非常に大きい谷分離を発見してきた[3]。これは Si ベース量子ビットのデコヒーレンス抑制につながるかもしれない。しかし、Si/埋め込み酸化膜界面で何が起きているかを実験的にアクセスすることが難しく、巨大谷分離の起源は長年謎のままだった。我々のデバイスは高温熱処理をおこなった特殊なものであるということを踏まえ、Si/埋め込み酸化膜界面に大きな歪が生じ、その結果として谷分離が増大するという仮説を立て、実験結果の再解釈を実施した[4]。

我々は実験と並行して Si 量子井戸の第一原理計算を実施している[5]。特に今回の発表では [110]方向に応力が印加された場合について議論する。プログラムは PHASE を用いている。計算モデルは (001)面に平行な Si スラブで、両面とも H 原子で終端してある。歪テンソルを用いて応力を歪に変換[6]し、 $[\bar{1}10]$ 、 $[110]$ 、 $[001]$ 方向にと

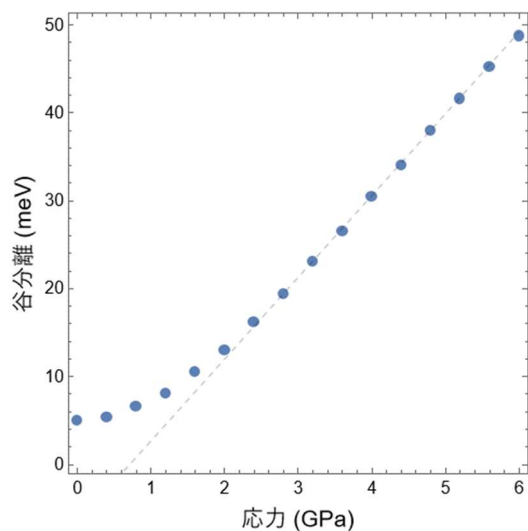


図 1. 谷分離の応力依存性

った基本格子ベクトルの長さを調節することによって歪んだ格子をモデル化した。図 1 は 21 原子層の Si スラブにおける谷分離を応力の関数としてプロットしている。低圧力では量子閉じ込めによる谷分離が支配的であるが、応力が強くなるにつれ谷分離はその強度に比例する。これは大川の kp 法による解析結果[7]を再現している。以上から、電界による閉じ込め効果[5]と歪の効果を組み合わせれば、我々が実験的に示した巨大谷分離を再現できる可能性を示せた。

[1] M. Lodari, et al., Phys. Rev. Lett. 128, 176603 (2022).

[2] G. Wang, et al., Phys. Rev. B 105, 165308 (2022).

[3] K. Takashina, et al., Phys. Rev. Lett. 96, 236801 (2006).

[4] J. Noborisaka, et al., J. Appl. Phys. 135, 204302 (2024).

[5] 林、影島、登坂、西口、第 84 回応用物理学会 秋季学術講演会 21a-A304-7.

[6] V. Sverdlov, “Strain-Induced Effects in Advanced MOSFETs”, Springer-Verlag (2011).

[7] F. J. Ohkawa and W. Uemura, J. Phys. Soc. Jpn. 43, 917 (1977).

MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (12) -欠陥構造緩和(Ⅲ)-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (12) -Lattice relaxation (Ⅲ)-

静大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法によってナノ MOS 素子内に存在する MOS 界面欠陥の単一性の判定法を確立し, 単一欠陥からの CP 電流 I_{CPS} が $0 \sim 2fq$ (f :ゲートパルス周波数, q :電気素量) の様々な値を示すことを発見した[1]. これにより単一欠陥が 2 電子準位を有していることを実証し, すべての I_{CPS} 値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1). また, $I_{CPS}=fq$ 一定を大前提としている従来 CP 理論を本質的に改訂した[2]. さらに, 単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し, 既報[3]の ESR による P_{b0} センターの DOS との一致性を示した. そして, 各準位における伝導帯電子の捕獲時定数の実測[4], および, 各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5], これらの値を考察してこの 2 電子準位がドナー型 (D-like) とアクセプタ型 (A-like) の両性を有することに整合することを実証した. 以上の結果から, 界面欠陥が P_{b0} センターであることを単一欠陥単位 (原子スケール) ではじめて実証した. さらに, D-like および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から, D-like 準位が電子捕獲した直後に欠陥構造緩和が起きていることの直接観測に成功した[6][7]. また, 両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から, A-like 準位の捕獲電子が再結合した直後に欠陥構造緩和が起きていることの直接観測に成功した[8]. さらに, 電子捕獲過程における欠陥構造緩和時定数と, 再結合過程における欠陥構造緩和時定数との間に強い正の相関関係があることを発見し, 電子捕獲・再結合過程における可逆的な欠陥構造緩和過程の存在を発見した.

本件では欠陥構造緩和についてさらに考察する. 図 2 に示すように構造緩和が D-like 準位の伝導帯電子捕獲直後, および, A-like 準位捕獲電子の再結合直後に起きていることから, 伝導帯電子の捕獲時の放出エネルギー, および, A-like 準位捕獲電子の再結合時の放出エネルギーが構造緩和のエネルギー源と推測される. しかし, 例えばタイプ 1 欠陥では, 伝導帯電子の D-like 準位への捕獲過程は存在するためこの放出エネルギーで構造緩和が生じ得るが, A-like 準位の捕獲電子は伝導帯に放出されていて再結合過程に寄与しないため構造緩和が生じ得ないことになる. これは CP サイクルの繰返しによる可逆的な構造緩和と矛盾する. 図 3 に示すように電子捕獲・放出 (再結合に限らない) に伴い欠陥内の電荷バランスに変化が生じ, 系安定化のために可逆的に構造緩和が生じると考える. 欠陥のタイプによって検出できる遷移過程が異なることを考慮することですべての実験結果を矛盾なく説明することが可能である.

本研究の一部は科研費 No. 20H02203 の助成を受けて行われた.

参考文献

[1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015.

[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001.

[5] 土屋 他, 第 84 回秋応物 21a-A304-10~11, 2023.

[7] 土屋 他, 第 70 回春応物 16a-A403-9~10, 2023.

[2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.

[4] 土屋 他, 第 69 回春応物 23p-E307-18~20, 2022.

[6] 土屋 他, 第 83 回秋応物 22a-A102-1~2, 2022.

[8] 土屋 他, 第 71 回春応物 23a-12J-5~6, 2024.

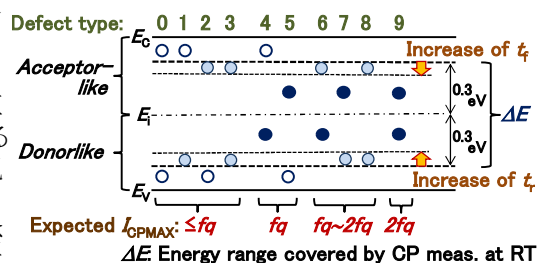


Fig. 1 Classification of single amphoteric Si/SiO₂ interface-defects [1, 2].

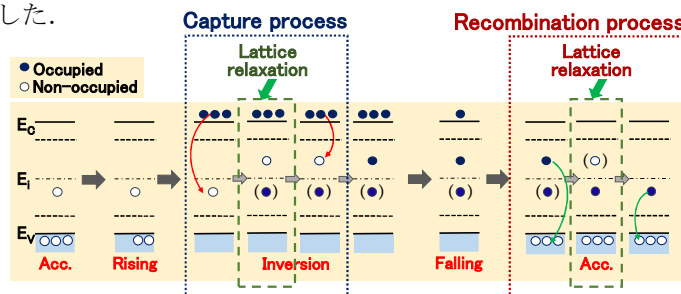


Fig. 2 Electron capture/emission processes occurring at a Type-9 defect during one cycle of the gate pulse using the schematic energy-band diagrams.

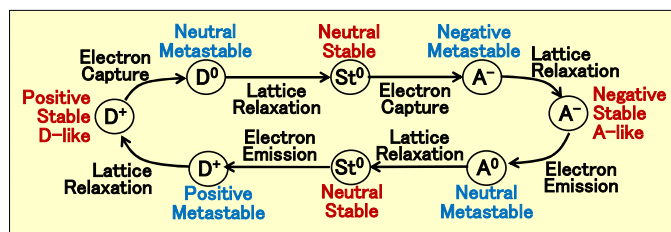


Fig. 3 State transitions including lattice relaxation associated with the capture and emission of electrons during one cycle of the gate pulse.

MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (13) -準位深さの影響-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (13) -Effects of level depth-

静岡大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法によってナノ MOS 素子内に存在する MOS 界面欠陥の単一性の判定法を確立し, 単一欠陥からの CP 電流 I_{CPS} が $0 \sim 2fq$ (f :ゲートパルス周波数, q :電気素量) の様々な値を示すことを発見した[1]. これにより単一欠陥が 2 電子準位を有していることを実証し, すべての I_{CPS} 値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1). また, $I_{CPS}=fq$ 一定を大前提としている従来 CP 理論を本質的に改訂した[2]. さらに, 単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し, 既報[3]の ESR による P_{b0} センターの DOS との一致性を示した. そして, 各準位における伝導帯電子の捕獲時定数の実測[4], および, 各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5], これらの値の考察からこの 2 電子準位がドナー型 (D-like) とアクセプタ型 (A-like) の両性を有することに整合することを実証した. 以上の結果から, 界面欠陥が P_{b0} センターであることを単一欠陥単位 (原子スケール) ではじめて実証した. さらに, D-like および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から, D-like 準位が電子捕獲した直後に欠陥構造緩和が起きていることの直接観測に成功した[6][7]. また, 両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から, A-like 準位の捕獲電子が再結合した直後に欠陥構造緩和が起きていることの直接観測に成功した[8]. さらに, 電子捕獲過程における欠陥構造緩和時定数と, 再結合過程における欠陥構造緩和時定数の間に強い正の相関関係を発見し, 電子捕獲・再結合過程における可逆的な欠陥構造緩和過程の存在を発見した.

本件では単一欠陥の A-like や D-like 準位における電子捕獲・再結合時定数に及ぼす各準位深さの影響を検討する. τ_A (τ_D) を A-like (D-like) 準位への伝導帯電子の捕獲時定数, τ_{RA} (τ_{RD}) を A-like (D-like) 準位に捕獲された電子の再結合時定数とする. τ_A については欠陥 Type2 と 5 の比較を行い, A-like 準位深さによる有意差は無かった. τ_D については Type1, 8 と Type6, 9 の比較を行った (図 2). 図から, バラツキはあるが最小二乗法による両者の回帰直線はほぼ同一であり, 準位深さの影響は見られない. 従って, 両準位とも電子捕獲時定数は準位深さに依存しておらず, 少なくともバンドギャップ中心 $E_i \pm 0.3$ eV の範囲内では両準位の捕獲断面積は各々一定と言える. なお, 図 2 の横軸 CP_ V_{Top} は各単一欠陥位置における伝導帯電子濃度を統一するために欠陥毎に設定したゲートパルスの Top 電圧であり, τ_D が CP_ V_{Top} に依存するのは, D-like 準位の捕獲断面積が大きいから, CP_ V_{Top} が高い欠陥ほど実効的な電子濃度が高くなるためである[7]. 一方, τ_{RA} については Type2, 6, 8 と Type5, 7, 9 の比較を行った (図 3). 図から, 深い準位 (Type5, 7, 9) の方が τ_{RA} は大きい傾向にある. 深い準位ほど捕獲電子に対する原子核の束縛力が強いと考えられる. なお, τ_{RD} についてはデータ不十分のため省略する.

本研究の一部は科研費 No. 20H02203 の助成を受けて行われた.

参考文献

[1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015.

[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001.

[5] 土屋 他, 第 84 回秋応物 21a-A304-10~11, 2023.

[7] 土屋 他, 第 70 回春応物 16a-A403-9~10, 2023.

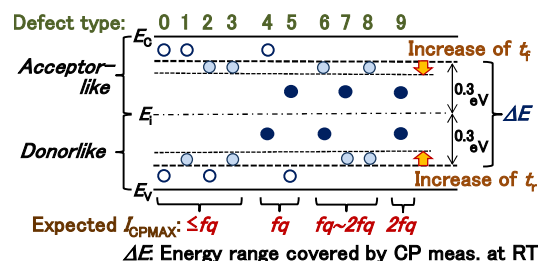


Fig. 1 Classification of single amphoteric Si/SiO₂ interface-defects [1, 2].

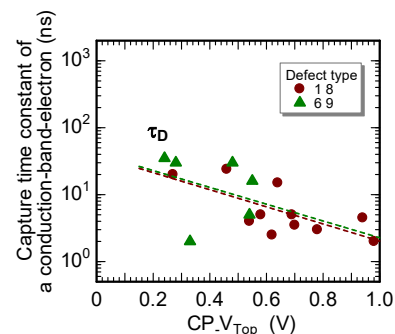


Fig. 2 Comparison of capture time constant of a conduction-band electron at a D-like state τ_D dependence upon CP_ V_{Top} between Type 1&8 and 6&9 defects.

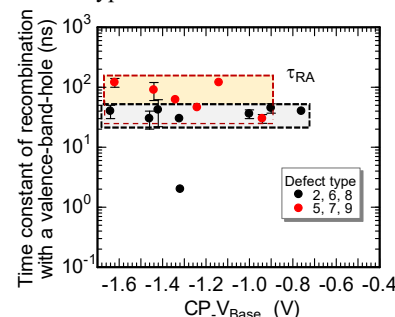


Fig. 3 Comparison of recombination time constant of an electron captured at an A-like state with a valence-band-hole τ_{RA} as a function of CP_ V_{Base} between Type 2, 6, 8 and Type5, 7, 9 defects.

[2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.

[4] 土屋 他, 第 69 回春応物 23p-E307-18~20, 2022.

[6] 土屋 他, 第 83 回秋応物 22a-A102-1~2, 2022.

[8] 土屋 他, 第 71 回春応物 23a-12J-5~6, 2024.

等電子トラップ TFET に内在する二重量子ドットの大規模特性評価

Large-scale Characterization of Double Quantum Dots in Isoelectronic-Trap-Assisted Tunnel Field-Effect Transistors

産総研 ○(P)千足 勇介, 稲葉 工, 八木下 淳史, 加藤 真, 石川 智弘,
岡 博史, 加藤 公彦, 浅井 栄大, 小倉 実, 中山 隆史, 飯塚 将太, 森 貴洋

National Institute of Advanced Industrial Science and Technology (AIST)

°Yusuke Chiashi, Takumi Inaba, Atsushi Yagishita, Makoto Kato, Tomohiro Ishikawa, Hiroshi Oka,
Kimihiko Kato, Hidehiro Asai, Minoru Ogura, Takashi Nakayama, Shota Iizuka, and Takahiro Mori

E-mail: yusuke.chiashi@aist.go.jp

量子コンピュータやセンサをはじめとする量子技術の応用へ向けて、シリコンスピン量子ビットに注目が集まっている。我々はこれまで、等電子トラップ援用トンネルトランジスタ(IET-TFET)において、10 K までの高温量子ビット動作に成功してきた[1]。IET-TFET の量子ビット動作には、電子を閉じ込める量子ドットが直列に結合した二重量子ドット構造が利用される。一方の量子ドットは IET によるものだと考えられるが、もう一方は偶発的に存在した未知の量子ドットであり由来は明らかとなっていない。

今回、偶発的に存在した量子ドットの正体を探るべく、4K において 354 個の IET-TFET 素子を評価し、二重量子ドット特性の統計を評価した結果を報告する。実験では 300 mm 極低温オートプローバーを用いて、300 mm ウェハ上に形成した IET-TFET を評価した。

Fig. 1(a)は IET-TFET から観測された典型的な微分コンダクタンスの電圧マッピングである。量子ドットを介した伝導により、様々な特徴線が生じている様子が確認される。特徴線のうち、左下 $V_s < 0$ V に観測されるギザギザ線は、二重量子ドットにおいて片方のドットに連続して電子が入る様子を反映しており[2]、以前報告された量子ビットとして動作する素子においても観測されている。ギザギザ線は二重量子ドットの捕獲可能電子数に差がある場合に生じることがわかっている。一般に、IET のような単一不純物や欠陥が量子ドットとなる場合、捕獲可能な電子数は 2 個となる。一方で不純物がクラスター化した場合、その大きさに応じて捕獲可能電子数が増加することが知られている[3]。よって観測されたギザギザ線は、IET 量子ドットと、クラスター化した何らかの不純物もしくは欠陥のつくる量子ドットに由来することが示唆される。次に、統計的傾向を探るため、取得した電圧マッピング全体について Fig. 1(b)のようにギザギザ線を方向で分類した。Fig. 1(c)は電圧マッピングを分類したヒストグラムである。ギザギザ線は測定した全デバイスのうち 63 %で観測され、出現するギザギザ線の方向が Direction 1 と 3 に偏っていることが明らかとなった。等価回路モデルを用いたシミュレーション[4]によってこれを解析すると、この特徴を与える二重量子ドットは弱結合であり、またソース側に IET 量子ドットが、ドレイン側にクラスター由来と考えられる量子ドットが存在する構造になっていることがわかった。弱結合状態は、量子ビットの動作に必要なスピントロニクス現象の発現条件でもあり、本素子が量子ビット動作するという事実とも矛盾がない。更なる高温動作の実現には、クラスター由来量子ドットを消失させ、別途制御された量子ドットを形成する必要がある。

【謝辞】本研究は文部科学省光・量子飛躍フラッグシッププログラム(Q-LEAP) JPMXS0118069228 の一環として実施された。本研究におけるデバイスは産総研スーパークリーンルーム(SCR)において試作された。【参考文献】[1]K. Ono *et al.*, *Sci. Rep.* **9**, 469 (2019). [2] T. Ota *et al.*, *Phys. Rev. Lett.* **93**, 066801(2004). [3] D. Moraru *et al.*, *Sci. Rep.* **4**, 6219 (2014). [4] A. V. Danilov *et al.*, *Phys. Rev. B* **65**, 125312 (2002).

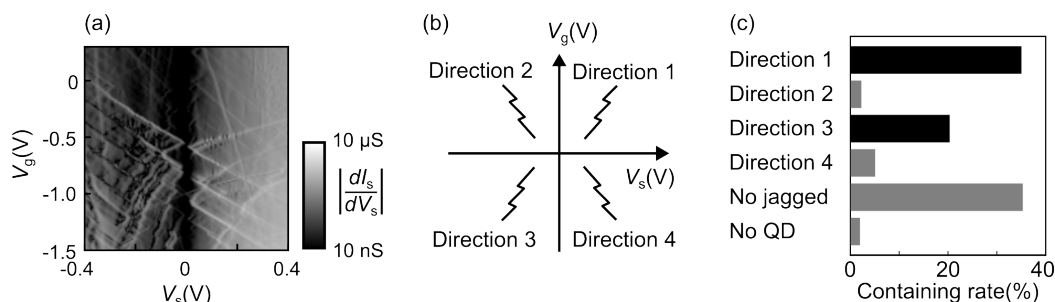


Figure 1 (a)The differential conductance of the source current. (b)The classification of jagged pattern. (c) The histogram of the jagged patterns on 354 TFETs. No QD means the samples without coulomb blockade feature.

P 型 Si 二重量子ドットにおける磁場に依存した 量子キャパシタンスの評価

Evaluation of magnetic field-dependent quantum capacitance in a p-type Si double quantum dot

東工大¹, 日立研開² °和田 陸久¹, 溝口 来成¹, 近藤 知宏¹, 土屋 龍太², 峰 利之²,
久本 大², 水野 弘之², 米田 淳¹, 小寺 哲夫¹

Tokyo Tech¹, R&D Group, Hitachi Ltd.², °Riku Wada¹, Raisei Mizokuchi¹, Chihiro Kondo¹,
Ryuta Tsuchiya², Toshiyuki Mine², Digh Hisamoto², Hiroyuki Mizuno², Jun Yoneda¹, Tetsuo Koderai¹

E-mail: wada.r.ad@m.titech.ac.jp

シリコンスピン量子ビットのスピン状態読み出しにおいて重要な役割を果たすパウリスピン閉塞 (PSB) という現象では、様々な要因が PSB を解除し、読み出しの妨げになるといった問題がある。PSB を解除する要因の一つに、スピン軌道相互作用(SOC)がある[1]。SOC は p 型のデバイスで強く働き、集積化に適した高速なスピン操作に利用されてきた。本研究では、PSB における SOC の影響の理解に向け、p 型シリコン二重量子ドットのドット間電荷遷移(ICT)の磁場依存性を調べた。

実験では、ゲートセンシングという手法を用いて[2]、いくつかの ICT における量子キャパシタンスの磁場依存性を調べた(Fig.1)。ゲートセンシングでは、ゲート電極に高周波を印加し、その反射波の位相変化からキャパシタンス変化を読み取る。ドット間のトンネル結合が十分に大きく、遷移が可能なスピン状態間のトンネリングであれば量子キャパシタンスが生じる。今回の結果では、それぞれの ICT で異なる磁場依存性が見えていることから、各 ICT でのスピン状態や SOC の大きさが異なっていることが示唆される。Fig. 1(a)では、磁場によって、量子キャパシタンスを持つ準位から持たない準位へ基底準位の遷移が現れており、典型的な PSB が生じていると考えられる。一方で、Fig. 1(b)の ICT では、0.3 T 以上では磁場に比例して ICT の位置が変わっている。このような振る舞いは、異なる磁場依存性をもつ準位間が強い SOC 等によって結合することで量子キャパシタンスが生じている場合に観測される。講演では、上記の結果をより詳細に解析し、PSB 解除に対する SOC の影響について議論する予定である。

本研究は JST Moonshot R&D Grant Number JPMJMS2065, MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228, JST さきがけ(JPMJPR21BA), 科研費(JP23H05455, JP23H01790, JP23K17327)の支援を受けて遂行された。

[1] T. Lundberg, et al., *npj Quantum Inf.* **10**, 28 (2024). [2] J.I. Colless, et al., *Phys. Rev. Lett.* **110**, 046805 (2013).

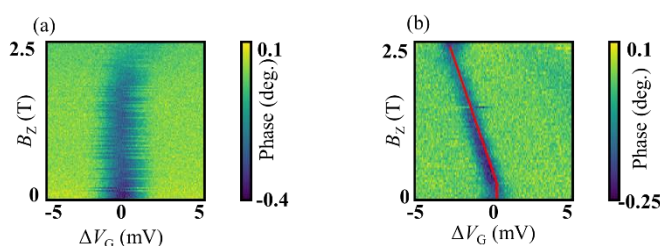


Fig.1 Magnetic field dependences of ICTs.

シリコン PN 単電荷ポンプによる電子正孔比較

Comparison of electron and hole by a silicon PN single-charge pump

NTT 物性基礎研 ○山端 元音、藤原 聡

NTT Basic Research Labs., ○Gento Yamahata and Akira Fujiwara

E-mail: gento.yamahata@ntt.com

クロック制御により電荷を一つずつ転送する単電荷ポンプは正確な電流生成が可能であるため電流標準への応用が期待される [1]。応用へ向け、歩留まり良く高精度動作が可能な素子設計条件を見出す必要がある [2]。一つの指針として、有効質量の重い正孔を使うことにより転送精度向上が期待され、これまで極低温での特性評価により単正孔ポンプの優れた特性を観測してきた [3,4]。一方、より正確にデバイス物理を理解するためには単一の素子での電子と正孔の比較が望ましい。今回、P 型と N 型の電極を持つ単電荷ポンプを利用し電子と正孔の特性を比較したので報告する。

素子の概略図を図 1(a) に示す。直径 10 nm オーダーのシリコン細線上に 3 つの微細ゲート電極 (GN, GC, GP) を持つ。細線及び細線と繋がる幅広部分はもう 1 層のゲート電極 (UG) に覆われている。UG の外側領域をそれぞれ N 型 (リン)、P 型 (ボロン) に不純物ドーピングし、N 型ソース、P 型ドレインを形成した。動作原理を図 1(b), (c) のポテンシャル図で説明する。まず、ドレイン側 (b) もしくはソース側 (c) での再結合電流を十分大きくするためドレイン側にバイアス電圧 $V_b \sim 1$ V を印加した。UG の電圧により細線領域に存在する電荷を選択できる。単電荷転送では入口障壁の形状が重要となるため [4]、今回は GC に高周波電圧 (周波数 f) を印加しどちらの極性でも入口障壁となるようにして電子正孔比較を行った。この際、単電子 (単正孔) の場合は GP (GN) に負 (正) の DC 電圧を印加し出口側障壁を形成した。これにより単電子もしくは単正孔を転送し正確な電流 $I_p = ef$ (e : 電荷素量) を得ることができる。図 1(d) に電流電圧特性の一例を示す。単電子転送と単正孔転送を単一の素子で観測することに成功した。更に、温度依存性と周波数依存性を調べた結果、数百 MHz 程度までは正孔が優位な特性を持つことが分かった。単一の素子を利用した電子と正孔の初めての比較であり、今後の素子設計における重要な知見である。

参考文献: [1] G. Yamahata *et al.*, Appl. Phys. Lett. **109**, 013101 (2016). [2] A. Fujiwara *et al.*, ECS Trans. **112**, 119 (2023). [3] G. Yamahata *et al.*, Appl. Phys. Lett. **106**, 023112 (2015). [4] G. Yamahata *et al.*, J. Appl. Phys. **135**, 014502 (2024).

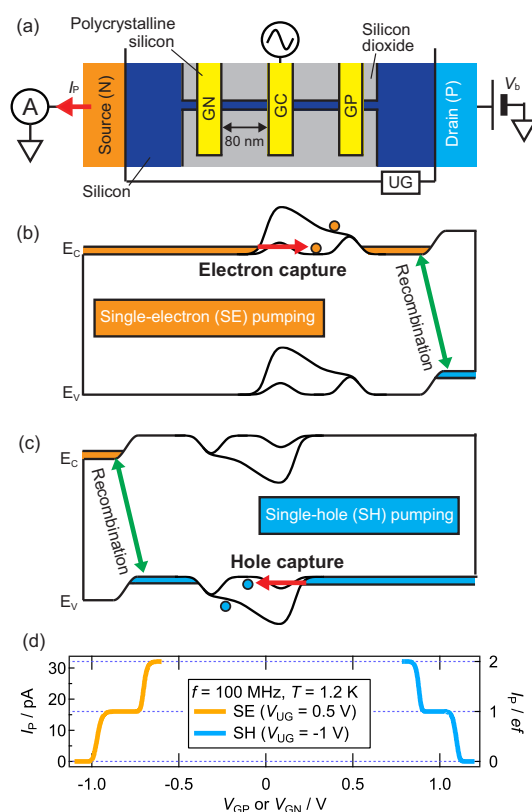


Fig. 1: (a) Schematic of the device with a part of the electrical connections. (b, c) Schematic potential diagrams for single-electron (SE) and single-hole (SH) pumping. (d) I_p and I_p/ef as a function of V_{GP} (SE pumping) or V_{GN} (SH pumping).