

Oral presentation | 11 Superconductivity : 11.5 Junction and circuit fabrication process, digital applications

📅 Wed. Sep 18, 2024 9:00 AM - 11:45 AM JST | Wed. Sep 18, 2024 12:00 AM - 2:45 AM UTC 🏢 B5  
(Exhibition Hall B)

## **[18a-B5-1~10] 11.5 Junction and circuit fabrication process, digital applications**

Yuki Yamanashi(Yokohama Natl. Univ.), Naoki Takeuchi(AIST)

9:00 AM - 9:15 AM JST | 12:00 AM - 12:15 AM UTC

[18a-B5-1]

Coincidence circuit based on single-flux-quantum circuit by using high critical current density fabrication process

○Shigeyuki Miyajima<sup>1</sup>, Hirotaka Terai<sup>1</sup>, Masahiro Yabuno<sup>1</sup>, Shigehito Miki<sup>1,2</sup> (1.NICT, 2.Kobe Univ.)

---

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

9:15 AM - 9:30 AM JST | 12:15 AM - 12:30 AM UTC

[18a-B5-2]

Demonstration of light-speed propagation of a pulse used for cell selection in an impulse-driven memory

○Taichi Sato<sup>1</sup>, Feng Li<sup>1</sup>, Masamitsu Tanaka<sup>1</sup>, Akira Fujimaki<sup>1</sup> (1.Nagoya Univ.)

---

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

9:30 AM - 9:45 AM JST | 12:30 AM - 12:45 AM UTC

[18a-B5-3]

Demonstration of a superconducting synapse for a stochastic crossbar array

○Wenhui Luo<sup>1</sup>, Naoki Takeuchi<sup>2</sup>, Olivia Chen<sup>3</sup>, Nobuyuki Yoshikawa<sup>1</sup> (1.IAS, YNU, 2.G-QuAT, AIST, 3.Kyushu Univ.)

---

9:45 AM - 10:00 AM JST | 12:45 AM - 1:00 AM UTC

[18a-B5-4]

Design of a butterfly processing circuit using single flux quantum majority gate

○Ryosuke Segawa<sup>1</sup>, Yuki Yamanashi<sup>1</sup>, Nobuyuki Yoshikawa<sup>1</sup> (1.Yokohama Natl. Univ.)

---

10:00 AM - 10:15 AM JST | 1:00 AM - 1:15 AM UTC

[18a-B5-5]

Design of an error rate test circuit for measuring radiation-induced malfunctions in superconducting circuits

○Kazuto Osakabe<sup>1</sup>, Yuki Yamanashi<sup>1</sup>, Nobuyuki Yoshikawa<sup>1</sup> (1.Yokohama Natl. Univ.)

---

10:30 AM - 10:45 AM JST | 1:30 AM - 1:45 AM UTC

[18a-B5-6]

Growth of single-crystal Nb thin films by molecular beam epitaxy and quantum device application

○Manabu Tsujimoto<sup>1</sup>, Yoshiro Urade<sup>1</sup>, Yuichi Fujita<sup>1</sup>, Fumihiro China<sup>1</sup>, Tomohiro Nozaki<sup>1</sup>, Takayuki Nozaki<sup>1</sup>, Kunihiro Inomata<sup>1</sup>, Wataru Mizubayashi<sup>1</sup> (1.AIST)

---

10:45 AM - 11:00 AM JST | 1:45 AM - 2:00 AM UTC

[18a-B5-7]

Characterization of Nb-based Josephson parametric oscillators

○Hongxiang shen<sup>1</sup>, Nobuyuki Yoshikawa<sup>1,2</sup> (1.IAS,YNU, 2.DECE,YNU)

---

11:00 AM - 11:15 AM JST | 2:00 AM - 2:15 AM UTC

[18a-B5-8]

Design of a phase discrimination circuit using adiabatic quantum flux parametron with low current density Josephson process

○Yoshiaki Nagamatsu<sup>1</sup>, Yuki Yamanashi<sup>1,2</sup>, Nobuyuki Yoshikawa<sup>1,2</sup> (1.Yokohama National Univ., 2.Yokohama National University IAS.)

---

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

11:15 AM - 11:30 AM JST | 2:15 AM - 2:30 AM UTC

[18a-B5-9]

Evaluation of cascaded flux transmission circuits using  $\pi$  junctions

○Hiroki Hori<sup>1</sup>, Taichi Sato<sup>1</sup>, Feng Li<sup>1</sup>, Masamitsu Tanaka<sup>1</sup>, Akira Fujimaki<sup>1</sup> (1.Nagoya Univ.)

---

11:30 AM - 11:45 AM JST | 2:30 AM - 2:45 AM UTC

[18a-B5-10]

Effect of direction of circulating current in 0-0- $\pi$  SQUID on half-flux quantum logic gates

○Soma Deguchi<sup>1</sup>, Taichi Sato<sup>1</sup>, Hiroki Hori<sup>1</sup>, Kai Nishizaki<sup>1</sup>, Feng Li<sup>1</sup>, Masamitsu Tanaka<sup>1</sup>, Akira Fujimaki<sup>1</sup> (1.Nagoya Univ.)

---

## 高臨界電流密度プロセスを用いた 単一磁束量子回路に基づく同時計数回路

Coincidence circuit based on single-flux-quantum circuit

by using high critical current density fabrication process

情通機構<sup>1</sup>, 神戸大<sup>2</sup> °宮嶋 茂之<sup>1</sup>, 寺井 弘高<sup>1</sup>, 藪野 正裕<sup>1</sup>, 三木 茂人<sup>1,2</sup>

NICT<sup>1</sup>, Kobe Univ.<sup>2</sup>, °Shigeyuki Miyajima<sup>1</sup>, Hirokata Terai<sup>1</sup>, Masahiro Yabuno<sup>1</sup>, Shigehito Miki<sup>1,2</sup>

E-mail: miyajima@nict.go.jp

2光子同時計数測定は、光干渉を用いる光量子技術を構成するための基本要素である。近年、高検出効率・低暗計数率・低ジッタ特性を有する超伝導ナノストリップ光子検出器(SNSPD)を用いた同時計数測定により、高い忠実度を有したホン-オウ-マンデル(HOM)干渉の観測が実現している。一方で、SNSPDを用いた同時計数測定のみならず、さらなる時間精度の向上および高速動作の実現には、低ジッタと高速性を兼ね備えた同時計数回路が必要不可欠である。これを実現するために我々は、単一磁束量子(SFQ)回路を用いた2入力同時計数回路について開発を行っている。本稿ではジョセフソン接合の臨界電流密度が  $10 \text{ kA/cm}^2$  のプロセスを採用することで、SFQ回路自身及び入力インターフェース回路である磁気結合型 DC/SFQ converter (MC-DC/SFQ converter) のジッタの低減を図った。入力された2つの信号の同時性を検出する際に Confluence Buffer (CB) を用いた場合だと、2入力の時間差が数 ps の場合に誤動作を生ずる可能性があるため、AND ゲートを用いた[1]。時間窓はジョセフソン伝送路(JTL)を用いて 30 ps, 100 ps, 200 ps の3種類を1つの回路内に搭載しており、実験時には独立に用意されたバイアス供給線を用いて1つの時間窓を選択して動作させる。また、2入力に対する同時計数出力だけでなく、各入力端子からの信号確認用の出力端子を実装した。Fig. 1 に作製された2入力同時計数回路の顕微鏡写真を示す。冷却能力が 0.1 W の Gifford-McMahon (GM) 冷凍機に実装して外部から信号を与えて回路動作評価を行った。この回路には、回路内部において信号を2分岐する端子も用意されており、SFQ回路内部のジッタだけで決まる時間窓と、MC-DC/SFQ converter のジッタを含めた時間窓を観測することが可能である。どちらを使用した場合においても、設定された時間窓内において同時計数出力が得られていることを確認した。講演では実験及び結果の詳細を報告する。

[1] 宮嶋茂之 他, 第80回応用物理学会秋季学術講演会, 20p-C213-13

**謝辞** 本研究の一部は文部科学省光・量子飛躍フラッグシッププログラム(Q-LEAP) JPMXS0118067634 の助成を受けたものである。また本研究に使用された回路は、国立研究開発法人産業技術総合研究所の超伝導量子回路試作施設 (Qufab) において作製された。

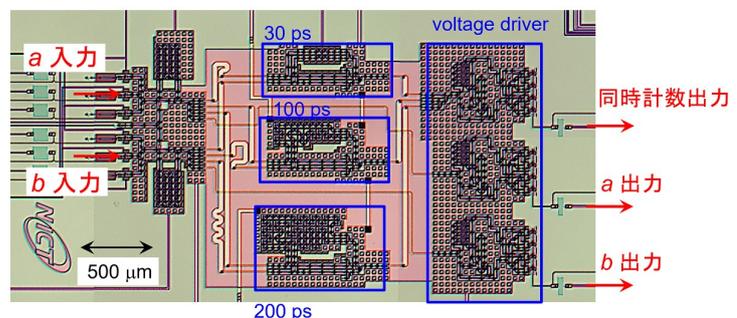


Fig. 1. 臨界電流密度が  $10 \text{ kA/cm}^2$  のプロセスで作製された2入力 SFQ 同時計数回路の顕微鏡写真。

# インパルス駆動型メモリにおけるセル選択用パルスの光速伝搬実証

## Demonstration of light-speed propagation of a pulse used for cell selection in an impulse-driven memory

名古屋大工<sup>○</sup>佐藤 太一, 李 峰, 田中 雅光, 藤巻 朗

Nagoya Univ., <sup>○</sup>Taichi Sato, Feng Li, Masamitsu Tanaka, and Akira Fujimaki

E-mail: taichi.sato@super.nuee.nagoya-u.ac.jp

**背景** 半導体を含めた従来のマトリクスメモリは、配線の充放電時間によりセル選択が1ns程度に制約される。一方、SFQマイクロプロセッサは100GHz動作も可能であり、この速度差が計算システム性能を律速する要因となる。インパルス駆動型メモリは、光速で伝搬するインパルス信号を用いてセル選択を行おうとするもので、メモリの高速動作の壁を打開する可能性を持つ。パルスは微小なエネルギーしか持たないが、 $\pi$ -SQUIDを用いることで、書込みに際してのエネルギーを $10^{-21}$ J程度にまで低減し、パルス駆動を実現した。これまでに単体セルの動作実証や大規模化に向けて取り組んできた[1]が、最大の利点である高速動作性は検証はなされていない。本研究では、セル選択に使うパルスの伝送速度を、実験とJoSIM[2]による数値解析との比較を通し行い、インパルス駆動型メモリの高速動作性を調査した。

**実験** セル選択に使うパルスは受動線路(PTL)を伝搬する。メモリセルとは磁気的に結合するが、その結果、容量やインダクタンス、損失が変化し、位相速度の変化やパルス波形の乱れ、振幅低減が危惧される。本研究では、伝搬の様子を把握するため、8個のメモリセルと結合した1250 $\mu$ mのPTL、ドライバとレシーバを含むリング発振器を構成し、数値計算との比較を通して、研究を進めた。

回路は産業技術総合研究所のNb四層プロセス(HSTP、臨界電流密度10kA/cm<sup>2</sup>)と、名古屋大学の $\pi$ 接合作製プロセスのハイブリッドプロセスにより作製した。Fig.1に作製したリング発振器の顕微鏡写真を示す。また、Fig.2にPTLのレシーババイアス電流とリング発振器の動作周波数の関係を示す。PTLレシーバはパルスの波形の乱れに最も影響を受けやすい回路であることから、パラメータとして選択した。数値解析において、実際の回路パラメータを用いたほか、発振周波数を決めるジョセフソン線路のバイアス電流と実験値とのフィッティングを行ったところ、数値解析結果と実測結果にFig.2のように同じ傾向が見られた。この結果は、JoSIMによる数値解析が妥当であることを示している。

**評価** 妥当性が認められた数値解析に基づく、この実験におけるパルスの信号伝搬速度は106  $\mu$ m/ps、1250  $\mu$ mのPTLを伝搬するの

に11.8 psを要すると見積もられる。本線路のL/R時定数はおよそ55.15 psと概算されることから、パルス駆動を用いることによる高速動作性が示唆される。また、他の実験結果から、波形の乱れがレシーバのマージンに影響するまでには至っていないことが分かった。

**謝辞** 本研究は、JSPS 科研費(JP18H05211, JP23H05447)及びCREST(JPMJCR20C5)の支援を受けて実施した。回路の一部は産総研 Qufab で作製された。

### 参考文献

- [1] Y. Takeshita et al. IEEE Trans. Appl. Supercond. 31, 1100906, 2021.
- [2] J. A. Delpont et al. IEEE Trans. Appl. Supercond. 29, 1300905, 2019.

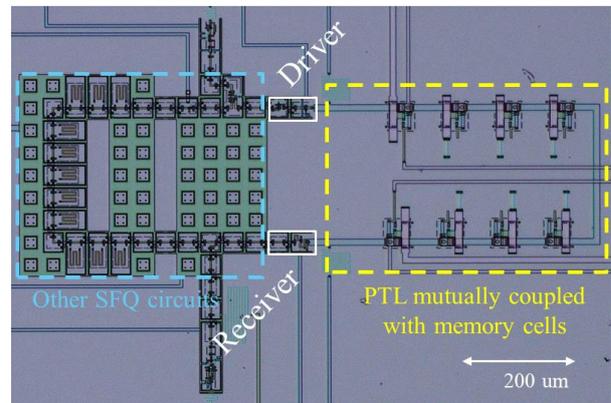


Fig.1 Microphotograph of ring oscillator with memory cells coupled (PTL length = 1250  $\mu$ m)

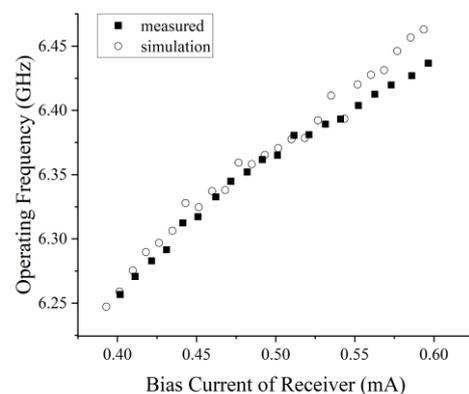


Fig.2 Comparison of measured and simulated operating frequency

# 確率的クロスバーアレイを構築するための超伝導シナプスの動作実証

## Demonstration of a superconducting synapse for a stochastic crossbar array

横国大先端科学高等研究院<sup>1</sup>, 産総研 G-QuAT<sup>2</sup>, 九州大学<sup>3</sup>

○羅文輝<sup>1</sup>, 竹内尚輝<sup>2</sup>, 陳オリビア<sup>3</sup>, 吉川信行<sup>1</sup>

IAS, Yokohama Nat'l Univ.<sup>1</sup>, G-QuAT, AIST<sup>2</sup>, Kyushu Univ.<sup>3</sup>

○Wenhui Luo<sup>1</sup>, Naoki Takeuchi<sup>2</sup>, Olivia Chen<sup>3</sup>, Nobuyuki Yoshikawa<sup>1</sup>

E-mail: luo-wenhui-jm@ynu.ac.jp

クロスバーアレイは、二次元のグリッド構造であり、高密度のデバイス集積と効率的なデータ処理が可能となる[1]。本研究では、確率的演算ベースの超伝導クロスバーアレイ (SC-CBA) を構築するため、クロスポイントのスイッチ素子である確率的超伝導シナプス回路の提案および動作実証を行う。

Fig. 1 に本研究で提案する SC-CBA の概略図を示す。入力データはストカスティック数生成器を用いてストカスティックビット列に変換し、SC-CBA に印加する。超伝導シナプス回路は、SFQ コンパレータであり、制御電流を調整することで、出力ビット列  $S_{out}$  に含まれる 1 の確率と入力ビット列  $S_{in}$  に含まれる 1 の確率の比率を制御できる (この比率が重み  $w$  を表す:  $w = P_{S_{out}=1} / P_{S_{in}=1}$ )。しかし、個々の SFQ コンパレータの制御電流を調整するためには、たくさんの入力ケーブルが必要になり、SC-CBA のスケーラビリティが低下してしまう。そこで、JJ を dc-SQUID に置き換えて、磁束 D/A 変換器 ( $\Phi$ -DAC) [2]により dc-SQUID への印加磁束をオンチップで調整することで、スケーラビリティの高い  $w$  の制御を目指す。

AIST の Nb 10 kA/cm<sup>2</sup> プロセス (HSTP) [3] を使用してシナプス回路を設計および作製し (Fig. 2)、実験的に dc-SQUID に印加された磁束により出力確率と入力確率の比率の制御を行った。さらに、確率の比率と印加磁束の依存

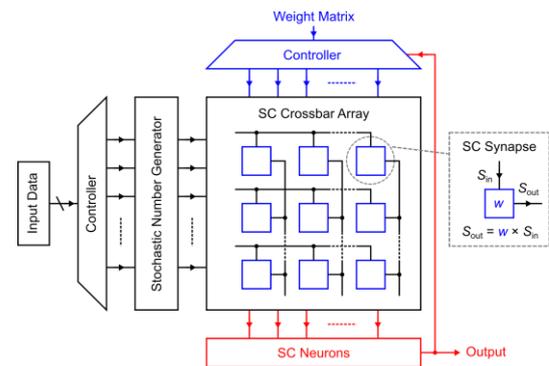


Fig. 1 SC-CBA の概略図

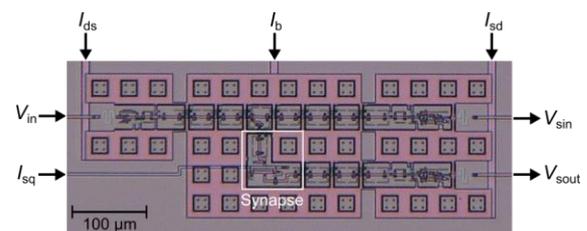


Fig. 2 シナプス回路のチップ写真

性をシミュレーション結果と比較し評価した。

### 謝辞

本研究に使用された回路は、産業技術総合研究所 (AIST) の超伝導量子回路試作施設 (Qufab) において作製された。本研究は JSPS 科研費 (JP22H00220) の助成を受けたものである。

### 参考文献

- [1] D. B. Strukov et al., Nature, vol. 453, no. 7191, pp. 80–83, May 2008.
- [2] N. Takeuchi et al., Physical Review Research, vol. 5, no. 1, p. 013145, Feb. 2023.
- [3] N. Takeuchi et al., Supercond. Sci. Technol., vol. 30, no. 3, p. 035002, Mar. 2017.

# 単一磁束量子多数決論理ゲートを用いたバタフライ演算回路の設計

## Design of a butterfly processing circuit using single flux quantum majority gate

横国大院理工<sup>1</sup> ◯瀬川 亮輔<sup>1</sup>, 山梨 裕希<sup>1</sup>, 吉川 信行<sup>1</sup>

Dept. of Electrical and Computer Eng., Yokohama Natl. Univ.<sup>1</sup>

◯Ryosuke Segawa<sup>1</sup>, Yuki Yamanashi<sup>1</sup>, Nobuyuki Yoshikawa<sup>1</sup>,

E-mail: segawa-ryosuke-nw@ynu.jp

### 1. はじめに

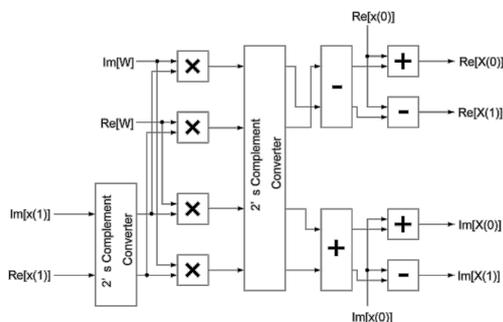
本研究では、単一磁束量子回路(SFQ 回路)を用いた FFT (高速フーリエ変換)計算機の更なる低消費電力化・小型化を目標に、多数決論理ゲート(Majority ゲート)を使用したバタフライ演算回路(BPU)の設計を行った。

近年、社会の情報化が大きく進み、情報処理量が増大している。そこで、情報処理のさらなる高速化・低消費電力化が求められている。情報処理には半導体集積回路が使われることが主流であるが、微細化の限界や大きな消費電力の観点から、その代替となる技術の研究が必要である。そこで、超伝導回路の一種である SFQ 回路が注目されている。SFQ 回路は、Josephson 接合(JJ)を含んだ超伝導リングを並列に配置し、リング内の磁束の有無を「1」と「0」に対応させて演算を行う回路である。数十 GHz で高速動作し、消費電力も半導体集積回路の 0.1%程度という利点をもつ。

FFT は信号解析や画像解析に応用される。しかし、多量な演算が必要であり、消費電力や発熱量が問題となる。そこで、本研究では SFQ 回路の高速動作性、低消費電力性を利用して FFT 計算機の消費電力低減を目指した。

### 2. 多数決論理ゲートと加算器の設計

FFT 計算機は、バタフライ演算回路(BPU)が主要な部分を占める。BPU を繰り返し利用することで演算を行うため、BPU の低消費電力化・小型化が直接的に FFT 計算機の低消費電力化・小型化に繋がる。BPU は、先行研究においてシミュレーションで最高動作周波数 67 GHz、パイアスマージンは 50 GHz で 80 % - 125 %での動作が示されていた。



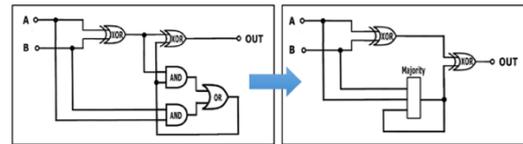
**Fig.1 Block Diagram of butterfly processing circuit**

Data is input in parallel for the Twiddle factor and in serial for  $x(1)$ .

**Fig.1** に BPU のブロック図を示す。BPU は乗算器 4 個、加算器 3 個、減算器 3 個で構成される。

我々は BPU の中でも最も消費電力・占有面積の大きい乗算器に着目し、乗算器の低消費電力化・小型化から BPU 全体の低消費電力化・小型化を目指した。そこで、各乗算器内部の加算器(Bit Serial Adder)の改良を行った。

多数決論理ゲート(Majority ゲート)という新たな論理ゲートを設計することで、**Fig.2** のように加算器を構成する論理ゲートの総数を 5 個から 3 個に削減した。多数決論理ゲートは 3 つの入力と 1 つの出力をもち、2 つ以上 SFQ 入力があると SFQ が出力される、入力の多数決を取る論理ゲートである。多数決論理ゲートの利用により、先行研究で使用されていた加算器から消費電力を 30%、面積を 50%程度削減した。

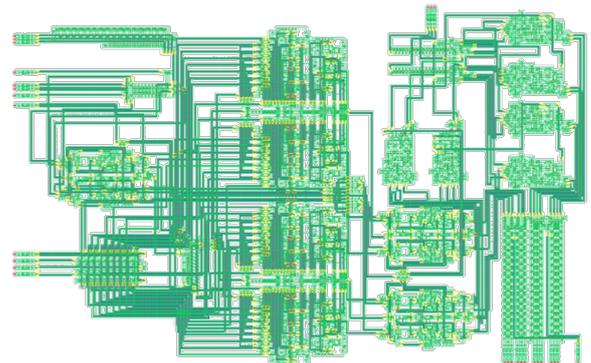


**Fig.2 Comparison of bit serial adders**

Left : used in previous study, Right : newly proposed

### 3. バタフライ演算回路の設計

最後に、多数決論理ゲートを用いた加算器を組み込んだ BPU を設計した。設計した BPU を **Fig.3** に示す。加算器の改良により、先行研究の BPU から消費電力を 10%程度、面積を 30%程度削減することができた。



**Fig.3 Circuit schematic of new butterfly processing circuit**

### 4. 参考文献

- (1) H. Cong, M. Li and M. Pedram, "An 8-b Multiplier Using Single-Stage Full Adder Cell in Single-Flux-Quantum Circuit Technology," *IEEE Trans. Appl. Supercond.*, vol. 31, 1303110, 2021.
- (2) Y. Sakashita, *et al.*, "50 GHz demonstration of an integer-type butterfly processing circuit for an FFT processor using the 10 kA/cm<sup>2</sup> Nb process," *IEICE Trans. on Electron.*, vol. E98.C, pp. 232–237, 2015.

# 単一磁束量子回路の放射線耐性測定に向けたエラー率試験回路の設計

## Design of an error rate test circuit for measuring radiation-induced malfunctions in superconducting circuits

横浜国立大学, °(M1) 刑部 一斗, 山梨裕希, 吉川信行

Yokohama National Univ., °Kazuto Osakabe, Yuki Yamanashi, Nobuyuki Yoshikawa

E-mail: [osakabe-kazuto-sg@ynu.jp](mailto:osakabe-kazuto-sg@ynu.jp)

### 1. 単一磁束量子回路

近年の急速な情報化に伴い、情報処理量は増大し続けており、情報処理の高速化が必要となってきた。一方で情報処理を行うための回路に含まれる半導体集積回路は微細化による性能向上に限界を迎えつつあり、さらに情報処理量の増大に伴って消費電力も増大している。そこで、半導体集積回路に代わる回路方式として、単一磁束量子回路(SFQ回路)や、量子コンピュータが提案されている。近年、 $\gamma$ 線などの二次宇宙線粒子はこれらの超伝導回路の大規模化を阻害する原因になりうるという指摘がされており、本研究では SFQ 回路の環境放射線による誤動作の頻度の測定を通して超伝導回路の信頼性評価を行うことを目的とする。今回は、SFQ 回路の誤動作を検出するためのエラー検出回路(ERTC: Error Rate Test Circuit)を設計した。

### 2. ERTC の概要

本研究における ERTC の概念図を Fig.1 に示す。

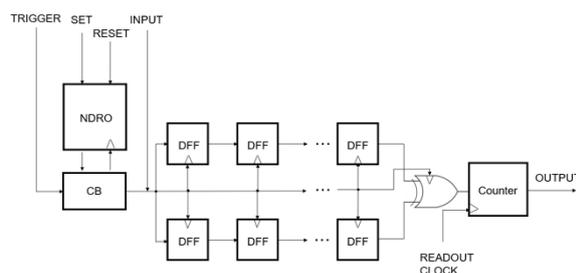


Figure.1 Overview of ERTC

ERTC は疑似乱数生成回路(PRNG: Pseudo Random Number Generator)で生成された疑似ランダムパルス列およびリングオシレータによって生成されたクロックパルスを 2 列のシフトレジスタに入力し、それらの出力を XOR ゲートに入力することで、一方の列でエラーが発生した場合、XOR からパルスが出力される [1]。これをカウンタによって数え上げる。カウンタに蓄積されたエラー回数のデータは別のクロックによって読み出しを行うことができる。測

定の際には、冷凍機内で動作している EDC のシフトレジスタ部分に  $\gamma$  線などの放射線を照射し、回路のエラー率を計測する。回路の設計は AIST ADP プロセスおよび AIST HSTP プロセスにより行った。

### 3. ERTC の評価

NC-Verilog を用いてデジタルシミュレーションを行い、リングオシレータ、擬似乱数生成機、エラー検出回路およびカウンタ回路の動作周波数特性を得た。結果を Fig.2 及び Fig.3 に示す。

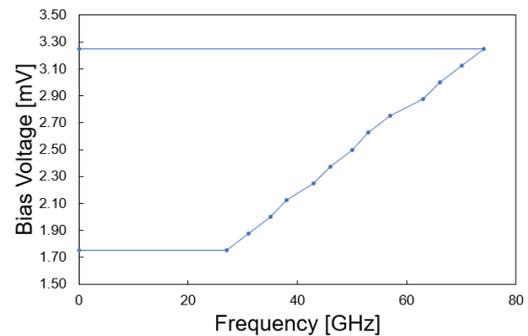


Figure.2 Frequency of a PRNG

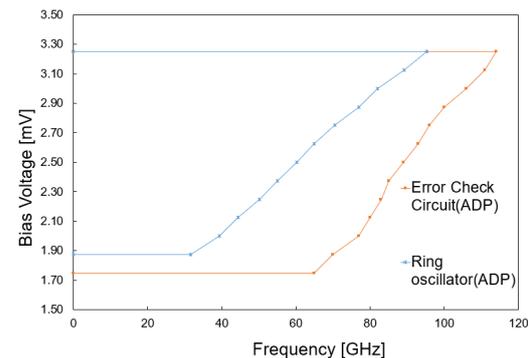


Figure.3 Frequency of an error detection circuit and a ring oscillator

### 参考文献

- [1] Quentin P. Herr, Marc J. Feldman, "Error Rate of RSFQ Circuits: Theory", IEEE Transaction on Applied Superconductivity, Vol.7, No.2, June, 1997

## 分子線エピタキシー法による単結晶 Nb 薄膜の作製と量子デバイス応用

Growth of single-crystal Nb thin films by molecular beam epitaxy and quantum device application

産総研 ○辻本 学, 浦出 芳郎, 藤田 裕一, 知名 史博,  
野崎 友大, 野崎 隆行, 猪股 邦宏, 水林 亘AIST M. Tsujimoto, Y. Urade, Y. Fujita, F. China,  
T. Nozaki, T. Nozaki, K. Inomata, and W. Mizubayashi

E-mail: m.tsujimoto@aist.go.jp

高純度かつ欠陥の少ない超伝導体薄膜の作製は、超伝導デバイスの性能向上を実現する手段の一つである。現在、超伝導量子ビットを代表とする量子デバイスは、AlやNbなどの多結晶薄膜を基盤としているが、不純物、結晶欠陥、粒界における散乱、準粒子など材料由来の要因によりデバイス性能の一部が制限されている。デバイスのさらなる高性能化と潜在能力の発揮には、製造プロセスの高度化に加え、材料の高純度化と均質化が求められる一方、エピタキシャル成長法などを用いた高純度かつ無欠陥の薄膜を用いたデバイス製造に関する研究は少ない。産業化を見据えた量産製造の観点では、ウエハ面内で均質かつ結晶方位の揃ったエピタキシャル成長薄膜や単結晶薄膜を用いることが理想的である。

本研究では、超高真空中の電子ビーム蒸着法を発展させた分子線エピタキシー (MBE) 法により、3インチウエハ上にNb薄膜の作製を試みた。bcc構造のNb薄膜と格子定数の近いR面サファイア基板  $\text{Al}_2\text{O}_3$  (01 $\bar{1}2$ ) 上にヘテロエピタキシャル成長 [1,2] させた結果、結晶方位の揃った巨大な結晶粒を持つ単結晶 Nb 薄膜の作製に成功した。作製した薄膜の結晶構造解析をX線回折法、微細構造観察を走査透過電子顕微鏡法、電気的特性を物理特性測定システム、表面形状を原子間力顕微鏡法で評価した。

成膜方法および基板加熱条件を変えて作製したNb薄膜の抵抗温度特性を図1に示す。MBE法で基板加熱成膜したNb薄膜の超伝導転移温度は  $T_c = 9.4$  Kであり、バルク値に匹敵あるいはそれを上回る。また、残留抵抗比は40を超え、不純物や欠陥による電子散乱が少ないことを示唆している。講演では、MBE法の詳細な成膜条件について述べ、 $\text{Al}_2\text{O}_3$ (01 $\bar{1}2$ ) 基板との格子整合の観点からエピタキシャル成長機構について議論する。さらに、量子デバイスへの応用に向けたプロセス開発の現状を報告する。

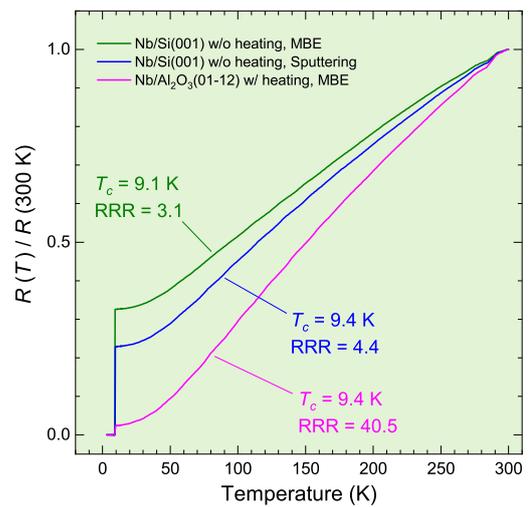


図1: Temperature dependence of the electrical resistivity for Nb films deposited using DC sputtering and MBE techniques.

## 参考文献

- [1] G. Oya *et al.*, J. Appl. Phys. **60**, 1440 (1986).  
[2] A. R. Wildes *et al.*, Thin Solid Films **401**, 7 (2001).

謝辞 本講演で発表した研究の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (JPNP16007) の結果得られたものです。

## Nb ベースジョセフソンパラメトリックオシレーターの特性評価

## Characterization of Nb-based Josephson parametric oscillators

○横国大 IAS<sup>1</sup>, 横国大院理工<sup>2</sup>○沈 泓翔<sup>1</sup>, 吉川 信行<sup>1,2</sup>IAS, Yokohama Natl. Univ.<sup>1</sup>, Dept. of Electrical and Computer Eng., Yokohama Natl. Univ.<sup>2</sup>○Hongxiang Shen<sup>1</sup>, Nobuyuki Yoshikawa<sup>1,2</sup>

E-mail: shen-hongxiang-vs@ynu.jp

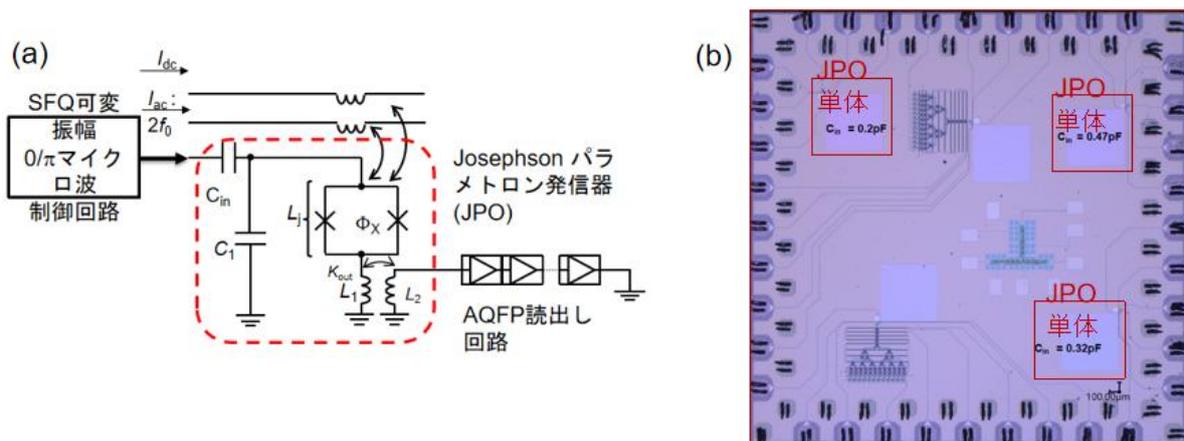
量子コンピュータは、量子ビット（キュービット）の重ね合わせを利用することで、従来のコンピュータでは効率的に解決できない複雑な問題に対処することができる。本技術の一つの実装方法として、量子アニーラーがある。量子アニーラーは、キュービットネットワークにイジングハミルトニアンをエンコードし、そのパラメータを断熱的に調整することでシステムの大局的な最小値を見つける。

このようなデバイスの中で、ジョセフソンパラメトリックオシレーター（JPO）は、双安定振動状態を持ち、量子キャット状態の生成が実証されているため、特に注目されている。これらの特徴により JPO は、組み合わせ最適化問題の解決に適した量子アニーラーの有力な候補と考えられる。

本研究では、臨界電流密度  $1 \text{ kA/cm}^2$  の Nb ジョセフソン集積プロセスを用いて、4.2K で動作する量子アニーラー向けに Nb ベースの JPO を特性評価した。実験により、4.2K における JPO の共振現象を確認した。今後、これらの JPO をさらに低温である 10 mK までテストし、量子アニーリングマシンの実現の可能性を検討する予定である。

## 謝辞

本講演で発表した研究の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の委託業務（JPNP16007）の結果得られたものです。



図の 1 (a)SFQ 振幅可変のマイクロ波制御回路をジョセフソン発振器（JPO）に入力し、2 倍の周波数で JPO を駆動する。共振により得られたマイクロ波の位相を AQFP で読み取る。(b)異なる  $C_{in}$ (0.2pF,0.32pF,0.47pF)を持つ JPO 回路のレイアウト図。

# 断熱量子磁束パラメトロンを用いた位相判別回路の 低臨界電流密度 Josephson プロセスにおける設計

Design of a phase discrimination circuit using adiabatic quantum flux parametron  
with low current density Josephson process

横国大院理工<sup>1</sup>、横国大 IAS<sup>2</sup> ○永松 義瑛<sup>1</sup>、山梨 裕希<sup>1,2</sup>、吉川 信行<sup>1,2</sup>

Yokohama National Univ.<sup>1</sup>, Yokohama National University IAS.<sup>2</sup>,

Yoshiaki Nagamatsu<sup>1</sup>, Yuki Yamanashi<sup>1,2</sup>, Nobuyuki Yoshikawa<sup>1,2</sup>

## 1. はじめに

近年、社会課題を解決する上で、最適化問題に対処する必要が出てきた。このような問題に対して有効であると考えられているのが量子コンピュータである。中でもアニーリングシステムは組み合わせ最適化問題に代表される、計算量が指数関数的に増加する問題に適している。

しかしこの技術はスケラビリティの問題を抱えており、多ビットを安定的に扱う技術が必要である。それを妨げる原因の一つとして、量子ビットに対する制御が室温環境から行われていることが挙げられる。この制御回路を極低温環境に置くことで回路の安定化を図ることができる。ここで、断熱量子磁束パラメトロン (AQFP[1][2]) の特性である極低温下動作や低消費電力性を用いることができる。

我々の目標は、制御回路を極低温環境下に置いたシステムの構築である。量子ビットからの出力である微小な電流を論理情報に変換する回路として、AQFP を用いた位相判別回路を以前設計した。さらに本研究では、ジョセフソン接合が発する熱雑音がより少ないプロセスである、 $J_c=1\text{kA/cm}^2$  の低臨界電流密度プロセス(1KP)を用いて設計した。

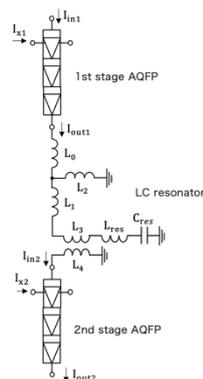


Fig.1. Phase discrimination circuit

## 2. 位相判別回路の構成と評価方法

入力信号の論理状態を判別するために、図1のような位相判別回路を考え、シミュレーションにより回路の論理判別におけるグレーゾーンの評価を行った。入力電流に対する論理“1”の出力確率が曖昧になる領域をグレーゾーンと呼

び、これが小さくなるほど感度が高くなったと評価することができる。

この回路はAQFPバッファ1段目、LC共振器、AQFPバッファ2段目で構成されており、1段目の出力電流を共振器で増幅、安定化させ、2段目での出力が正確に行われることを目的として設計した。

## 3. シミュレーション結果

入力電流を $-4\mu\text{A}\sim 4\mu\text{A}$ の間で変化させ、各入力電流につき1000回の論理確認を行うことで出力確率を計算した。

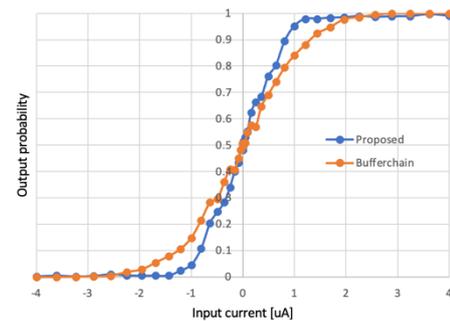


Fig.2. Grayzone of phase discrimination circuit

図2の結果を誤差関数を用いてフィッティングして計算したグレーゾーン幅は $1.68\mu\text{A}$ であった。通常のAQFPバッファの $2.51\mu\text{A}$ と比べると約30%小さくなっている。この結果から入力感度向上が確認できた。

以上により、低臨界電流密度プロセスのAQFPバッファに共振器を挿入し電流を増幅させることで、入力電流に対する応答性を高められることがシミュレーションにより確認された。

## 謝辞

本講演で発表した研究の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものです。

## 参考文献

- (1) N.Takeuchi, D.Ozawa, Y.Yamanashi, N.Yoshikawa : “An Adiabatic quantum flux parametron as an ultra-low-power logic device”, Supercond. Sci. Technol., 26, 035010 (Jan 2013)
- (2) Y.Harada, H.Nakane, N.Miyamoto, U.Kawabe, E.Goto, T.Soma : “Basic Operations of the Quantum Flux Parametron”, IEEE TRANSACTIONS ON MAGNETICS, Vol. MAG-23, No.5 (SEPTEMBER 1987)

## $\pi$ 接合を用いた多段接続磁束伝送回路の評価

### Evaluation of cascaded flux transmission circuits using $\pi$ junctions

名大院工 ○堀裕貴、佐藤太一、李峰、田中雅光、藤巻朗

Nagoya Univ, ○Hiroki Hori, Taichi Sato, Feng Li, Masamitsu Tanaka,  
and Akira Fujimaki

E-mail: [hiroki.hori@super.nuee.nagoya-u.ac.jp](mailto:hiroki.hori@super.nuee.nagoya-u.ac.jp)

#### 背景

超伝導ループに  $\pi$  接合を並列に挿入した磁束伝送回路(以下、 $\pi$ -FTC)は、 $\pi$  接合の負性インダクタンス特性により従来の限界を超えた磁束の伝送係数を実現できることが数値解析や実験によって示されている[1]。 $\pi$ -FTCは内部磁束-外部磁束特性においてヒステリシスのない単一接合超伝導量子干渉素子を基としているため、 $\pi$  接合の臨界電流値 $I_{c\pi}$ とループインダクタンスの積 $\beta$ に制約が発生する。その結果、インダクタンスがある閾値を超えると、入力電流の有無に関わらず内部に周回電流が流れ FTC として使用できない。そこで、 $\pi$ -FTCを多段に接続することで、ループインダクタンスの制約を回避しながら大きな磁束伝送係数を実現する手法が提案されている。Fig.1 に  $\pi$ -FTC を 2 段接続した回路の等価回路図を示す。現在、数値解析により多段  $\pi$ -FTC が  $\pi$  接合の経路のない 1 つの超伝導ループからなる通常の FTC よりも大きな磁束伝送係数を実現でき、長距離ほど大きな磁束を伝送することさえできる可能性が示されている[2]。本稿では、 $\pi$ -FTC の多段接続による磁束伝送係数向上の実験的な原理実証を目的とし、異なる入力電流に対して出力に誘起される磁束について調査した。

#### 実験

我々は今回、産業技術総合研究所 Qufab の Nb 四層プロセス( $J_c = 10\text{kA/cm}^2$ )上に  $\pi$  接合 (Nb/Pd<sub>89</sub>Ni<sub>11</sub>/Nb) [3]を作製し、複数段の  $\pi$ -FTC を含む回路を作成した。Fig.2 に 2 段の  $\pi$ -FTC の顕微鏡写真を示す。 $\pi$  接合の臨界電流値を精密に制御することが困難であるため、従来のジョセフソン接合(以下、0 接合)を  $\pi$  接合に直列に挿入し、 $\beta$ の制御を行った。0 接合の臨界電流値は  $I_c = 49\mu\text{A}$  であり、 $\pi$  接合の臨界電流値よりも十分小さいため、0 接合と  $\pi$  接合のペアは臨界電流値  $I_{c\pi} = I_c$  を持つ一つの等価的な  $\pi$  接合とみなせる。なお、 $\pi$ -FTC の接続距離は Fig.1 における  $L_{\text{wire}}$  により決定される。本回路の接続距離は  $47\mu\text{m}$  であり、1 段の回路において同一  $I_c$  という条件の下、 $L_{\text{wire}}$  を増加させることで 2 段と同一距離を実現することは  $\beta$  の制約上できない。実験では、電流源を用いて入力側から入力電流  $I_{\text{in}}$  による磁束を印加し、出力側の十分大きな負荷のインダクタンスに流れる微小な電流  $I'_{\text{out}}$  を FLL を構成した検出用 SQUID を用いて測定した。検出用 SQUID において、 $I'_{\text{out}}$  による磁束とフィードバック電流  $I_{\text{fb}}$  による磁束の和が 0 になるため、フィードバック電流を測定することで間接的に出力電流を検出することができる。Fig.3 に 2 段の  $\pi$ -FTC のシミュレーション及び測定結果を示す。シミュレーションでは、同じ入力に対して通常の FTC よりも大きなフィードバック電流が流れており、より大きな出力電流が得られていることがわかる。実験結果について、入力電流

が  $40\mu\text{A}$  以下ではフィードバック電流の変化が小さくなっており、検出用 SQUID の動作点に関して今後議論を進める必要があるが、多段接続した  $\pi$ -FTC による磁束の伝送を確認した。今後通常の FTC と比較することで、 $\pi$ -FTC の多段接続効果に関する議論を行う。

#### 謝辞

本研究は、JSPS 科研費 (23H05447, 18H05211, 22H01548, 23K13376) 及びの支援を受けて実施した。

#### 参考文献

- [1] M. Higashi et al., *Supercond.Sci.Technol.* 37(2024) 4, 045003.
- [2] 東正志ほか, 第 71 回応用物理学会春季学術講演会, 2024.
- [3] H. Ito et al., *Appl. Phys. Exp.* Vol. 10, 033101, 2017.

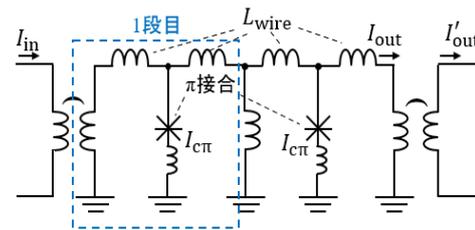


Fig. 1 The equivalent circuit of a 2-stage  $\pi$ -FTC.

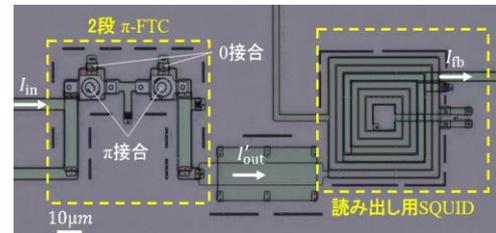


Fig. 2 The photograph of the fabricated

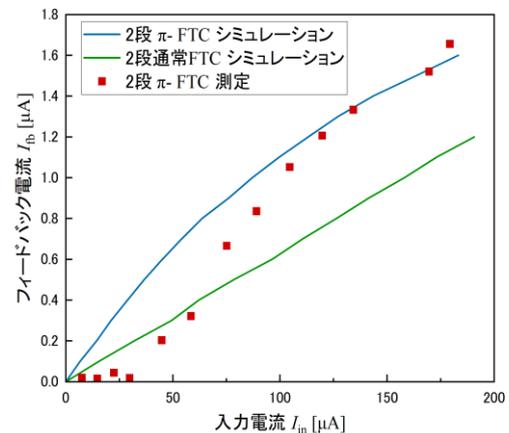


Fig. 3 The feedback current  $I_{\text{fb}}$  as a function

# 0-0- $\pi$ SQUID の周回電流の向きが半磁束量子論理ゲートに及ぼす影響

## Effect of directions of circulating currents in 0-0- $\pi$ SQUIDs on half-flux-quantum logic gates

名大院工 <sup>○</sup>出口創万, 佐藤太一, 堀裕貴, 西崎海, 李峰, 田中雅光, 藤巻朗

Nagoya Univ, <sup>○</sup>Soma Deguchi, Taichi Sato, Hiroki Hori, Kai Nishizaki, Feng Li,

Masamitsu Tanaka, and Akira Fujimaki

E-mail: deguchi@super.nuee.nagoya-u.ac.jp

### 背景

$\pi$  接合を含む SQUID 内部には量子化条件により自発的に周回電流が生じ、見かけの臨界電流値が下がり、小さな駆動力でスイッチさせることができる。このことを利用し、半磁束量子 (HFQ) 回路は、単一磁束量子 (SFQ) 回路よりも 1 桁程度低い消費電力性を実現できる[1]。一方、 $\pi$  接合を含む SQUID が  $\pi/2$  程度の初期位相差を持つため、HFQ 回路の設計では位相調整が格段に難しい。また、SQUID に非対称性があると、隣接している SQUID に流れる周回電流の向きの組合せによっても位相差に違いが生じるため、回路の振る舞いは更に複雑になる。我々はこれまでに、非対称性が信号伝送回路の遅延時間に与える影響を報告している[2]。今回は、より複雑な論理ゲートにおける影響を回路シミュレーションにより調査した。

### シミュレーション

通常の接合 (0 接合) と  $\pi$  接合の臨界電流値を完全に一致させることは困難なため、本研究では大きな臨界電流値を持つ  $\pi$  接合をスイッチさせない位相シフタとして用い、2つの0接合をスイッチ素子とする 0-0- $\pi$  SQUID で HFQ 回路を構成する。HFQ 回路は情報担体に  $\Phi_0/2$  の磁束を用いており、0-0- $\pi$  SQUID がスイッチすると内部の周回電流の向きが切り替わり、位相差が  $\pi$  だけ変化する。 $\pi$  接合が非線形のインダクタンスを持つため、0-0- $\pi$  SQUID は非対称性を持ち[3]、位相変化やスイッチ動作の振る舞いは周回電流の向きに依存する。

この影響を調べるため、Fig. 1 に示した XOR 論理ゲートのシミュレーションを行った。典型的な 0-0- $\pi$  SQUID における 0 接合と  $\pi$  接合の臨界電流値はそれぞれ  $60\mu\text{A}$  と  $2\text{mA}$  で、見かけの臨界電流値は  $20\mu\text{A}$  前後である。バイアス電圧の設計値  $0.5\text{mV}$  に対し、 $0.048\text{mV}$  を印加し、入力(Input1, Input2)に(1,0),(1,1)の順で入力したときの位相変化を Fig. 2 に示す。クロック信号 Clk を入力したとき、X5 の 0-0- $\pi$  SQUID がスイッチし、位相差が  $\pi$  が生じるのが正常な動作である。はじめに(1,0)を入力すると、X5 の位相差が  $\pi$  増加し、出力が得られている。その後の(1,1)を入力した後に Clk を入力すると、出力が得られず、適切な動作をしている。一方で Fig. 3 は入力(Input1, Input2)に(1,1),(1,0)の順で入力したときの位相変化を示している。はじめに(1,1)を入力したとき、出力が得られないのは正常であるが、その後(1,0)を入力すると、X5 の位相差が  $\pi/2$  しか増加せず、出力が得られていない。この原因を調べたところ、0-0- $\pi$  SQUID の非対称性に起因し、周回電流の向きによって位相差が  $0.06\pi$  程度発生しており、スイッチに必要な電流が不足して動作不良が起きていることが確認できた。

この問題は、バイアス電圧を増加させることで回避できるが、各 0-0- $\pi$  SQUID の周回電流の向きの組合せ、即ち論理ゲートへの入力パターンの履歴によって動作マージンの下限が変わることを示唆している。講演では、今回実施したシミュレーション結果を含め、HFQ 論理ゲートについてより詳細な動作について議論を行う。

### 謝辞

本研究は、JSPS 科研費 (JP18H05211、JP23H05447、22H01548) 及び CREST(JPMJCR20C5)の支援を受けて実施したものである。

### 参考文献

- [1] F. Li et al., Supercond. Sci. Technol., 34, 025013, 2021.
- [2] 中山ほか, 応用物理学会春季学術講演会, 2023 年 3 月.
- [3] Takeshita et al., Supercond. Sci. Technol., 36, 045004, 2023

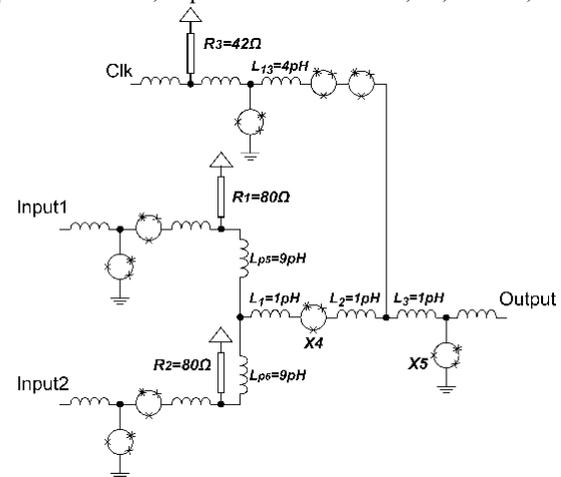


Fig.1 Schematic diagram of HFQ XOR gate

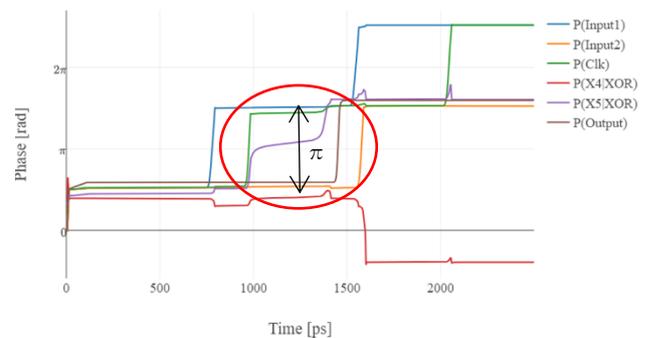


Fig.2 XOR (Input1,Input2) = (1,0) , (1,1)

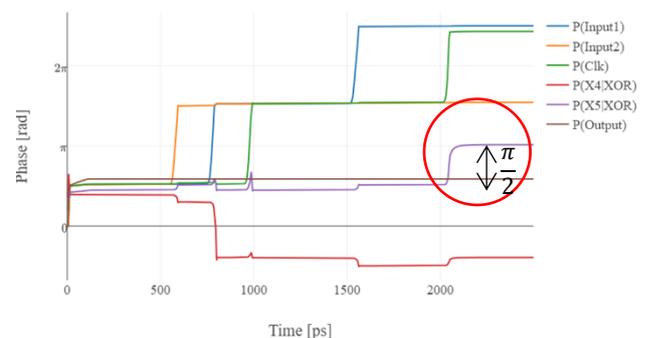


Fig.3 XOR (Input1,Input2) = (1,1) , (1,0)