

Oral presentation | 9 Applied Materials Science : 9.3 Nanoelectronics

📅 Thu. Sep 19, 2024 9:00 AM - 11:30 AM JST | Thu. Sep 19, 2024 12:00 AM - 2:30 AM UTC 🏢 D63
(Bandaijima Bldg)

[19a-D63-1~9] 9.3 Nanoelectronics

Yasuhisa Naitoh(AIST), Shigeru Imai(立命館大)

9:00 AM - 9:15 AM JST | 12:00 AM - 12:15 AM UTC

[19a-D63-1]

Enhancements and advances of single-electron logic gates inspired by particle computation

○(M1)Soki Mizuno¹, Takahide Oya^{1,2} (1.Yokohama National Univ., 2.IMS, Yokohama National Univ.)

9:15 AM - 9:30 AM JST | 12:15 AM - 12:30 AM UTC

[19a-D63-2]

Study on single-electron reaction-diffusion circuit expressing multiple logic gates

○(M2)Keiichiro Tamura¹, Takahide Oya^{1,2} (1.Grad. School of Eng. Sci., Yokohama Nat'l Univ., 2.IMS, Yokohama Nat'l Univ.)

9:30 AM - 9:45 AM JST | 12:30 AM - 12:45 AM UTC

[19a-D63-3]

Improvements of Brownian motion circuit for Diffusion Limited Aggregation model based on single-electron circuits

○Ryoga Miyakoshi¹, Takahide Oya^{1,2} (1.Yokohama National Univ., 2.IMS, Yokohama National Univ.)

9:45 AM - 10:00 AM JST | 12:45 AM - 1:00 AM UTC

[19a-D63-4]

Performance improvement of single-electron amoeba circuit for solving Traveling Salesman Problem

○Ryo Takemoto¹, Takahide Oya^{1,2} (1.College of Eng. Sci., Yokohama Nat'l Univ, 2.IMS, Yokohama Nat'l Univ)

10:00 AM - 10:15 AM JST | 1:00 AM - 1:15 AM UTC

[19a-D63-5]

Design of thermal-noise-harnessing triple single-electron box circuit and its application to signal amplification circuit

○(B)Airi Taguchi¹, Takahide Oya^{1,2} (1.College of Eng. Sci., Yokohama Nat'l Univ., 2.IMS, Yokohama Nat'l Univ.)

10:30 AM - 10:45 AM JST | 1:30 AM - 1:45 AM UTC

[19a-D63-6]

Extraction of Charge Relaxation Time Distribution of 1/f Noise Based on Inverse Integral Transformation Method

○Zenji Yatabe¹, Seiya Kasai² (1.Kumamoto Univ., 2.Hokkaido Univ.)

10:45 AM - 11:00 AM JST | 1:45 AM - 2:00 AM UTC

[19a-D63-7]

Cross-correlation measurement of single-electron thermal motion in capacitively-coupled nanometer-scale dots

○Kensaku Chida¹, Antoine Andrieux¹, Katsuhiko Nishiguchi¹ (1.NTT BRL)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award ◆ English
Presentation

11:00 AM - 11:15 AM JST | 2:00 AM - 2:15 AM UTC

[19a-D63-8]

AC Signal Sensing 6 Orders of Magnitude above Cutoff Frequency in Non-equilibrium DRAM

○(P)Chloe Salhani¹, Kensaku Chida¹, Toshiaki Hayashi¹, Katsuhiko Nishiguchi¹ (1.NTT BRL)

11:15 AM - 11:30 AM JST | 2:15 AM - 2:30 AM UTC

[19a-D63-9]

Energy Efficiency Limits of DRAM Cells: High-Precision Measurement Using Single-Electron Counting

○Takase Shimizu¹, Kensaku Chida¹, Gento Yamahata¹, Katsuhiko Nishiguchi¹ (1.NTT BRL)

Particle Computation に学ぶ単電子論理ゲートの改良と進展

Enhancements and advances of single-electron logic gates inspired by particle computation

○水野 創樹¹、大矢 剛嗣^{1,2} 1 横国大院理工, 2 横国大 IMS

○Soki Mizuno¹, Takahide Oya^{1,2}

1 Grad. School of Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.

Email: mizuno-soki-gb@ynu.jp

1. 研究背景・目的

近年、情報化社会が進展していく中で、非ノイマン型の情報処理デバイスが求められている。その一つとして、単電子デバイスが注目されている。単電子デバイスは、電子の一個単位での制御、並列処理、非線形動作が可能という優れた特徴を有する。しかし、単電子回路の最適な情報処理手法は確立されていない。そこで、粒子と障害物を用いて情報処理を行う Particle Computation^[1](PC)に着目した。PCでは、格子状のマスを粒子と障害物を配置する。配置された粒子に対して“Go Up”(u), “Go Right”(r), “Go Down”(d), “Go Left”(l)という任意の方向へ粒子を移動させる命令を与える。粒子が移動する際に障害物や静止している粒子に衝突した場合、その場所で静止する。各命令は全粒子が静止するまで実行され、命令を繰り返すことによって PC による情報処理が実行され、全ての命令セットを実行した後、最終的な粒子の配置が情報処理の結果となる。PC では、複雑な論理ゲートの実現が報告されており、さらに様々な応用が期待できる情報処理手法である。

本研究では、単電子回路の優れた特徴を生かし、PC を利用した単電子情報処理デバイスの構築を目的とする。

2. 研究内容

前回は、粒子が二つで命令回数が二回の論理ゲートについての単電子 PC 回路シミュレーションについて報告した^[2]。今回は粒子の数は二つのまま、命令回数を五回に拡張した単電子 PC 論理ゲート回路(Fig.1 (a))について報告する。

前回の報告では、粒子を命令方向に移動させる命令方向回路と、粒子の静止した位置を記録する衝突判定回路を、命令ごとにそれぞれ用意することによって情報処理が実行できることを確認した。今回の命令セットは<d, l, u, r, d>である。そのため、上下左右それぞれに対して命令方向回路と衝突判定回路を用意する。命令セット順に粒子が移動していくように命令回

路と衝突判定回路を接続するが、最初と最後の命令については d で同じ方向であるため、最初の命令方向回路(d)と衝突判定回路(d)に電圧変化の伝搬が戻ってくるようなループをする構造を取る(Fig.1 (b))。これにより、命令回数が五回以上となっても対応可能となる。今回の検証においては、入力として A, B を与え、与えない場合には $\bar{A}$, $\bar{B}$ として入力を与える。五回の命令を実施後に、出力としては AND, OR, NAND, NOR の中から当てはまるもの全てが出力されることとなる。

以上の挙動の表現をする単電子 PC 論理ゲート回路を設計し、動作確認をシミュレーションにより行った。詳細は講演にて述べる。

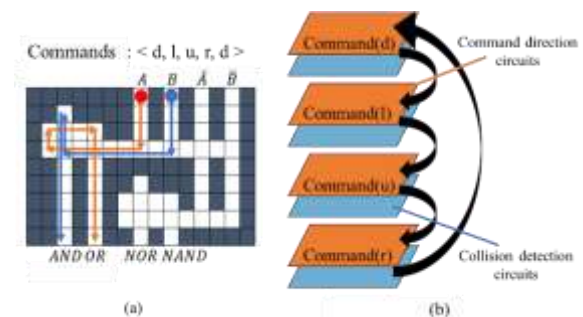


Fig. 1 Single-electron PC circuits

(a) PC logic gate

(b) The structure of the PC logic circuits

【参考文献】

- [1] Becker, A.T., et al., Particle computation: complexity, algorithms, and logic., *Nat Comput* vol. 18, pp. 181-201 (2019).
- [2] 水野 他, “粒子計算に学ぶ単電子論理ゲートの設計,” 第 71 回応用物理学会春季学術講演会, 23p-12P-2 (2024).

【謝辞】

本研究の一部は JSPS 科研費・基盤研究(A) (JP23H00169)、および(公財) 柏森情報科学振興財団の助成を受け実施された。

複数論理ゲートを表現する単電子反応拡散回路に関する研究

Study on single-electron reaction-diffusion circuit expressing multiple logic gates

○田村啓一朗¹、大矢剛嗣^{1,2} (1 横国大院理工、2 横国大 IMS)

○Keiichiro Tamura¹, Takahide Oya^{1,2}

1 Grad School Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.

Email: tamura-keiichiro-pd@ynu.jp

【研究背景・目的】

近年のナノテクノロジーの発展により、ナノデバイスの一つである単電子回路が注目されている。単電子回路は電子を一個単位で制御でき、確率動作性、非線形性という特徴を持つ。しかし、当回路を用いた最適な情報処理手法は未確立である。本研究では Belousov-Zhabotinsky(BZ)反応と呼ばれる化学反応に着目する。BZ 反応とは特定の溶液を混合したときに溶液の色が時間的に振動する化学反応であり、反応の進行が波のようであることで知られる。また光を照射すると、反応が抑制され、波が特定の方向にのみ進み、平行波のような特徴を持つ。そしてこの特徴は論理ゲートの表現に利用できると報告されている^[1,2]。ここで、単電子回路では電子トンネルによる電圧変化を波の伝搬のように見立てられる^[3]。そこで本研究では単電子回路における波の伝搬の利用により論理ゲートを表現することを目的とする。

【研究内容】

本研究では単電子振動子を、コンデンサを介して二次元平面上に繋げた回路(Fig.1)を二層用意し、層間をコンデンサで接続することで波の広がりを抑制し、平行波を表現する。

前回報告では、平行波が進行中に分岐し、二つの平行波に分かれる挙動の表現について述べた。また、平行波進行安定化を目的とした多重トンネル接合型振動子のパラメータの検討についても説明した^[4]。これについて、これまでに表現した挙動を組み合わせることで、単電子反応拡散回路が持つシンプルな構造や並列動

作性という特徴をさらに生かすことができる。

今回は一つの単電子反応拡散回路において複数論理ゲートを表現する様子について報告する。複数ゲートの表現は振動子のバイアス電圧調整により一つの回路基板を複数の範囲に分けることで行った。この回路上のそれぞれの範囲で入力と見なされる平行波を発生させることで、複数のゲートの出力を同時に得ることができる。詳細は講演にて述べる。

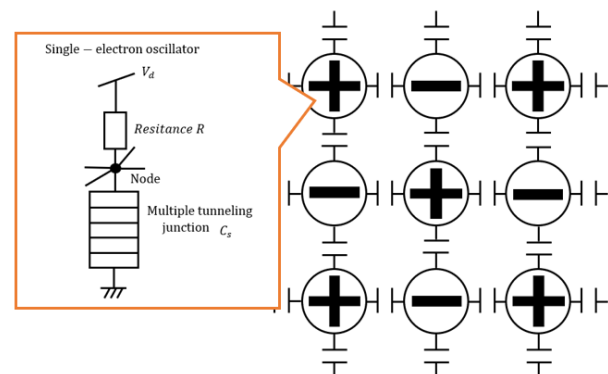


Fig. 1 Two-dimensional array of single-electron oscillators using multiple tunneling junctions. (+/- indicates polarity of V_d .)

【参考文献】

- [1] A. Adamatzky, PLoS ONE **11**, e0168267, (2016).
- [2] M.-A Tsompanas, et al., Biosystems **206**, 10447, (2016).
- [3] T. Oya, et al., Int'l J. Unconv. Comp. **1**, 177, (2005).
- [4] 田村啓一朗, 他, 第 71 回応物学会春季学術講演会, 24p-P05-29, (2024).

【謝辞】

本研究の一部は JSPS 科研費・基盤研究(A) (JP23H00169)、および(公財)柏森情報科学振興財団の助成を受け実施された。

単電子拡散律速凝集モデルのためのブラウン運動回路の改良

Improvements of Brownian motion circuit

for Diffusion Limited Aggregation model based on single-electron circuits

○宮越遼河¹、大矢剛嗣^{1,2} (1 横国大院理工, 2 横国大 IMS)

○Ryoga Miyakoshi¹, Takahide Oya^{1,2}

1 Grad. School Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.

Email: miyakoshi-ryoga-wg@ynu.jp

【はじめに】

ナノテクノロジーの発展に伴い、様々なナノデバイスの研究が進められている。単電子回路はその一つであり、トンネル効果を利用し、電子を一個単位で制御することができる。特徴として、確率動作性や並列動作性を持つことが知られるが、最適な情報処理手法は確立されていない。

一方で、ブラウン運動する多数の粒子が、核となる粒子に付着し、樹状構造のような集合体を形成していく拡散律速凝集(DLA: Diffusion Limited Aggregation)という現象が金属樹の成長や雪結晶、稲妻など、自然界の様々な所で見られる。この現象をコンピュータにより解析する一般的な方法として、各粒子に対するランダムシミュレーションを行うものがある^[1]が、粒子数を増やすことによって膨大な計算量が必要となる課題がある。

本研究では、単電子回路の確率動作性と並列動作性を活かした、計算効率の良い拡散律速凝集シミュレーション回路を構築し、単電子回路の新たな情報処理手法の一つとして確立させる。

【研究内容】

前回の講演では、一方通行回路^[2]などを組み込み、ブラウン運動回路を設計した^[3]。二次元ブラウン運動回路のシミュレーション結果として、四方向拡散を担う単電子振動子で伝搬が停止してしまう課題が残った。そこで本稿では、その課題解決のため二点の構造改良に取り組んでいる。

一点目はトリガ入力位置の変更である。粒子の始点を設定するためのトリガ電圧源を従来は四方向振動子(Fig.1 の X)に接続していたが、これが原因で四方向へ伝搬しにくい状況となっていた。そのため、トリガ位置は四方向振動子間の途中に変更した。

もう一点は、四方向振動子に接続された拡散を担う経路の振動子(Fig.1 の B1~4)同士への追加接続(Fig.1 の赤色部分)である。従来の回路では、バイアス電圧を下げることで拡散方向数を制御していたが、この操作が原因で伝搬の安定性に課題があった。ここに追加接続を組み込むと、ある一方向の拡散によるノード電圧変化が残りの三方向の振動子の電子トンネルを妨げるように機能するため、バイアス電圧を下げることなく、拡散方向数を一方向に安定させることができる。この改良回路のシミュレーション結果とその考察の詳細については講演にて述べる。

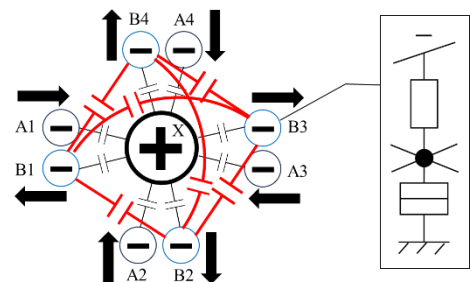


Fig.1 Improved Brownian motion circuit by single-electron oscillators. Configuration of oscillator is described in balloon. “+” and “-” in circle indicates polarity of bias voltage for oscillators.

【参考文献】

- [1] 青木貴志, 安田一美, 『日本機械学会論文集 A 編』, 70 巻 692 号, pp. 553-559, (2004).
- [2] T. Oya, et al., IEICE Electronics Express, Vol. 2, No. 3, pp. 76-80 (2005).
- [3] 宮越遼河, 他, 第 71 回応物学会春季学術講演会, 23p-12P-3, (2024).

【謝辞】

本研究の一部は JSPS 科研費・基盤研究(A)(JP23H00169)、および(公財)柏森情報科学振興財団の助成を受け実施された。

巡回セールスマン問題を解く単電子粘菌回路の性能向上検討

Performance improvement of single-electron amoeba circuit
for solving Traveling Salesman Problem○竹本 椋¹, 大矢 剛嗣^{1,2} 1 横国大理工, 2 横国大 IMS○Ryo Takemoto¹, Takahide Oya^{1,2}

1 College of Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.

Email: takemoto-ryo-hn@ynu.jp

【研究背景・目的】

近年、情報化社会の基盤となっているノイマン型コンピュータは、逐次的な計算を得意とする一方、最適化問題等の非線形情報処理を苦手としている。そこで、本研究では既存のコンピュータが苦手とする情報処理をカバーする新たな回路として単電子回路に着目している。

単電子回路は量子効果を利用することで、電子を一個単位で制御可能な回路であり、並列処理等の利点を有する。その一方で、未だ最適な情報処理手法が確立されていないといった課題もある。

そのような課題解決のために、自然界の生物である粘菌が情報处理的な挙動を取ることに着目した。粘菌は餌を求めて自らの体を外部に広げる一方、光刺激を受けるとそれを避けるよう体を縮めるといった挙動を取る。これらを利用し、巡回セールスマン問題の最適解が導出可能であることが報告されている^[1]。

本研究では、粘菌による巡回セールスマン問題の求解における一連の流れを単電子回路上で表現し、巡回セールスマン問題の最適解を導出する新たな情報処理回路の実現を目的とする。

【研究内容】

単電子回路上で粘菌の巡回セールスマン問題の求解における一連の流れを表現するにあたって、楕形の回路(Fig. 1)を用いる。この回路は、二次元上に配列した単電子振動子からなり、振動子のバイアス電圧を制御することで信号伝達の経路が楕形になるようにしている。図のように、左端に繰り返し外部電圧が印加される度に、電子トンネルに基づいた電圧変化の波が右側の各レーンへと拡散する挙動を取る。回路の各レーンは都市とその訪問順に対応しており、レーンの端部に波が到達する回数から解が導出される。

先行研究^[2]にて、このデバイスが都市数 5 以上の巡回セールスマン問題について、最適解を導出できるというシミュレーション結果が示されている。しかし、一部の問題設定において、シミュレーションによる導出解が最適解と一致しない例があ

ることも確認されている。

コストの設定によって最適解を導出できないという欠点を解決するため、実際に粘菌を用いた先行研究^[1]において、粘菌の体積が常に一定であることが最適解導出の一つのポイントになっているという報告に注目し、先の単電子回路では表現をしていなかった「粘菌の体積一定」挙動を単電子回路上で表現することを試みた。

具体的には、「特定の時間間隔において、楕形回路の全レーンの端に到達する波の合計回数を一定にする」ことで常に粘菌の体積が一定であることを表現する。この条件を従来の経路幅調整の式と組み合わせることで、最適解導出過程で、既報告の回路構成を生かしながら、より良い解に遷移する確率を上げることを目的とする。

詳細は講演にて述べる。

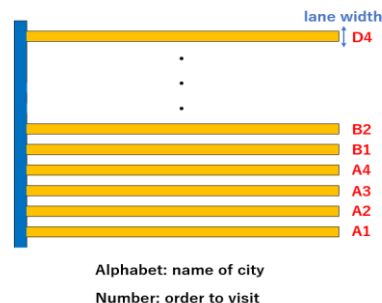


Fig. 1 Design of comb-shaped circuit. It consists of two-dimensional array of single-electron oscillators.

【参考文献】

- [1] Liping Zhu et al., Royal Society Open Science, vol. 5, pp. 1-13, (2018).
[2] 松岡拓哉, 他, 第 82 回応用物理学会春季学術講演会, 13a-N403-6, (2021).

【謝辞】

本研究の一部は JSPS 科研費・基盤研究(A)(JP23H00169)、および(公財) 柏森情報科学振興財団の助成を受け実施された。

熱雑音を利用する三連単電子箱回路の設計と増幅回路への応用

Design of thermal-noise-harnessing triple single-electron box circuit and its application to signal amplification circuit

田口 愛梨¹, 大矢 剛嗣^{1,2} (1 横国大理工, 2 横国大 IMS)

Airi Taguchi¹, Takahide Oya^{1,2}

1 College of Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.

E-mail: taguchi-airi-zd@ynu.jp

1. 研究背景・目的

近年ナノテクノロジーの発展により、様々なナノデバイスの開発が進んでおり、その一つに単電子デバイス/回路がある。単電子回路は並列処理に優れるなどの特徴を持つが、ノイズに非常に弱いという欠点がある。ノイズはシステムにおいて障害とみなされ、一般的には排除される。しかし、生体では確率共鳴と呼ばれる現象を巧みに利用し、高精度なセンシング等にノイズが活用されている。

本研究では確率共鳴現象を取り入れ、ノイズを利用して動作する単電子回路として、三連単電子箱回路の設計及び応用を目的とする。

2. 研究内容

電子回路における確率共鳴現象の有効な設計法として、双安定系や並列加算ネットワークがある。双安定系では、ノイズが加わると二つの安定状態のうち、より安定する状態へと遷移が起こる^[1]。並列加算ネットワークでは、確率共鳴系を並列に数多く動作させることで応答性能を向上可能である^[2]。本研究では、これまでにこれらを参考にして設計した単電子メモリ対回路にて、ノイズを利用し所望の動作をすることと論理回路への応用展開が可能であることを報告している^[3]。一方で、出力振幅が減少するという課題が残されていた。そこで今回はノイズを利用可能な三連単電子箱回路を新たに設計し、増幅回路への応用を検討する。

今回設計した三連単電子箱回路(Fig. 1)は、三つの単電子箱を相互に作用するように組み合わせたものとなっている。一つのノードで電子トンネルが発生すると、キャパシタを通してその電位変化を受け取った他の二つのノードではトンネルが抑制されるため、双安定状態となる。

各ノードに対して、正弦波形をとる入力電位を加えた場合のシミュレーションを行った(Fig. 2)。

出力は三つのノード電位($V_{n1} \sim V_{n3}$)を足し合わせたものとしている。0[K]では電子トンネルが起こらないのに対し、熱雑音環境下(20[K])では、電子トンネルが多数発生し、確率性を持った応答が得られた。本研究では、このように確率共鳴系を発現することが確認できた三連単電子箱回路を利用し、増幅回路を実現させる。詳細は講演にて述べる。

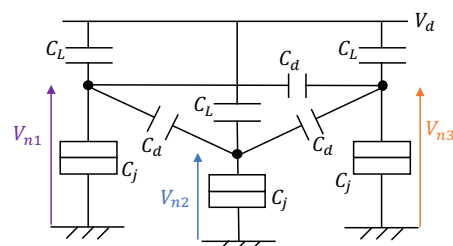


Fig. 1 Triple single-electron box circuit.

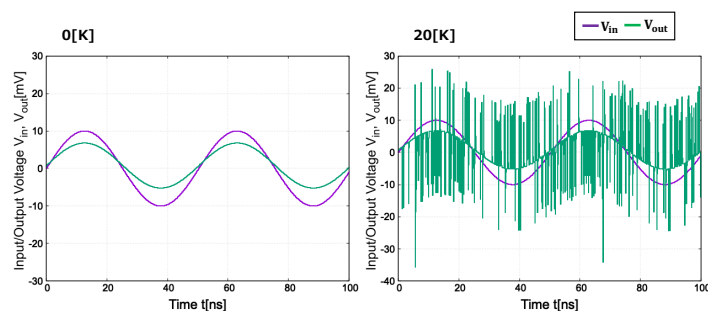


Fig. 2 Simulation result.

【参考文献】

- [1] S. Kasai, et al., Appl. Phys. Exp. **11**, 037301 (2018).
- [2] J.J. Collins, et al., Nature **376**, 236 (1995).
- [3] R. Kaide, et al., JJAP **60**, 085001 (2021).

【謝辞】

本研究の一部はJSPS 科研費・基盤研究(A)(JP23H00169)、および(公財)柏森情報科学振興財団の助成を受け実施された。

逆積分変換法による $1/f$ 雑音の電子トラップ時定数分布の抽出

Extraction of Charge Relaxation Time Distribution of $1/f$ Noise

Based on Inverse Integral Transformation Method

熊本大¹, 北大量集センター² °谷田部 然治¹, 葛西 誠也²

Kumamoto Univ.¹, RCIQE, Hokkaido Univ.², °Zenji Yatabe¹, Seiya Kasai²

E-mail: yatabe@cs.kumamoto-u.ac.jp

【はじめに】パワースペクトル密度 $S(f)$ が周波数 f に反比例する $S(f) \sim 1/f^\alpha$ 雑音は半導体デバイスの電流雑音として広く測定される [1–3]。その主な発生要因は酸化膜中や半導体表面・界面の欠陥等による電子トラップの充放電であり、異なる時定数を有するランダムテレグラフ雑音(RTN)の重ね合わせとして $S(f) \sim 1/f^\alpha$ 雑音が発生すると広く認知されている(Bernamont-Surdin-McWhorter モデル:BSM モデル)。BSM モデルに基づきパワースペクトル密度 $S(f)$ からトラップの充放電の時定数分布 $G(\tau)$ を導出する手法は確立されていない。そこで本研究ではトラップの充放電の時定数分布 $G(\tau)$ を導く新規手法について検討した。

【計算方法】BSM モデルの時定数分布 $G(\tau)$ を導出するということは第一種フレドホルム積分方程式の積分核を求める ill-conditioned(悪条件)問題そのものである。すなわち通常の最小二乗法では時定数分布 $G(\tau)$ が一意的に求まらず、パワースペクトル密度 $S(f)$ を同程度に再現する互いに大きく異なる時定数分布 $G(\tau)$ を複数個導出してしまう可能性がある。そこで本研究では高分子やコロイド溶液の動的光散乱法で用いられる正則化の手法を取り入れ、トラップの充放電の時定数分布 $G(\tau)$ を数値計算で導出することを試みた。

【結果と考察】計算に用いたパワースペクトル密度 $S(f)$ を図 1 に示す。 $S(f)$ に対応する規格化した自己相関関数 $R(\tau)/R(0)$ を図 2 に示す。提案手法で求めた時定数分布 $G(\tau)$ を図 3 に示す(棒グラフ)。図 3 の実線はパワースペクトル密度 $S(f)$ の逆 Stieltjes 変換により求めた解析解である [3]。提案手法は解析解と一致しており、分布のピーク位置はパワースペクトル密度のコーナー周波数 f_c と一致している。提案手法は電流雑音から安定的(解の一意性)に電子トラップの充放電の時定数分布 $G(\tau)$ を抽出できる有用な手法である可能性が示唆された。

[1] T. Muramatsu, K. Miura, Y. Shiratori, Z. Yatabe, and S. Kasai, Jpn. J. Appl. Phys. **51**, 06FE18 (2012).

[2] Z. Yatabe, T. Muramatsu, J. T. Asubar, and S. Kasai, Phys. Lett. A **379**, 738 (2015).

[3] Z. Yatabe, S. Inoue, J. T. Asubar, and S. Kasai, Appl. Phys. Express **11**, 031201 (2018).

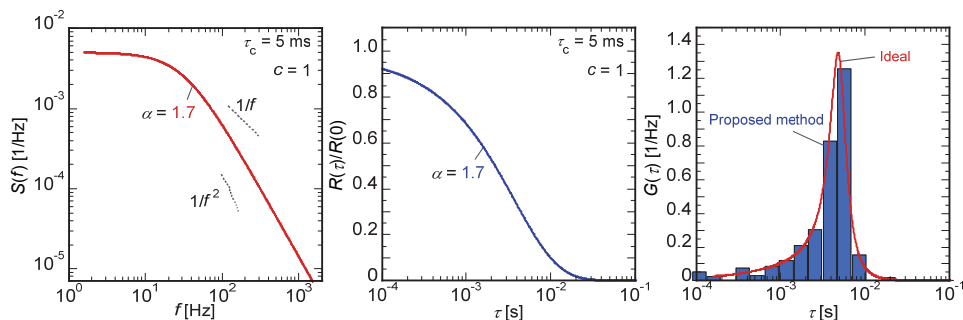


Fig.1 Power spectral density $S(f)$.

Fig.2 Autocorrelation $R(\tau)/R(0)$.

Fig.3 Trap distribution $G(\tau)$.

静電結合したシリコンナノドット中の単電子熱運動の交差相関測定

Cross-correlation measurement of single-electron thermal motion in capacitively-coupled nanometer-scale dots

NTT 物性科学基礎研究所 [○]知田 健作, アントワン・アンドリュウ, 西口 克彦

NTT Basic Research Laboratories

[○]Kensaku Chida, Antoine Andrieux, Katsuhiko Nishiguchi

E-mail: kensaku.chida@ntt.com

【概要】 電子デバイスをナノメートルスケールで集積化するとデバイス中の電子運動はデバイス間の静電結合の影響を受けて相関を持つ。本研究では 20 nm の絶縁層で電氣的に絶縁された二つのシリコンナノドット中それぞれにおける単電子の熱運動を観測し、その交差相関関数からナノドット間に働く静電結合の強さを求めた。

【実験手法】 本実験で用いた素子は Silicon on insulator 基板上に作製された静電結合した二つのナノドット(Dot 1 と Dot 2)、三端子検出器(Detector)、ゲート電極(Gate)、電子溜(ER)から構成される(Fig. 1)。それぞれの検出器端子(D1, D2, と D3)と二つのナノドットの間の静電結合の強さがそれぞれ異なるため、端子毎にナノドット内電子数(N_1 と N_2)の変化による電流変化 $\delta I_{D\alpha}(N_\beta)$ が異なる。ここで、 $\alpha = 1, 2, 3$ は検出器端子の番号を、 $\beta = 1, 2$ はナノドットの番号を表す。2 つ以上の検出器端子で計測される電流(I_{D1} , I_{D2} と I_{D3})を組み合わせることで、 N_1 と N_2 をモニタすることができる。全ての実験は室温(300 K)で行った。

【結果・考察】 検出器電流はナノドット内の単電子熱運動[1]を反映したランダムな増減を示す(Fig. 2)。検出器電流から求めた N_1 と N_2 の同時確率分布は、 N_1 と N_2 が同時に増減する可能性が減少した、左側に傾いた楕円形をしている(Fig. 3)。これは、クーロン斥力によって N_1 と N_2 が逆位相で変化していることを意味する(N_1 と N_2 が無相関である場合には、 N_1 と N_2 が独立に増減するため、楕円は左右どちらにも傾かない)。 N_1 と N_2 の原点はそれぞれの平均値と定義した。 N_1 と N_2 の時系列データから交差相関関数 $C_{12}(\tau) = \langle N_1(t)N_2(t - \tau) \rangle$ を求めると、クーロン斥力による逆位相の単電子熱運動を反映して $\tau = 0$ s で負の値を示した。 E_{Cm} のみをフリーパラメータとしたシミュレーションから、 $C_{12}(0)$ の負の値の大きさがクーロン斥力の強度 E_{Cm} を反映していることが示され、実験結果との比較からナノドット間の E_{Cm} の大きさが約 2 meV であることが分かった。

本研究では、交差相関測定によって、集積化されたナノデバイス間の静電結合に起因する単電子熱運動の相関を観測した。集積化されたナノデバイス中の単電子運動を観測することにより、電流と完全に分離された熱流の計測[2]等の、ナノデバイスに特有の現象を利用したデバイス機能の原理実証と制御を行うことができると期待される。

【謝辞】 本研究について議論頂きました北大葛西誠也教授と筑波大都倉康弘教授、NTT 藤原聡博士に感謝いたします。

【参考文献】 [1] K. Nishiguchi *et al.*, *Nanotechnol.* **25**, 275201 (2014). [2] R. Sanchez, and M. Buttiker, *EPL* **100**, 47008 (2012).

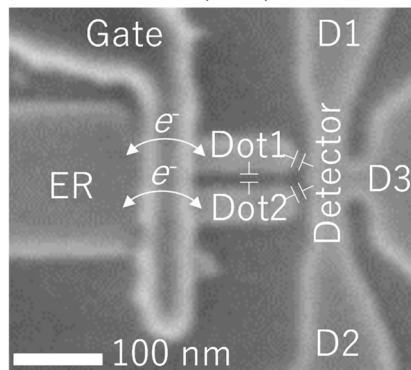


Fig. 1 Scanning electron microscope image of our device. Electrons thermally hop between the dots and ER.

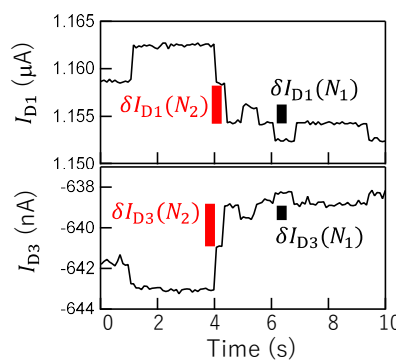


Fig. 2 Detector current through terminal D1 and D3 as a function of time. N_1 and N_2 are estimated by combining I_{D1} and I_{D3} .

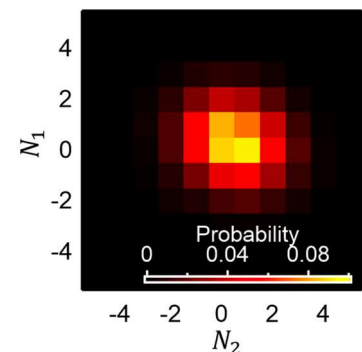


Fig. 3 Joint probability distribution of single-electron thermal motion in the capacitively-coupled dots.

AC signal sensing 6 Orders of Magnitude above Cutoff Frequency in non-equilibrium DRAM

NTT Basic Research Laboratories, 1, ○C. Salhani¹, K. Chida¹, T. Hayashi¹, and K. Nishiguchi¹

E-mail: chloe.salhani@ntt.com

The development of information technology requires advanced communication and data processing technologies. In both domains, the use of high-frequency signals is one of the important factors that enable handling vast amounts of data. Devices operating in the frequency domain generally operate within specific frequency ranges, making the cutoff frequency an essential parameter to consider in the process of designing circuits. On the other hand, from the perspective of thermodynamics, non-equilibrium in an energy scale generates energy flow as like thermal gradient generates energy. This energy flow is independent of factors of time such as flow rates and time constant. As such, operating devices in the non-equilibrium domain may provide an avenue to push device performances beyond the limitations of the cutoff frequency.

In this study, we focus on the high-frequency, non-equilibrium performance of a nanoscale dynamic random-access memory (DRAM) device, in which the DRAM reads out an AC signal over six orders of magnitude above its cutoff frequency Γ_0 . Fig. 1(a) shows the device, composed of a DRAM and field-effect transistor (FET) labelled the sense-FET. In the DRAM, single electrons shuttle between a nanometer-scale dot (the node) and an electron reservoir (ER). The sense-FET is capacitively coupled to the node and detects its charge. Electrons shuttling between the node and the ER induce a step-like change in the sense-FET current, as shown in Fig. 1(b). In this manner, the evolution of the number of electrons N in the node can be monitored with single-electron resolution at room temperature [1]. The addition of an AC signal on the ER changes the probability distribution of N , seen on Fig. 1(c). The features of this distribution depend on the frequency f_{AC} of the AC signal as shown in Fig. 1(d): at low frequency, the average value of N , N_{av} , remains zero, although the observed variance of N , N_{var} , is large. The electrons

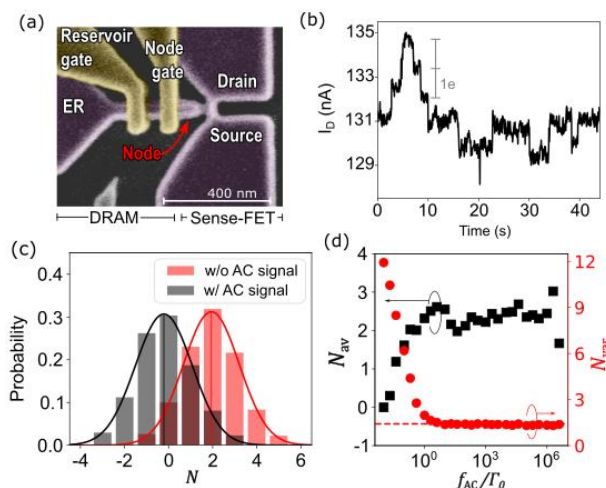


Fig. 1. (a) False color scanning electron microscopy image of the device. (b) Sense-FET's current over time. Discrete jumps are visible that correspond to the number $N - \langle N \rangle$ of electrons in the node. (c) The change in the probability distribution of N with the addition of the AC signal on the reservoir when $f_{AC} \gg \Gamma_0$. Average N_{av} and variance N_{var} of $N - \langle N \rangle$, as a function of f_{AC}/Γ_0 , frequency of the AC signal normalized by the DRAM's cutoff frequency.

shuttling in and out of the node follow the AC signal, the node and the BL remain in equilibrium. As f_{AC} increases beyond Γ_0 , the electron shuttling no longer follows the AC signal. As a result, N_{var} saturates around $N_{var}^{(eq)}$, the value of N_{var} without AC signal, while N_{av} increases significantly compared to $N_{av}^{(eq)}$ [2]. This increase of N_{av} corresponds to an increase of the charge stored in the node, and as such the node and the BL are no longer in equilibrium. In this manner, the operation of the DRAM in the non-equilibrium regime allows the device to behave as an AC signal sensor, detecting AC signals up to six orders of magnitude beyond its internal cutoff frequency.

REFERENCES:

- [1] K. Nishiguchi, et al, Jpn. J. Appl. Phys. 47, 8305 (2008).
- [2] K. Nishiguchi, et al, Nanotechnology 25, 275201 (2014).

DRAM セルのエネルギー効率限界：単電子計数を用いた高精度測定

Energy Efficiency Limits of DRAM Cells: High-Precision Measurement Using Single-Electron Counting

NTT 物性基礎研 °清水 貴勢, 知田 健作, 山端 元音, 西口 克彦

NTT Basic Research Labs., °Takase Shimizu, Kensaku Chida, Gento Yamahata, Katsuhiko

Nishiguchi

E-mail: takase.shimizu@ntt.com

DRAM のエネルギー効率化に向けた手段の一つとして、DRAM セルのビット間電位差を低減することが挙げられる[1]。これにより、ストレージキャパシタ(SC)の充放電に伴うエネルギー散逸、すなわち発熱を抑制できる。しかし、信号対雑音比の低下により読み書きにおいてエラーの発生可能性が高まる。雑音低減に向けた技術改善が進む一方で、最終的に DRAM セルが到達可能なエネルギー効率の限界は未だ解明されていない。DRAM セルを模した RC 回路を用いて、放電に伴う発熱の測定を試みた例は報告されているが[2]、発熱を過小評価しており、またエラーは未評価である。

我々は、単電子計数可能なシリコン DRAM 素子を用いて[3]、発熱とエラーの高精度測定を試みた。使用したシリコン素子は、SC、ビット線(BL)、ワード線(WL)からなる DRAM セル構造と、隣接したセンサーの電流 I_D から SC の電荷 $q = ne$ (e : electron charge)を検出するものである[Fig. 1 (a, b)]。測定は室温($T = 300$ K)で行った。主たる発熱は SC の電荷を放電する際に発生する。Fig. 1 (d) に、充電済の SC に対して Fig. 1(c)のように徐々に WL 障壁を下げて放電させた際の I_D の時間発展の一例を示す。 I_D が離散的に変化しており、ここから $n = q/e$ の増減を電子一個の分解能で測定できる。 n の増減に伴う熱の出入り ΔQ は、回路のエネルギー変化 ΔE とエネルギー保存則 $\Delta Q = -\Delta E$ から推定でき、SC の化学ポテンシャル $\mu_n = 2E_c(n - 1/2) + \alpha V_{WL}$ と BL 電圧 V_{BL} を用いて、 $\Delta Q_{N \rightarrow N+1} = eV_{BL} - \mu_{N+1}$, $\Delta Q_{N \rightarrow N-1} = \mu_N - eV_{BL}$ で与えられる[4]。ここで、 E_c は SC の帯電エネルギー、 α は WL (電圧: V_{WL}) と SC の容量結合で決まる係数であり、予め測定可能である。Fig. 1(e)に、Fig. 1 (d)に対応する発熱 $Q = \sum \Delta Q$ を示す。 $k_B T$ (k_B : Boltzmann constant)より小さい熱の出入りを測定できている事が分かる。DRAM セルで問題となる本質的なエラーは熱雑音起因の書き込みエラーで、状態“0”と“1”の放電開始直後に観測した n の確率分布 $p_n(t=0)$ の重なりから評価できる[Fig. 1(f)]。本講演では、これらの測定結果に基づき、DRAM セルのエネルギー効率限界について議論する。

[1] T. Vogelsang, Proc. 43rd Annual IEEE/ACM International Symposium on Microarchitecture 363–374 (2010). [2] Alexei O. Orlov et al., Jpn. J. Appl. Phys. 51 06FE10 (2012). [3] K. Nishiguchi et al., Nanotechnol. 25, 275201 (2014). [4] D. V. Averin and J. P. Pekola, EPL, 96 67004 (2011).

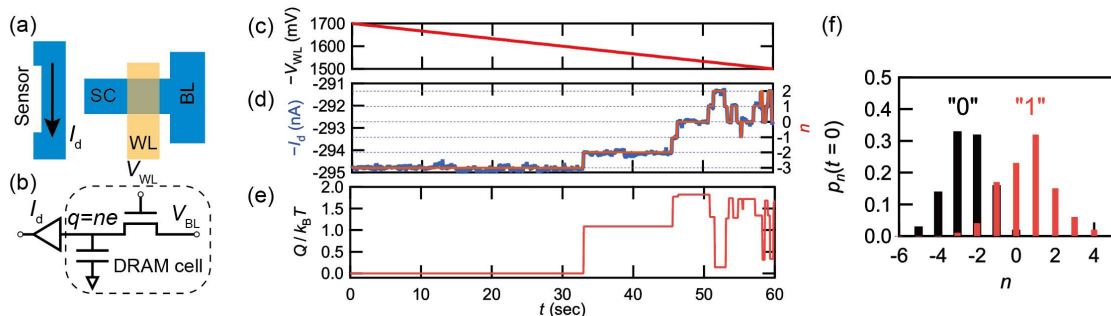


Fig. 1: (a) Schematic of the device and (b) its equivalent circuit. (c) Time evolution of the WL voltage V_{WL} , (d) the detector current I_D and $n = q/e$, and (e) the heat dissipation Q during the discharge operation. (f) Initial probability distribution $p_n(t=0)$ for the states “0” and “1”.