

Oral presentation | 15 Crystal Engineering : 15.5 Group IV crystals and alloys

📅 Thu. Sep 19, 2024 1:00 PM - 5:15 PM JST | Thu. Sep 19, 2024 4:00 AM - 8:15 AM UTC 🏛️ B5 (Exhibition Hall B)

[19p-B5-1~16] 15.5 Group IV crystals and alloys

Katsunori Makihara(Nagoya Univ.), Ryo Yokogawa(Meiji Univ.)

1:00 PM - 1:15 PM JST | 4:00 AM - 4:15 AM UTC

[19p-B5-1]

Observation of crack generation in Ge-on-Si(111) and its suppression

○Yuuka Shibahara¹, Shuya Kikuoka¹, Masaki Nagao¹, Ryota Mizoguchi¹, Michihiro Yamada¹, Kohei Hamaya^{2,3}, Kentarou Sawano¹ (1.Tokyo City Univ., 2.CSRN, Osaka Univ., 3.OTRI, Osaka Univ.)

1:15 PM - 1:30 PM JST | 4:15 AM - 4:30 AM UTC

[19p-B5-2]

Suppression of crack propagation in strained SiGe /Ge on Si(111) by selective ion implantation

○Ryota Mizoguchi¹, Masaki Nagao¹, Yuka Shibahara¹, Mayu Aikawa¹, Michihiro Yamada¹, Kohei Hamaya^{2,3}, Kentarou Sawano¹ (1.Tokyo City Univ., 2.CSRN, Osaka Univ., 3.OTRI, Osaka Univ.)

1:30 PM - 1:45 PM JST | 4:30 AM - 4:45 AM UTC

[19p-B5-3]

Fabrication of microbridges based on Ge-on-Insulator and observation of resonant light emission

○Shu Yoshikawa¹, Takahiro Inoue¹, Ayaka Odashima¹, Riku Ishikawa¹, Ryoga Yokoki¹, Kentarou Sawano¹ (1.TCU)

1:45 PM - 2:00 PM JST | 4:45 AM - 5:00 AM UTC

[19p-B5-4]

Fabrication of Ge p-i-n LEDs on Si and room-temperature EL emission characteristics

○Hiroshi Imai¹, Aoki Sora¹, Kikuoka Syuya¹, Sawano Kentaro¹ (1.TCU)

2:00 PM - 2:15 PM JST | 5:00 AM - 5:15 AM UTC

[19p-B5-5]

Fabrication of lateral SiGe spin transport devices on Ge on insulator

○Kenji Oki¹, Shuya Kikuoka², Osamu Yoshikawa², Hajime Kuwazuru³, Atsuki Morimoto³, Keisuke Yamamoto³, Takamasa Usami^{1,5}, Azusa Hattori⁴, Kentarou Sawano², Kohei Hamaya^{1,5} (1.CSRN, Osaka Univ., 2.Adv. Res. Lab., Tokyo City Univ., 3.IGSES, Kyushu Univ., 4.SANKEN, Osaka Univ., 5.OTRI, Osaka Univ.)

2:15 PM - 2:30 PM JST | 5:15 AM - 5:30 AM UTC

[19p-B5-6]

Observation of room-temperature spin signals through Co₂FeAl_{0.5}Si_{0.5}/Ge-pn junctions

○Kenji Oki¹, Shinnosuke Ueda¹, Shuya Kikuoka², Michihiro Yamada², Shunpei Fujii¹, Takamasa Usami^{1,3}, Kentarou Sawano², Kohei Hamaya^{1,3} (1.CSRN, Osaka Univ., 2.Adv. Res. Lab., Tokyo City Univ., 3.OTRI, Osaka Univ.)

2:30 PM - 2:45 PM JST | 5:30 AM - 5:45 AM UTC

[19p-B5-7]

Formation of methylated germanane layers by molecular beam epitaxy

○Atsuki Nakayama¹, Kazuho Matsumoto¹, Shigehisa Shibayama¹, Mitsuo Sakashita¹, Osamu Nakatsuka^{1,2}, Masashi Kurosawa¹ (1.Grad. Sch. of Eng., Nagoya Univ., 2.IMaSS, Nagoya Univ.)

2:45 PM - 3:00 PM JST | 5:45 AM - 6:00 AM UTC

[19p-B5-8]

Surface treatment of Ge_{1-x}Sn_x epitaxial layer toward the formation of ultra-thin segregated GeSn crystal

○Taiga Matsumoto¹, Akio Ohta², Ryo Yokogawa^{3,4}, Masashi Kurosawa¹, Mitsuo Sakashita¹, Osamu Nakatsuka¹, Shigehisa Shibayama¹ (1.Nagoya Univ., 2.Fukuoka Univ., 3.Meiji Univ., 4.MREL)

3:15 PM - 3:30 PM JST | 6:15 AM - 6:30 AM UTC

[19p-B5-9]

Passivation of grain-boundary-defects in Sn-doped polycrystalline Ge thin films (≤50nm) by post annealing

○Ryu Hashimoto¹, Taishiro Koga¹, Takashi Kajiwar¹, Taizoh Sadoh¹ (1.Kyushu Univ.)

3:30 PM - 3:45 PM JST | 6:30 AM - 6:45 AM UTC

[19p-B5-10]

Growth of IV-VI thin-films on insulator by molecular beam deposition

○Ryo Matsumura¹, Qinqiang Zhang¹, Bowen Ma^{1,2}, Ahmed Mahmoud^{1,2}, Naoki Fukata^{1,2} (1.NIMS MANA, 2.Univ. Tsukuba)

◆ English Presentation

3:45 PM - 4:00 PM JST | 6:45 AM - 7:00 AM UTC

[19p-B5-11]

High Pressure Annealing Towards the Solid-Phase Crystallization of Thin-Film Germanium Sulfide

○Ahmed Mahmoud^{1,2}, Qinqiang Zhang¹, Ryo Matsumura¹, Naoki Fukata^{1,2} (1.NIMS, 2.Univ. of Tsukuba)

◆ English Presentation

4:00 PM - 4:15 PM JST | 7:00 AM - 7:15 AM UTC

[19p-B5-12]

Growth of Uniform GeS Thin Films by Aluminum Catalyst

○Qinqiang Zhang¹, Ryo Matsumura¹, Naoki Fukata¹ (1.MANA-NIMS)

4:15 PM - 4:30 PM JST | 7:15 AM - 7:30 AM UTC

[19p-B5-13]

High Power Factors in Low-Temperature Polycrystalline Ge Thin Films for Flexible Thermoelectric Generators

○(DC)Koki Nozawa¹, Takashi Suemasu¹, Kaoru Toko¹ (1.Univ. of. Tsukuba)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

4:30 PM - 4:45 PM JST | 7:30 AM - 7:45 AM UTC

[19p-B5-14]

Thick polycrystalline Ge layer synthesis and first demonstration of photoresponsivity on glass

○Shintaro Maeda^{1,2}, Takamitsu Ishiyama^{1,2}, Takashi Suemasu¹, Kaoru Toko¹ (1.Univ. of Tsukuba, 2.JSPS Research Fellow)

4:45 PM - 5:00 PM JST | 7:45 AM - 8:00 AM UTC

[19p-B5-15]

Application of Si thin film to the anode of rechargeable battery -Improved properties by insertion of interlayer-

○Yo Eto¹, Koki Nozawa¹, Reno Ito¹, Takashi Suemasu¹, Kaoru Toko¹ (1.Tsukuba Univ.)

5:00 PM - 5:15 PM JST | 8:00 AM - 8:15 AM UTC

[19p-B5-16]

Epitaxial growth of SiGe with thick Ge-rich regions on Si substrates by screen-printing and annealing

○Kohei Ito¹, Ryoji Katsube¹, Yuki Imai², Satoru Miyamoto^{1,2}, Shota Suzuki³, Hideaki Minamiyama³, Marwan Dhamrin^{3,4}, Noritaka Usami^{1,2,5} (1.Grad.Eng. Nagoya Univ., 2.IMaSS Nagoya Univ., 3.Toyo Aluminium K.K., 4.Grad.Eng. Osaka Univ., 5.InFuS Nagoya Univ.)

Ge-on-Si (111)へのクラック発生の観測とその抑制

Observation of crack generation in Ge-on-Si(111) and its suppression

芝原夕夏¹、菊岡柊也¹、長尾優希¹、溝口稜太¹、山田道洋¹、浜屋宏平^{2,3}、澤野憲太郎¹

¹ 東京都市大学、² 阪大基礎工 CSRN、³ 阪大 OTRI

Y. Shibahara¹, S. Kikuoka¹, M. Nagao¹, R. Mizoguchi¹, M. Yamada¹, K. Hamaya^{2,3}, K. Sawano¹

¹Tokyo City Univ., ²CSRN, Osaka Univ., ³OTRI, Osaka Univ.

E-mail: g2381241@tcu.ac.jp

1. はじめに

Si (111)基板上に高品質 Ge (111)膜を結晶成長することで、Si プラットフォーム上の次世代フォトニックデバイス、スピンドバイス等への応用が期待できる。Ge 薄膜は、膜厚を増加させるほど、貫通転位密度は減少し結晶性が向上すると期待できる一方、Si との熱膨張差により導入される引っ張り歪みによる結晶欠陥発生も危惧される。今回我々は、Ge 薄膜にクラックが発生すること、パターニング手法[1]によってその抑制が可能であることを報告する。

2. 実験方法と結果と考察

3 インチ Si (111)ウェハー上に、フォトリソグラフィーを用いて Fig. 1 のような円形メサパターンを形成し、固体ソース MBE を用いて Ge 膜を成長した。比較としてパターニングなしのウェハー上にも成長した。2 段階成長法により、40 nm の Ge 層を 350 °C で成長後、1-3 μm の Ge 層を 700 °C で成長した(Fig. 1)。

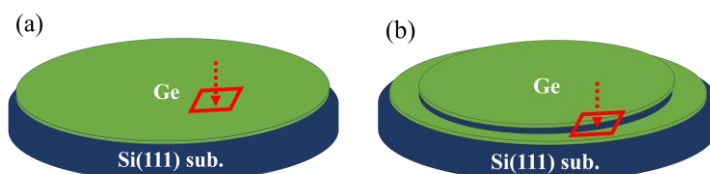


Fig. 1 Ge on Si (111) (a) without and (b) with patterning.

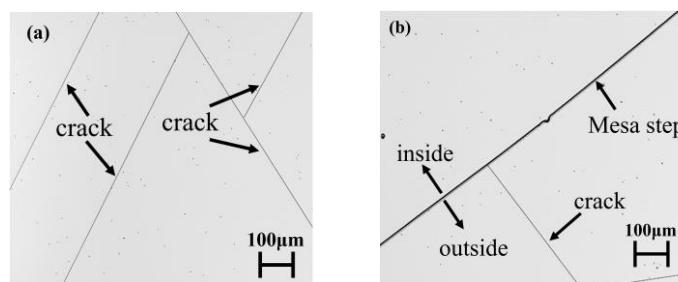


Fig. 2 Laser microscope surface images for Ge-on-Si (111) (a) without and (b) with patterning.

成長後の表面形状をレーザー顕微鏡で観察した。Fig. 2 (a)はパターニングを施していない試料 (Ge 膜厚 3 μm)の表面像である。この表面像から多くのクラックが Ge 膜内に形成されていることが分かったが、膜厚 2 μm 以下の Ge 膜からはクラックは観測されなかった。Ge 膜の引っ張り歪みは 0.2 %程度であり、以上の結果をその臨界膜厚と比較すると妥当な結果といえる。一方、Fig. 2 (b)は円形パターニングを施した試料の表面像であり、メサステップの外側で発生しているクラックが、ステップ内側に伝搬していないことが分かる。つまり、Ge へのクラック発生をパターニングによって抑制可能であることを示している。本研究の一部は科学研究費補助金(24H00034, 23H05455, 23H05458, 21H04635)の支援を受けて行われた。

[1] Y. Wagatsuma et al., Appl. Phys. Express 14 025502(2021).

選択的イオン注入による Si(111)上の歪み SiGe/Ge へのクラック伝搬抑制 Suppression of crack propagation in strained SiGe /Ge on Si(111) by selective ion implantation

東京都市大¹, 阪大基礎工 CSRN², 阪大 OTRI³

溝口 稜太¹, 長尾 優希¹, 芝原 夕夏¹, 相川 茉由¹, 山田 道洋¹, 浜屋 宏平^{2,3}, 澤野 憲太郎¹

Tokyo City Univ.¹, CSRN, Osaka Univ.², OTRI, Osaka Univ.³

R. Mizoguchi¹, M. Nagao¹, Y. Shibahara¹, M. Aikawa¹, M. Yamada¹, K. Hamaya^{2,3}, K. Sawano¹

E-mail: g2481280@tcu.ac.jp

1. はじめに

近年 Ge(111)は、電子移動度が高いことや、フォトニックデバイス、スピントロニクスへの応用が可能であることから注目されている[1]。また、Ge(111)上の歪み SiGe は、歪み導入による特性向上が期待されている。これまでに我々は、Ge-on-Si へ選択的イオン注入による局所欠陥導入をすることで、歪み SiGe 層に生じるクラックの伝搬を抑制できることを報告した[2]。本研究では、Si(111)基板表面へ選択的イオン注入を行うことで、さらにクラック伝搬抑制効果が向上し、高品質な歪み SiGe/Ge 構造が成長可能であることを報告する。

2. 実験方法、結果・考察

Si(111)基板に、一辺 600 μm の正方形パターンの外部のみ選択的にイオン注入を行った。その後、2 段階成長法により MBE で Ge 層を成長し、続けて歪み SiGe 層を成長した(Fig. 1)。歪み SiGe 層膜厚は、臨界膜厚を超える 250 nm としている。Fig. 2 に SiGe 成長前の Ge 層表面のレーザー顕微鏡像、および AFM 像を示す。イオン注入部分は欠陥導入により表面荒れが生じているが、正方形のイオン未注入領域は高い平坦性を保ち、高品質な Ge 層が形成されている。Fig. 3 は歪み SiGe 層成長後の表面像である。同条件でイオン注入を施していない Si 基板上に成長した試料では、全面にクラックが発生している一方、イオン注入を施した試料ではクラックが全く見られていない。これは正方形外部の欠陥領域の存在でクラックの伝搬が抑制されたためであると考えられる。以上の結果より、選択的イオン注入法が歪み SiGe を利用した各種デバイス応用に非常に有望であることを示している。本研究の一部は科研費 (21H04635, 23H05458, 23H05455, 24H0034) の支援を受けて行われた。

[1] K. Hamaya et al., *J. Phys. D: Appl. Phys.* 51, 393001 (2018).

[2]長尾他、2024 春応物

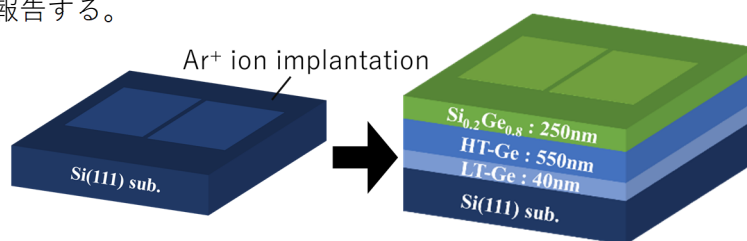


Fig. 1 Fabrication procedure of strained SiGe on Ge-on-Si(111) with selective ion implantation.

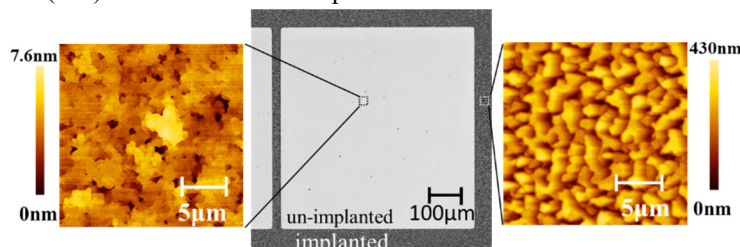


Fig. 2 Laser microscope and AFM surface images for Ge grown on selectively ion-implanted Si(111).

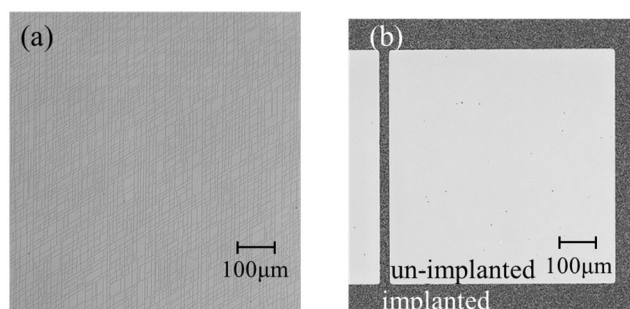


Fig. 3 Laser microscope surface images for the strained SiGe layers on (a) without and (b) with selective ion implantation into Si(111).

Ge-on-Insulator 上マイクロブリッジの作製と共振発光の観測

Fabrication of microbridges based on Ge-on-Insulator and observation of resonant light emission

東京都市大学 ○吉川修, 井上貴裕, 小田島綾華, 石川陸, 横木亮河, 澤野憲太郎

Tokyo City University

○Shu Yoshikawa, Takahiro Inoue, Ayaka Odashima, Riku Ishikawa, Ryoga Yokoki, Kentarou Sawano

E-mail: g2381279@tcu.ac.jp

1. はじめに

近年 Si プラットフォーム上の発光素子応用へ向けて Ge が注目を集めている。Si 上に Ge をエピタキシャル成長させた Ge-on-Si (GOS)では、Ge に引っぱり歪みが導入され、直接遷移確率が向上し発光効率が向上する。さらに、マイクロブリッジ構造を形成し Si 上から Ge を浮遊させることで、歪みを向上させ、大きな発光効率の向上が期待される[1]。しかし、Ge の下部のSiを選択エッチングする際に、(111)面が出てしまい、完全に浮遊させるのが難しい。そこで GOS と貼り合わせ法を組み合わせた Ge-on-Insulator (GOI)を形成すると、HF による BOX 層の選択エッチングにより容易に浮遊可能となる。さらに、GOI は GOS よりも大きな歪みが加わっているため、浮遊させた後により大きな歪み導入が期待される。本発表では GOI 上にマイクロブリッジを形成し、非常に大きな発光効率向上を確認したので報告する。

2. 実験方法・結果

Fig. 1 に試料作製プロセスを示す。Si (100)基板上に固体ソース MBE を用いて、低温 Ge 層 ($T_g = 350^\circ\text{C}$, 40nm)、高温 Ge 層 ($T_g = 700^\circ\text{C}$, 700 nm)を成長させ、アニール ($T = 800^\circ\text{C}$)を行い、結晶性の改善を行った。この試料と熱酸化 Si (111)基板をアンモニア溶液処理後、室温で直接貼り合わせ、アニールを行うことで基板を結合させた。その後、機械研磨にて最上部の Si 層を 100 μm 程度まで薄くした後、KOH による選択エッチングにて完全に除去した。さらに CMP によって欠陥を多く含む低温 Ge 層を除去し、GOI を完成させた。この GOI にフォトリソグラフィでブリッジ構造をパターンニングし、ドライエッチングにより Si までエッチングした。最後に HF によって BOX 層を選択エッチングすることでブリッジを浮遊させた。

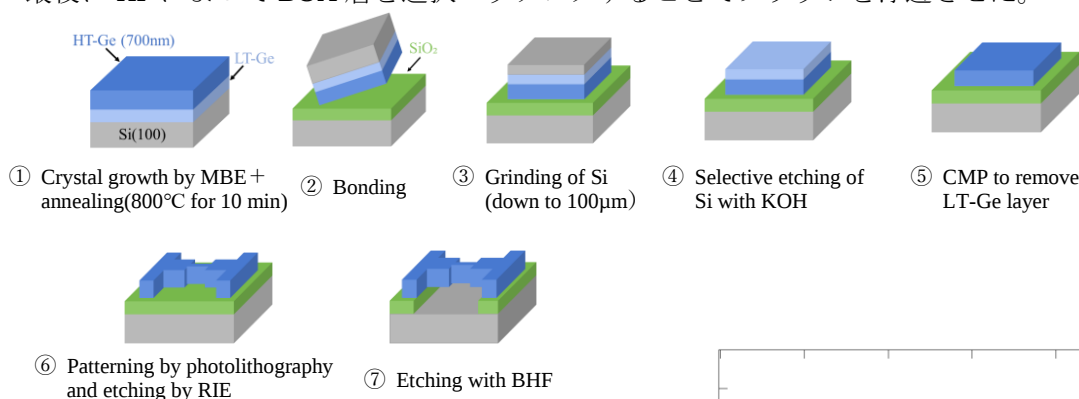


Fig. 1 Fabrication procedure of GOI Bridges.

Fig. 2 にマイクロブリッジ中心部から得られた室温 PL スペクトルを示す。ブリッジ形成により、ブリッジ形成前の GOI と比べ非常に大きな発光強度の増大、長波長側へのピークシフトが見られた。特に、ブリッジ幅 3 μm では、5 μm と比べ、より長波長側に強い共振ピークが確認できる。これはブリッジ内への光の強い閉じ込めの効果であると考えている。以上より、GOI 上に形成した歪み Ge マイクロブリッジは Si フォトニクスにおける高効率発光デバイスへの応用が期待できる。本研究の一部は科研費 (21H04635, 23H05458, 23H05455, 24H0034) の支援を受けて行われた。

[1] M. J. Suess et al. Nat. Photonics 7: 466, 2013

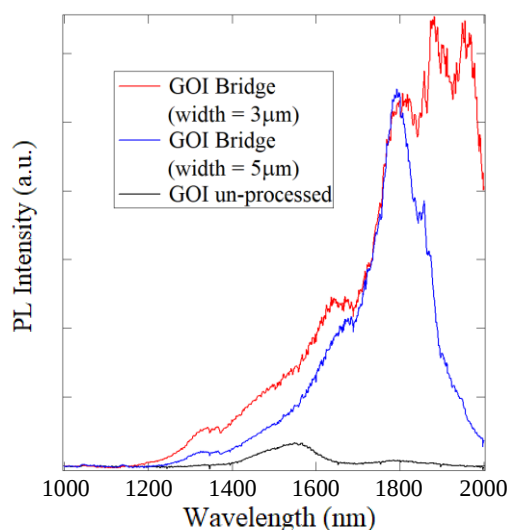


Fig. 2 Room temperature PL spectra for GOI microbridges and un-processed GOI.

Si 上 Ge p-i-n LED の作製と室温 EL 発光特性

Fabrication of Ge p-i-n LEDs on Si and room-temperature EL emission characteristics

東京都市大学 総合研究所 ○今井 広、青木 宇宙、菊岡 柊也、澤野 憲太郎

○H. Imai, S. Aoki, S. Kikuoka, K. Sawano Adv. Res. Lab., Tokyo City Univ.

E-mail: g2381215@tcu.ac.jp

1. はじめに 近年、チップ消費電力を削減するために光電融合技術が注目され、Si プラットフォーム上の光源として、Si 上に直接エピタキシャル成長が可能である Ge が注目されている。特に、Si 上に成長させることで歪みが導入され、直接遷移確率が増大する。我々はこれまでに、Ge-on-Si(100)構造を用い、試料表面と裏面に電極を配置した両面電極構造 LED を作製し、室温 EL 発光を得ている[1]。しかしながら、この構造では、Ge/Si 界面近傍の欠陥層をキャリアが流れるため、キャリアの損失が問題であった。そこで本研究では、より発光効率を高めるため、上部で電極を取ることで、欠陥層を電流が流れない LED 構造を作製し、低注入電流で非常に強い室温 EL 発光を観測したので報告する。

2. 試料作製 Fig. 1 に、作製した Ge-on-Si LED 構造の模式図を示す。Ge p-i-n 構造は、固体ソース MBE を用いて成長した。初めに、2 段階成長法を用いて n 型 Si(100)基板上に、高品質な引っ張り歪み Ge 層を成長させた。高温 Ge 層(HT-Ge 層)には Ga をドーピングし、次に 350°C に下げて、Ge 活性層(i-Ge 層)と P ドープ Ge 層 500 nm を成長させた。低抵抗コンタクト形成のために、P の δ ドーピングを行った。その際、表面偏析を防ぐために、2 原子層の極薄 Si 層(UT-Si 層)を挿入した。最後に、Ge 層(7 nm)にてキャッピング(Ge cap)を行った。成長した基板をフォトリソグラフィと反応性イオンエッチングによって Ga ドープ層までエッチングして、円形メサ型ダイオードにした。最後に、メサ上部と Ga ドープ層にコンタクトとして Au を蒸着し、さらにダイオード周囲をメサエッチングした。

3. 結果と考察 Fig. 2 に室温で得られた EL スペクトルを示す。注入電流密度を上げていくと電流密度が 0.6 kA/cm² を超えたあたりで急激に発光強度が上昇し、1780nm 付近に強いピークが現れ、さらに長波長側で鋭いピークが現れた。両面電極構造に比べてより低注入電流で強い発光が得られ、これは、上部電極のみの LED 構造とすることで、Ge/Si 界面近傍の欠陥層をキャリアが流れなくなった効果と考えられる。以上の結果より、本研究で作製した Ge p-i-n LED は、Si プラットフォーム上の光源（レーザー）実現の高い可能性を有する有望な構造であると言える。

本研究の一部は、科学研究費補助金(21H04635, 23H05458, 23H05455, 24H00034)の支援を受けて行われた。

[1] K. Yamada et al., APEX 14, 045504 (2021).

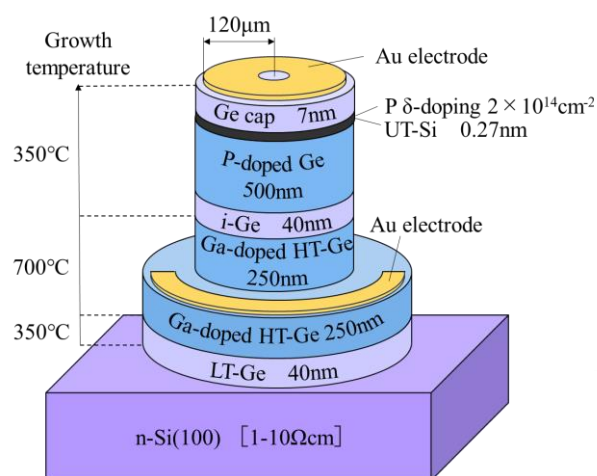


Fig. 1 Fabricated Ge p-i-n LED structure

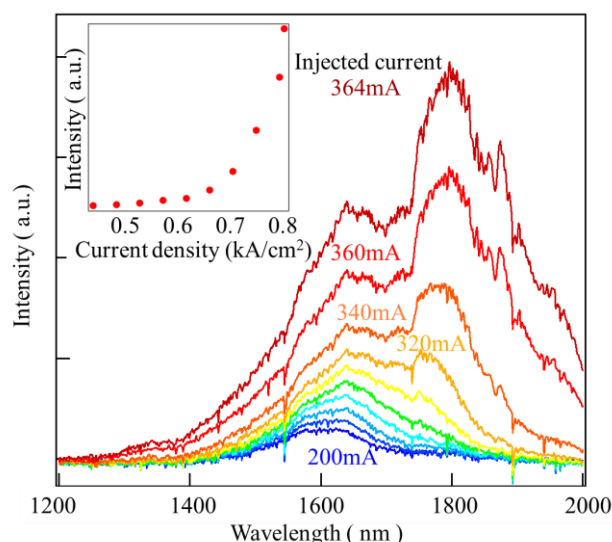


Fig. 2 Room-Temperature EL spectra for Ge p-i-n LEDs. The inset shows the EL intensity at 1777 nm as a function of current density.

Ge on insulator 構造を用いた横型 SiGe スピン伝導素子の作製

Fabrication of lateral SiGe spin transport devices on Ge on insulator

阪大基礎工 CSRN¹, 都市大理工², 九大総理工³, 阪大産研⁴, 阪大 OTRI スピン⁵

○大木健司¹, 菊岡柊也², 吉川修², 鎌釣一³, 森本敦己³,

山本圭介³, 宇佐見喬政^{1,5}, 服部梓⁴, 澤野憲太郎², 浜屋宏平^{1,5}

CSRN, Osaka Univ.¹, Adv. Res. Lab., Tokyo City Univ.², IGSES, Kyushu Univ.³,

SANKEN, Osaka Univ.⁴, OTRI, Osaka Univ.⁵

Kenji Oki¹, Shuya Kikuoka², Osamu Yoshikawa², Hajime Kuwazuru³, Atsuki Morimoto³,

Keisuke Yamamoto³, Takamasa Usami^{1,5}, Azusa N. Hattori⁴, Kentarou Sawano², Kohei Hamaya^{1,5}

E-mail: u614419h@ecs.osaka-u.ac.jp

我々は Ge 系半導体スピンドバイスの実現に向けて、チャネル材料に歪み $\text{Si}_{0.1}\text{Ge}_{0.9}$ を導入することで Ge に比べて室温でのスピン拡散長の向上に成功してきた[1]. 今後、光スピンドバイス等に応用するためには、Ge on insulator (GOI)構造上に歪み SiGe 層を形成し、スピンドバイスを実現する必要がある. 本研究では、GOI 構造を作製する過程で CAlyst-Referred Etching (CARE)処理を導入することで Ge 層を平坦化し、その上の SiGe 層及び強磁性体層の品質の向上を図った.

Fig. 1 に作製した構造の模式図を示す. 熱酸化炉で Si(111)基板に作製した SiO_2 層と、分子線エピタキシー(MBE)を用いて Si(111)基板に Ge を ~ 540 nm 結晶成長した GOS 基板を貼り合わせた後、GOS 側の Si を機械研磨と TMAH ウェットエッチングで除去した. 露出した Ge 層を CARE 法で平坦化した後、MBE 法で歪み $\text{Si}_{0.1}\text{Ge}_{0.9}$ 層 ~ 140 nm, P(リン)層を δ ドープした Ge 層を ~ 10 nm, Fe 終端層を ~ 0.7 nm, $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ (CFAS)強磁性層を ~ 10 nm 成長した.

Fig. 2 にウェットエッチングで露出した Ge 層表面(a), CARE 後の Ge 層表面(b), SiGe 層を成長させた表面(c)の AFM 結果を示す. CARE を利用することで Ge 層の表面粗さが改善され、SiGe 層を成長した後の表面も RMS を 1.0 nm 程度に抑えることに成功している. Fig. 3 には GOI 上 SiGe に作製した横型スピン素子の SEM 写真を示す. 講演会ではスピン伝導特性に関しても報告する.

本研究は、JSPS科研費(19H05616, 24H00034), 文部科学省「スピントロニクス学術研究基盤と連携ネットワーク拠点(Spin-RNJ)」の支援を受けて行われた.

[1] T. Naito *et al.*, Phys. Rev. Applied **18**, 024005 (2022).

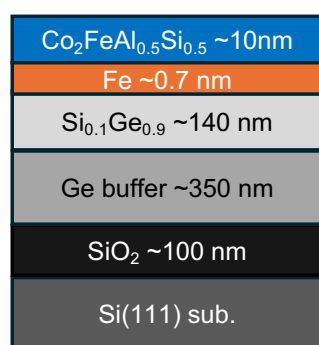


Fig. 1: Schematic of the CFAS/Fe/SiGe structures grown on GOI.

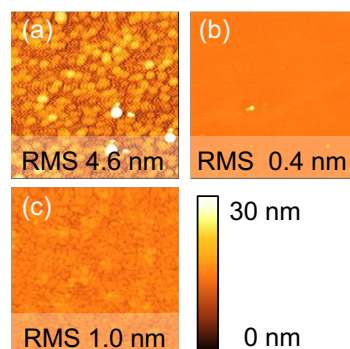


Fig. 2: AFM images of the GOI structure after (a) the wet etching and (b) CARE process and (c) SiGe surface.

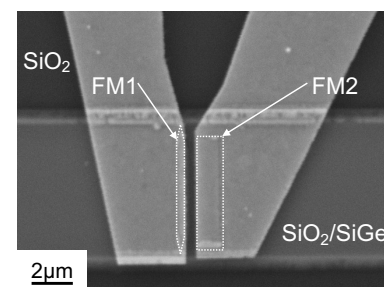


Fig. 3: SEM image of the fabricated lateral spin-valve device.

Co₂FeAl_{0.5}Si_{0.5}/Ge-*pn* 接合を介した室温スピン信号の観測

Observation of room-temperature spin signals through Co₂FeAl_{0.5}Si_{0.5}/Ge-*pn* junctions

阪大基礎工 CSRN¹, 都市大理工², 阪大 OTRI スピン³

○大木健司¹, 上田信之介¹, 菊岡柊也², 山田道洋², 藤井竣平¹,

宇佐見喬政^{1,3}, 澤野憲太郎², 浜屋宏平^{1,3}

CSRN, Osaka Univ.¹, Adv. Res. Lab., Tokyo City Univ.², OTRI, Osaka Univ.³

Kenji Oki¹, Shinnosuke Ueda¹, Shuya Kikuoka², Michihiro Yamada², Shunpei Fujii¹,

Takamasa Usami^{1,3}, Kentarou Sawano², Kohei Hamaya^{1,3}

E-mail: u614419h@ecs.osaka-u.ac.jp

Ge を用いたスピン MOSFET 構造が研究されているが[1], ゲートスタック構造を低温で作製する制約があるため, MOSFET 動作に種々の課題が残っている. もし, 電流の ON/OFF 制御に量子力学的バンド間トンネル (BTBT) 伝導の制御を使用したトンネル FET(TFET)構造と, スピン注入技術を融合できれば, スピン TFET の実現も期待される. 今回, 室温でスピン伝導の観測実績がある横型スピバルブ (LSV) デバイス構造[2]に TFET の制御部となる *pn* 接合構造を組み込んで, 室温スピン伝導の観測に挑戦した.

Fig. 1 は作製した Co₂FeAl_{0.5}Si_{0.5}/Ge-*pn* 接合[(a)]とその構造を有する LSV 素子[(b)]の模式図である. *pn* 接合は *n*⁺Ge 層(140 nm, *n* = 1 × 10¹⁹ cm⁻³)と *p*⁺Ge 層(7 nm, *p* = 1 × 10¹⁹ cm⁻³)から成り, スピン注入源は Fe 層(0.7 nm)と強磁性ホイスラー合金である Co₂FeAl_{0.5}Si_{0.5} 層(10 nm)の 2 層構造である[2]. 電気特性およびスピン輸送の測定のために, 電子線ビームリソグラフィと Ar イオンミリングを使用して LSV デバイス構造に微細加工した. Fig. 2 には 295 K で測定した 2 端子局所スピン信号を示す. 8 K から 295 K の範囲において明瞭な局所スピン信号されたが, *p*⁺Ge 層を介しているために, *n*⁺Ge 層のみの場合[2]と比較してスピン信号の減少が観測された.

本研究は JSPS 科研費(19H05616, 24H00034)、文部科学省「スピントロニクス学術研究基盤と連携ネットワーク拠点(Spin-RNJ)」の支援を受けて行われた.

[1] K. Yamamoto *et al.*, Mat. Sci. Semicon. Proc. **167**, 107763 (2023). [2] M. Yamada *et al.*, NPG Asia Mater. **12**, 47 (2020).

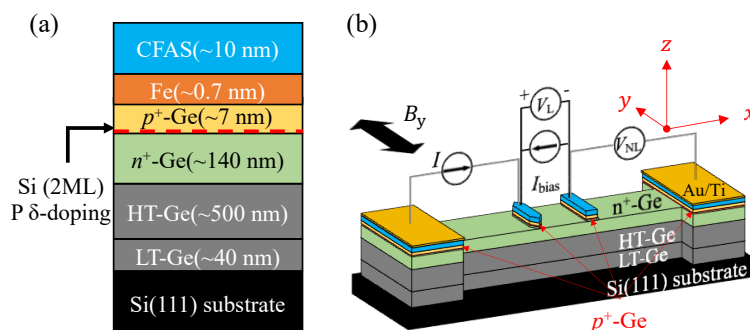


Fig. 1: (a) Schematic of the cross section of the grown FM/SC heterostructures on Si(111). (b) Schematic of the fabricated LSV device and terminal configurations of four-terminal nonlocal and two-terminal local magnetoresistance measurements.

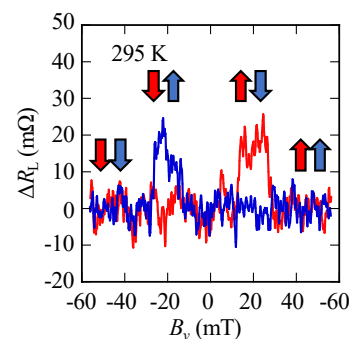


Fig. 2: Local magnetoresistance curve of the fabricated device at 295K.

分子線エピタキシー法を用いたメチル化ゲルマナン薄膜の形成 Formation of methylated germanane layers by molecular beam epitaxy

名大院工¹, 名大未来研²

○中山 敦稀¹, 松本 一步¹, 柴山 茂久¹, 坂下 満男¹, 中塚 理^{1,2}, 黒澤 昌志¹

○Atsuki Nakayama¹, Kazuho Matsumoto¹, Shigehisa Shibayama¹, Mitsuo Sakashita¹,
Osamu Nakatsuka^{1,2}, and Masashi Kurosawa¹

(1. Grad. Sch. of Eng., Nagoya Univ., 2. IMASS, Nagoya Univ.)

E-mail : nakayama.atsuki.r0@s.mail.nagoya-u.ac.jp, kurosawa@nagoya-u.jp

【研究背景】 座屈した Ge 原子層にメチル基を修飾したメチル化ゲルマナン (GeCH_3) は、水素化ゲルマナン (GeH) に比べ熱安定性に優れることが明らかとなっている[1]. 加えて、バルク Si や Ge に比べ高い正孔移動度 ($1.4 \times 10^4 \text{ cm}^2/\text{Vs}$ (アームチェア方向)[2]) を持つと予測されており、次世代半導体材料としての応用が期待されている. 先行研究のほとんどにおいて、フレーク状の試料合成が行われてきた. 最近では、フレーク状 GeCH_3 を用いたバックゲートトランジスタにおいて比較的高い正孔移動度 ($380 \text{ cm}^2/\text{Vs}$ @ 室温) が報告されている[3]. 我々は、結晶のサイズや方位が制御された薄膜状の試料を用いれば、移動度の異方性の検証も容易になると考えている. その足がかりとして、今回は分子線エピタキシー法により形成した CaGe_2 エピタキシャル層から GeCH_3 薄膜の形成に取り組んだので報告する.

【実験方法および結果】 GeCH_3 薄膜の形成手順は以下の通りである. 分子線エピタキシー法を用い、 $\text{Ge}(111)$ 基板上に CaGe_2 薄膜 (膜厚: 20 nm, 基板温度: 560°C) を形成した. メチル基修飾プロセスは、フレーク試料に関する先行研究[4]を参考に行った. 具体的には、室温・窒素雰囲気中において、薄膜試料をヨードメタン溶液 ($\text{CH}_3\text{I}:\text{H}_2\text{O}:\text{CH}_3\text{CN}=3:1:6$ (モル比)) に 4 日間浸漬させた. 最後に、残留した CaI_2 を取り除くため CH_3CN で洗浄した.

X 線回折法 (XRD) を用い、薄膜試料の結晶構造を評価した. CaGe_2 薄膜からは、回折角 $2\theta = 17.36^\circ$ および 35.12° にそれぞれ $2\text{H-}\text{CaGe}_2$ 002 および 004 に帰属されるピークが観測された (Fig. 1(a)). ヨードメタン溶液に浸漬後、これらの回折ピークは消失し、回折角 $2\theta = 10.09^\circ$ に GeCH_3 002 に帰属される新たなピークが出現した (Fig. 1(c)). これは粉末試料に関する先行研究[1]の報告と一致する. また、 GeH 薄膜試料の 002 の回折角 (14.87°) [5] よりも低角度側に位置しており、メチル基修飾により層間距離の 47% 増大に対応する ($\text{GeH}: 0.60 \text{ nm} \rightarrow \text{GeCH}_3: 0.88 \text{ nm}$). 以上、薄膜試料においても、ヨードメタン溶液浸漬による GeCH_3 薄膜の形成を確認できた.

【謝辞】 本研究の一部は、JSPS 科研費 (Nos. 22H05456, 23K17760, 24H00850) により実施されました.

【参考文献】 [1] S. Jiang *et al.*, Nat. Commun. **5**, 3389 (2014). [2] Y. Jing *et al.*, J. Phys. Chem. Lett. **6**, 4252 (2015). [3] Y. Hiraoka *et al.*, Jpn. J. Appl. Phys. **63**, 030905 (2024). [4] Clement Livache *et al.*, Appl. Phys. Lett. **115**, 052106 (2019). [5] 松本一步ら, 第 71 応用物理学会春季学術講演会, 23a-22A-2 (2024).

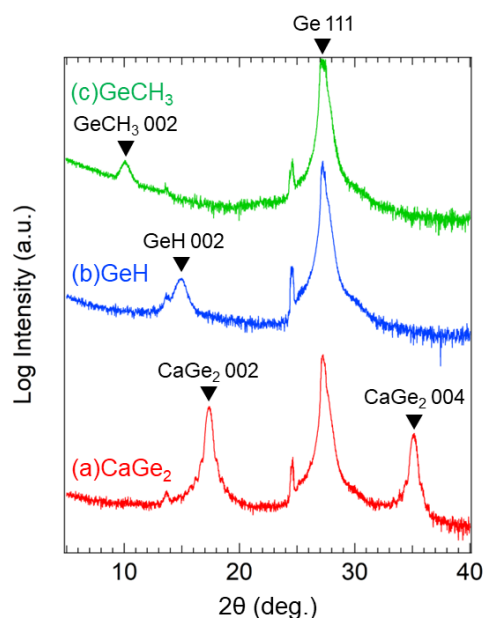


Figure 1 XRD $2\theta/\omega$ scans obtained from CaGe_2 layers on $\text{Ge}(111)$ substrates (a) before and (c) after methylated treatment in the iodomethane solution. The immersion time was 4 days. For comparison, that for GeH layers synthesized from CaGe_2 layers is also shown in (b) [5].

偏析 GeSn 極薄結晶の形成に向けた $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル膜の表面処理

Surface treatment of $\text{Ge}_{1-x}\text{Sn}_x$ epitaxial layer

toward the formation of ultra-thin segregated GeSn crystal

名大院工¹, 福岡大理², 明治大理工³, 明治大 MREL⁴

○松本 泰河¹, 大田 晃生², 横川 凌^{3,4}, 黒澤 昌志¹, 坂下 満男¹, 中塚 理¹, 柴山 茂久¹

Nagoya Univ.¹, Fukuoka Univ.², Meiji Univ.³, MREL⁴

○Taiga Matsumoto¹, Akio Ohta², Ryo Yokogawa^{3,4},

Masashi Kurosawa¹, Mitsuo Sakashita¹, Osamu Nakatsuka¹, and Shigehisa Shibayama¹

E-mail: matsumoto.taiga.k0@s.mail.nagoya-u.ac.jp, s-shibayama@nagoya-u.jp

【研究背景】ポストグラフェン材料として注目を集めているIV族二次元材料の中でも、我々はゲルマネンよりも更に大きなバンドギャップを有すると考えられる GeSn 極薄膜 (GeSn-NS) の合成を目指している。大気中でも安定な形でIV族二次元材料合成が可能な表面偏析法^[1,2]を応用し、これまで、Al/ $\text{Ge}_{1-x}\text{Sn}_x$ (111)構造からの表面偏析法により、GeSn-NS が合成可能であることを実証した^[3]。しかし、GeSn 偏析層は非晶質構造であり、その結晶化が課題である。Al/ $\text{Ge}_{1-x}\text{Sn}_x$ 界面に $\text{Ge}_{1-x}\text{Sn}_x$ の酸化物が存在しており、これが偏析層および Al の結晶性や層交換現象に影響を与えていると考えられる。

本研究では、偏析 GeSn-NS 結晶化に向けた足掛かりとして、Al 成長前の $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル膜の表面処理方法を検討し、酸化物を含有しない GeSn 偏析が出来る可能性を明らかにしたので報告する。

【試料作製手順】Ge(111)基板上に分子線エピタキシー (MBE) 法により、膜厚 20–30 nm の $\text{Ge}_{1-x}\text{Sn}_x$ (111) (Sn 組成:10%) を、成長温度 150 °C でエピタキシャル成長した。続いて、先行研究^[4]を参考に 1% の希釈フッ酸溶液 (DHF) や、DHF および塩酸 (HCl) との混合溶液を用いて $\text{Ge}_{1-x}\text{Sn}_x$ 表面酸化物除去を検討した。その後、抵抗加熱蒸着法にて膜厚 30 nm の Al 層を、堆積温度 100 °C で堆積した。一部試料では、Al 層堆積前に 300 °C、30 min の真空中加熱処理による表面清浄化を実施した。

【結果および議論】Fig.1 に、DHF に対して HCl を様々な割合で混合した溶液に浸漬した後の $\text{Ge}_{1-x}\text{Sn}_x$ 表面の、Ge および Sn 酸化物の割合と対応する原子間力顕微鏡 (AFM) 像を示す。Ge および Sn 酸化物の割合は、X 線光電子分光 (XPS) 法から Ge 3d および Sn 3d_{5/2} 光電子スペクトルを取得し、0 価のピークに対する酸化物ピークの面積強度比に対応する。HCl 濃度増大にともない、Ge および Sn 表面酸化物が共に減少することが分かる。特に HCl 濃度が 20% の場合では、AFM 像から、 $\text{Ge}_{1-x}\text{Sn}_x$ 特有の粒上表面が現れたことから、酸化物が有効的に除去できたことが示唆される。

Fig.2 は、Al を堆積した試料の XPS Ge 3d および Sn 4d 光電子スペクトルである。DHF のみの表面洗浄では、表面偏析 GeSn に、Ge および Sn 酸化物が含まれるのに対し、20%-HCl と DHF との混合溶液浸漬した後に真空中熱処理を行った試料では、偏析物の含有酸化物量を低減できることが分かった。

以上より、DHF と HCl の混合溶液が $\text{Ge}_{1-x}\text{Sn}_x$ の表面酸化物除去に有効であること、および $\text{Ge}_{1-x}\text{Sn}_x$ の表面処理方法の改善により、偏析 GeSn の含有酸化物の除去も可能であることが分かった。

[1] M. Kobayashi *et al.*, *JJAP* **59**, SGGK15 (2020). [2] K. Matsushita *et al.*, *JJAP* **61**, SH1012 (2022). [3] 松本泰河 他, 2023 年 第 84 回 応用物理学会 (秋季), 22p-P03-1. [4] M. Bouschet *et al.*, *Microelectronic Eng.* **253**, 111663 (2022).

本研究は JSPS 科研費 (挑戦的研究 (萌芽), 23K17745), 一部はキャノン財団, JST PRESTO (JPMJPR21B6), JST CREST (JPMJCR21C2), JSPS 科研費 (基盤 B, 21H01809, 22H01524) の支援を受けて実施された。

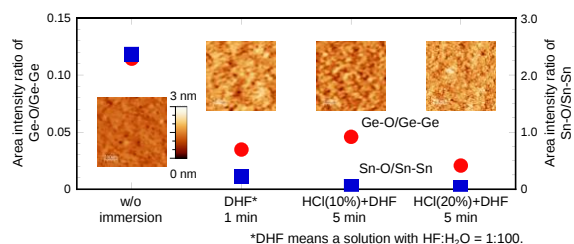


Fig.1 Area intensity ratio of oxide peak and 0⁺ peak of $\text{Ge}_{1-x}\text{Sn}_x$ surface and corresponding AFM images after immersing into DHF and HCl mixture solutions.

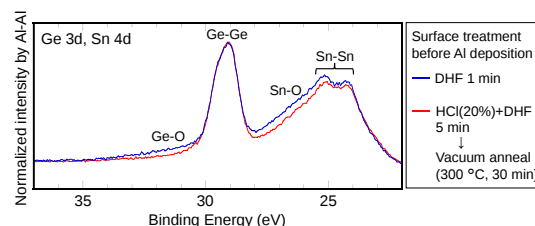


Fig.2 Ge 3d and Sn 4d core-line spectra normalized by Al-Al signals of Al2p spectra for Al/ $\text{Ge}_{1-x}\text{Sn}_x$ (111) structure subjected to the surface treatment of (a) DHF immersion for 1 min and (b) DHF and 20%-HCl mixtures for 5 min and vacuum annealing.

ポストアニールによる Sn 添加多結晶 Ge 薄膜($\leq 50\text{nm}$)の 粒径欠陥の不動態化

Passivation of grain-boundary-defects in Sn-doped polycrystalline Ge thin films ($\leq 50\text{nm}$)
by post annealing

九大・システム情報 橋本 隆, 古賀 泰志郎, 梶原 隆司, 佐道 泰造

Kyushu Univ., R. Hashimoto, T. Koga, T. Kajiwara, T. Sadoh

E-mail : hashimoto.ryu.521@s.kyushu-u.ac.jp

【はじめに】高性能薄膜デバイス実現のため、Si より高キャリア移動度を有する Ge が注目されている[1]。我々は、絶縁基板上における Ge 薄膜の固相成長を検討し、微量 Sn 添加とキャップおよび下地層の付加により Ge 薄膜(膜厚: $\leq 50\text{nm}$)の移動度が向上することを明らかにしてきた[2,3]。しかし、移動度が向上するものの、キャリア濃度が上昇する課題も明らかになっている[3]。今回、ポストアニールによりキャリア濃度の低減を実現したので報告する。

【実験方法】石英基板上に a-Si 下地(膜厚:10nm)を堆積し、その上に a-GeSn 層(Sn:濃度 2%, 膜厚:50nm)と a-Si キャップ(5nm)を堆積した(Fig.1)。その後、 N_2 中で熱処理(450°C , 20h)を行った。

【結果と考察】熱処理後の試料の移動度とキャリア濃度を Fig. 2 に”SPC”として示す。高い移動度(約 $300\text{cm}^2/\text{Vs}$)を示すが、キャリア濃度も約 $1 \times 10^{18}\text{cm}^{-3}$ と高い。キャリア濃度の低減を目指し、 N_2 中でポストアニール(500°C , 4h)を行った(Fig. 2 の”PA1”)。しかし、移動度、キャリア密度ともにほとんど変化しなかった。次に、キャップを除去してポストアニールを行った(Fig. 2 の”PA2”)。高い移動度を維持しつつ、キャリア濃度が約 50%も低減することが明らかとなった。粒界解析を行った結果を Fig. 3 に示す。ポストアニール後、粒界トラップ密度が約 36%も減少することが明らかとなった。この現象は、ポストアニール雰囲気中に含まれる微量 O_2 による粒界欠陥の不動態化[4]に起因すると考えられる。【文献】[1] Miyao, JJAP 56, 05DA06 (2017), [2] Xu, APL 115, 042101 (2019), [3] Nagano, MSSP 165, 107692 (2023), [4] Kabuyanagi, TSF 557, 334 (2014)。

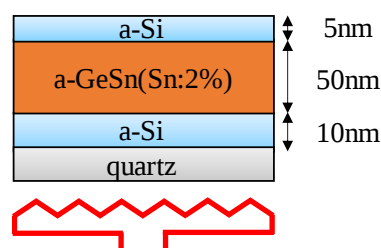


Fig.1 Initial sample structure.

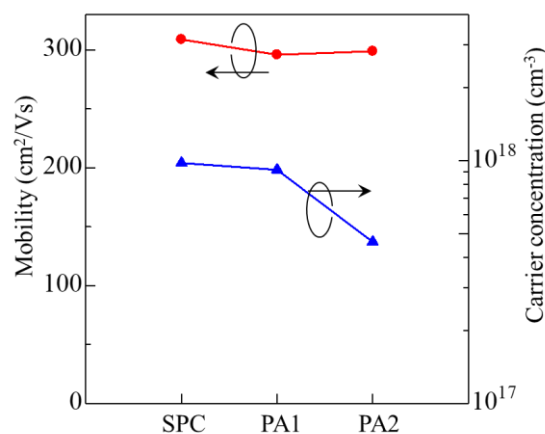


Fig.2 Carrier mobility and carrier concentration.

	SPC	PA2
E_B (meV)	4.2	4.3
Q_t (cm^{-2})	5.6×10^{11}	3.6×10^{11}
N (cm^{-3})	1.0×10^{18}	4.3×10^{17}

Fig.3 Summary of energy barrier height E_B , trapping state density Q_t at grain boundaries, and carrier concentration N before and after PA2.

分子線堆積法による IV 族カルコゲナイド薄膜の絶縁膜上成長

Growth of IV-VI thin-films on insulator by molecular beam deposition

物質・材料研究機構 MANA¹, 筑波大学²

○松村 亮¹, 張 秦強¹, 馬 博文^{1,2}, Ahmed Mahmoud^{1,2}, 深田 直樹^{1,2}

NIMS-MANA¹, Univ. Tsukuba²

○Ryo Matsumura¹, Qinqiang Zhang¹, Bowen Ma^{1,2}, Ahmed Mahmoud^{1,2}, Naoki Fukata^{1,2}

E-mail: MATSUMURA.Ryo@nims.go.jp

【背景】

硫化スズ(SnS_x)や硫化ゲルマニウム(GeS_x)などの IV 族カルコゲナイド材料は、次世代トランジスタや太陽電池、リチウムイオン電池の負極材など、幅広い応用が期待されている。その成長手法として気相法[1], 反応スパッタリング法[2]等が報告されているが、今回我々は高い真空度で清浄堆積が期待でき、膜厚制御性も良好な分子線堆積法を検討したので報告する。

【実験手法】

100 nm 厚の熱酸化膜を有する Si(100)基板を洗浄後、分子線堆積装置(ベース圧: $\sim 10^{-6}$ Pa)にて基板加熱(T_{sub} : RT-500°C)を行いながら Sn と S を供給し、 SnS_x 堆積を試みた。Sn 供給源としては固体ソース K セルを用いた一方、通常の S 分子は反応性に劣る 8 員環構造を取るため、S 蒸発源の先端に Ar プラズマ発生室を有するクラッキングセルを用いた[Fig. 1]。

【結果】

成膜後の試料の XRD 測定結果を Fig. 2 に示す。 T_{sub} : 200-300°C にて堆積した試料において $\text{SnS}(400)$ 由来のピークが観測され、 SnS の結晶化が示唆された。一方 T_{sub} : 350°C 以上の試料ではピークが消失しているが、膜厚評価の結果、これらの試料では SnS 膜の消失が確認されたことから[Fig. 3]、これは基板温度上昇に伴う SnS の再蒸発に起因すると考えられる。また膜中の Sn/S 組成比については SnS の化学量論比を維持していることが判明した[Fig. 3]。当日は同手法を用いて GeS_x 成長を試みた結果についても報告する予定である。

[1] Q. Zhang et. al., ACS Appl. Nano Mater. 6, 6920 (2023)

[2] 茂田井大輝他, 第 71 回応物春季 23p-12L-10 (2024)

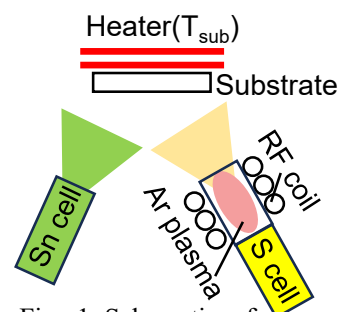


Fig. 1 Schematic of the experiment

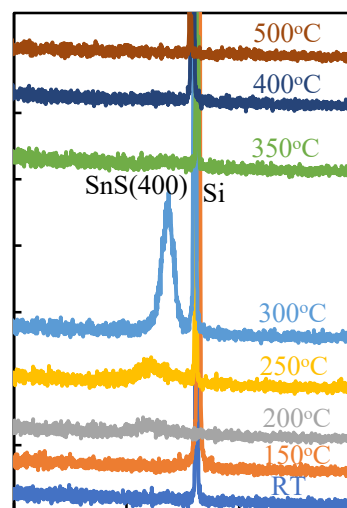


Fig. 2 XRD result of samples fabricated with various T_{sub}

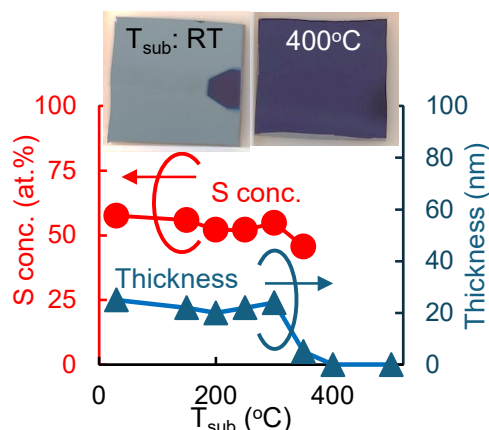


Fig. 3 S concentration and film thickness after deposition with various T_{sub} . Photos of samples are shown as insets.

High Pressure Annealing Towards the Solid-Phase Crystallization of Thin-Film Germanium Sulfide

National Institute for Materials Science - Research Center for Materials Nanoarchitectonics (MANA)¹, The University of Tsukuba², [○]Ahmed Mahmoud^{1,2}, Qinqiang Zhang¹, Ryo Matsumura¹, Naoki Fukata^{1,2}

E-mail: mahmoud.ahmedmohammedfuad@nims.go.jp

Introduction and Background

Germanium Sulfide (GeS) is a direct, 1.65 eV-band gap semiconducting material with a 2D staggered layered structure reminiscent of Black Phosphorus and huge potential in optoelectronics^[1]. Previous GeS synthesis attempts have been limited to randomly sized and aligned nano and microstructures that can prove challenging for device usage^[2,3].

A systemic procedure for the synthesis of controlled-size facet-aligned GeS via high-pressure solid-phase crystallization is investigated in this work.

Experimental Procedure

Films of germanium and sulfur simultaneously deposited onto silicon and quartz substrates via molecular beam deposition were heated for varying lengths of time at up to 400 °C under one and five atmospheres of flowing pressurized nitrogen gas. The reaction setup schematic is represented in Fig 1.

Results and Discussion

Fig 2 showcases the clear effect that pressure has on the reaction; Fig 2a is the as-deposited germanium-sulfur. Annealing at one atmosphere and 250 °C for even 30 minutes causes the deposited material to vaporize (Fig 2b), in contrast to the five atmospheres that resulted in the intact film of the sample presented in Fig 2c.

Auger electron spectroscopy helps explain the progression of the annealing process. Clean 1:3 ratio Ge:S is observed in molecular-beam deposited germanium-sulfur (Fig 3a). On the other hand, 1:1 Ge:S regions have been observed in samples that have been heat treated for four hours under five atmospheres (Fig 3b) even if the surface appears to be dominated by germanium-rich layers. It is also interesting to see sulfur migration from the typically hotter film-substrate interface. Research is ongoing to determine the crystallinity of the resultant phases.

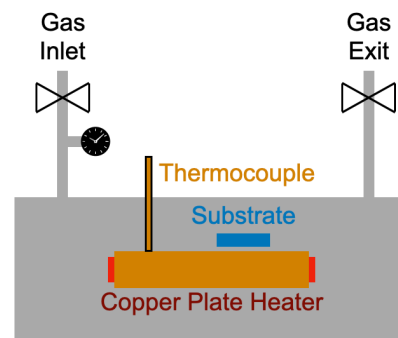


Fig 1. Illustration of the high pressure annealing apparatus

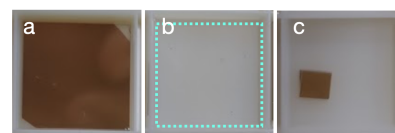


Fig 2. On quartz; as-deposited (a), annealed at 1 atm (b) and 5 atm (c) films

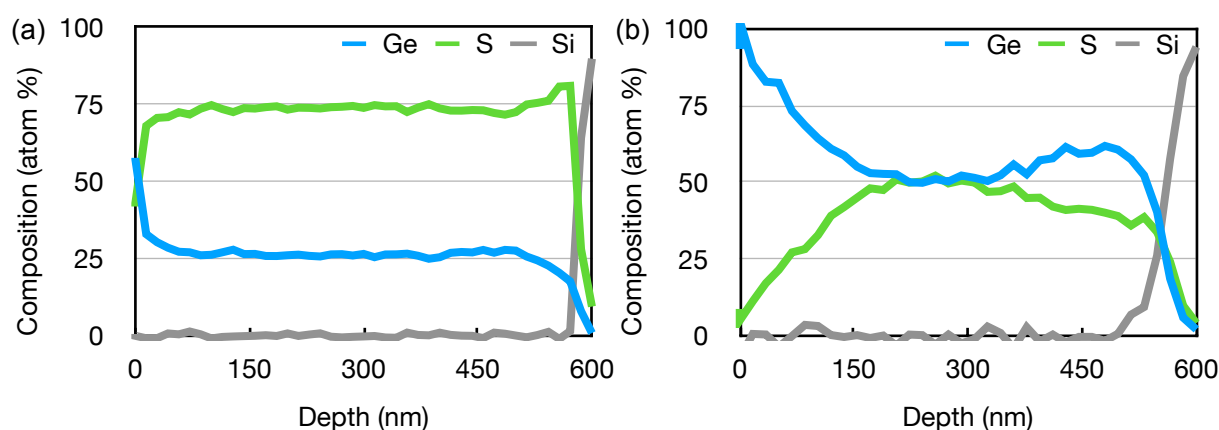


Fig 3. Elemental composition profiles of molecular-beam deposited (a) and 400°C, 4hr, 5atm-annealed germanium-sulfur (b) determined via auger electron spectroscopy

References

- [1] Sutter et al, *ACS Nano* 2019, 13, 8, 9352-9362 [2] Zhang et al, *ACS Appl. Nano Mater.* 2023, 6, 8, 6920-6928 [3] Vaughn et al, *J. Am. Chem. Soc.* 2010, 132, 43, 15170-15172

アルミニウム触媒による均一な GeS 薄膜の成長

Growth of Uniform GeS Thin Films by Aluminum Catalyst

物質・材料研究機構 ナノアーキテクトニクス材料研究センター

○張 秦強, 松村 亮, 深田 直樹

NIMS-MANA, °Qinqiang Zhang, Ryo Matsumura, Naoki Fukata

E-mail: FUKATA.Naoki@nims.go.jp

【Background】

Two-dimensional layered semiconductors have been considered as one of the candidates for development of next-generation functional electronics and optoelectronics [1]. Previously, we introduced the synthesis of large-area germanium monosulfide (GeS) using the pre-deposited amorphous GeS method [2]. However, it is prone to forming bulk-like GeS clusters compared to GeS thin films. In this abstract, we proposed to use the aluminum (Al) catalyst for growth of uniform GeS thin films restraining the formation of bulk-like GeS clusters simultaneously.

【Experimental methods and results】

Fig. 1(a) shows the substrates with and without the deposited Al catalyst. Then, the substrates were loaded in a quartz tube to grow GeS using the vapor transport method with T_{c1} of 440 °C and T_{c2} of 420 °C (Fig. 1(b)). The growth of GeS thin films without the Al catalyst shows a large and black area consisting of the bulk-like GeS clusters (Fig. 2(a)). The bulk-like GeS clusters can be significantly restrained by applying the Al catalyst layer before the growth of GeS (Fig. 2(b)). However, a large number of holes are observed in GeS films. This can be further improved by heating the substrate at 120 °C for deposition of Al catalyst (Fig. 2(c)). The achieved uniform GeS thin films is likely ascribed to the higher density and less grain boundaries of Al comparing to that of without heating. The insets of Raman spectra indicate the crystallization of GeS thin films in good agreement of our previous studies. The growth of GeS thin films with a target thickness of less than 30 nm is being optimized. Other results, such as the evaluation of the thickness, surface condition, substrate effect and so forth will be presented at the conference.

[1] E. Sutter et. al, ACS Nano, 13(8), 9352-9362, (2019).

[2] Q. Zhang et. al, ACS Appl. Nano Mater., 6(8), 6920-6928, (2023).

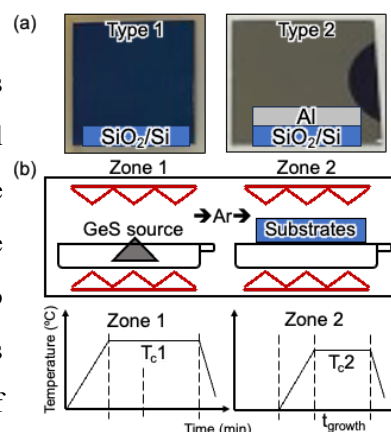


Fig. 1. Schematics for experiments.

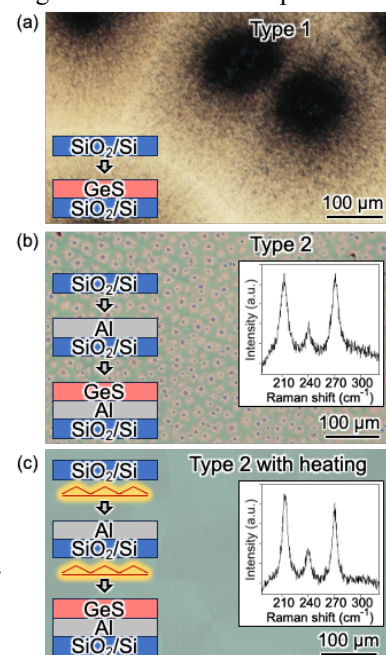


Fig. 2. Observations for the grown GeS thin films.

フレキシブル熱電変換素子応用に向けた 多結晶 Ge 薄膜の低温合成と高出力因子の実現

High Power Factors in Low-Temperature Polycrystalline Ge Thin Films for Flexible Thermoelectric Generators

¹筑波大院 数理物質 : °野沢公暉¹, 末益崇¹, 都甲薫¹

¹Univ. of Tsukuba: K. Nozawa¹, T. Suemasu¹, and K. Toko¹

E-Mail: nozawa.koki.td@alumni.tsukuba.ac.jp

【はじめに】 多結晶 Ge はその狭いバンドギャップに起因して、環境発電に適した温度帯で高い熱電性能を示す。加えて、低温結晶化(< 500 °C)が可能なため、フレキシブル熱電変換素子への展開も期待されてきた。しかしながら、熱電特性に有利な、高い移動度を維持した低温でのドーパント活性化は実現されてこなかった。一方で我々は、固相成長法の高度化により、プラスチックの耐熱温度以下で高移動度 Ge 膜を実現してきた[1-4]。本研究では、ドーパントを同時蒸着した Ge 膜に対して固相成長を施した。実験の結果、プラスチックの耐熱温度以下ながら、高移動度・高キャリア密度を実現するとともに、IV 族多結晶半導体として最高の出力因子(PF)が得られたので報告する。

【実験方法】 ガラス基板上に Ge とドーパント(n 型:P, p 型:Ga)を同時蒸着し、非晶質 Ge 膜(200 nm)を成膜した。これら試料に対して、N₂ 雰囲気中で熱処理(450 °C, 5 h)を施し、固相成長を誘起した。その後、Ar 雰囲気下でポストアニール(PA:500 °C, 5 h)を施した。

【結果・考察】 初めに P 添加による n 型伝導制御を行った(Fig. 1)。電子密度は 10¹⁸-10¹⁹ cm⁻³ の範囲で制御されるとともに、電子移動度は単結晶に匹敵する値が得られている。更に、PF は、優れた電気特性を反映し、最大で 2940 μWm⁻¹ K⁻¹ が得られた。続いて、Ge に対して Ga 添加を行い、p 型伝導制御をおこなった(Fig. 2)。電気特性は Ga 添加量と堆積温度に強く影響された。また、Ga 添加 Ge においても、単結晶並みの電気特性が得られた。PF は良好な電気特性を反映し、最大で 1210 μWm⁻¹ K⁻¹ が得られた。本研究の Ge 薄膜は低プロセス温度にも関わらず、高温域(>1000 °C)で合成された PF に匹敵・凌駕しており、フレキシブル熱電変換素子の発展に寄与する成果である(Fig. 3)。当日は本 Ge 薄膜を用いて作成したフレキシブル熱電変換素子の特性についても発表する。

[1] K. Toko *et al.*, Sci. Rep. 12, 14941 (2017).

[2] K. Nozawa *et al.*, APL. 122, 201901 (2023).

[3] K. Nozawa *et al.*, ACS AELM. 5, 1444 (2023).

[4] K. Nozawa *et al.*, Adv. Elec. Mater. 2300875 (2024).

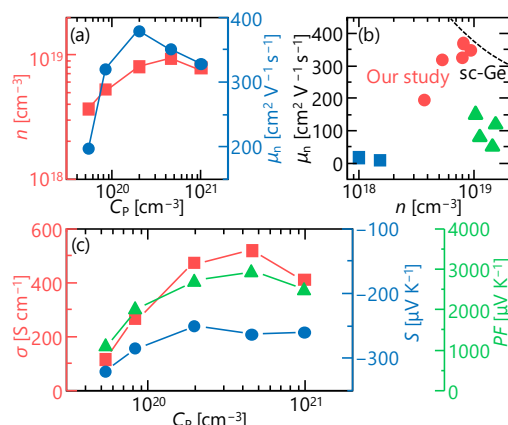


Fig. 1. (a) Electrical characteristics of Ge as a function of P concentration (C_p). (b) Benchmark of n-type Ge, with the dotted line indicating single-crystal Ge (sc-Ge). (c) Thermoelectric performance of P-doped Ge.

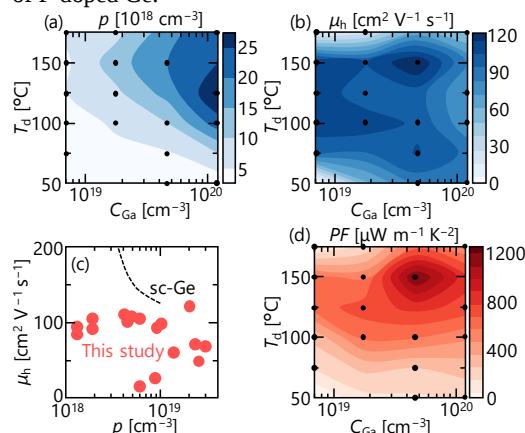


Fig. 2. Ga concentration (C_{Ga}) and deposition temperature (T_d) dependence of (a-c) electrical and (d) thermoelectric properties.

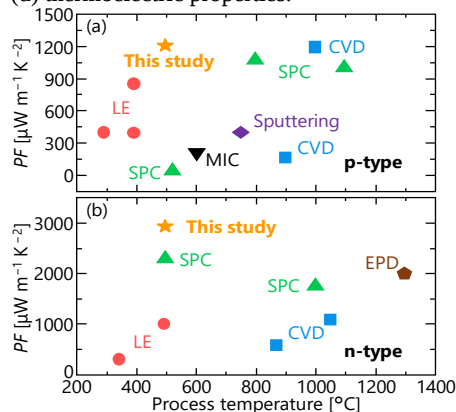


Fig. 3. Comparison of PF at room temperature obtained in this study among (a) p-type and (b) n-type polycrystalline group IV semiconductor.

多結晶 Ge 層の厚膜合成とガラス上分光感度の初実証

Thick polycrystalline Ge layer synthesis and first demonstration of photoresponsivity on glass

筑波大院¹, 学振特別研究員² ◯前田 真太郎^{1,2}, 石山 隆光^{1,2}, 末益 崇¹, 都甲 薫¹

Univ. of Tsukuba, ◯S. Maeda, T. Ishiyama, T. Suemasu, K. Toko

E-mail: maeda.shintaro.tg@alumni.tsukuba.ac.jp

【はじめに】多接合太陽電池の低コスト化には、Geを始めとする長波長光吸収用ボトムセル材料を安価な基板上に合成することが鍵となる。しかし、絶縁体上のGe薄膜においては、粒界や欠陥誘起アクセプタにより分光感度が得られた例すらない。これまで我々は固相成長法において、堆積時加熱[1]、Sn添加[2]、下地層の挿入[3,4]、核発生の制御[5]により、多結晶 Ge 薄膜の劇的な大粒径・低欠陥化を達成し、最高キャリア移動度を更新してきた。今回、これらの手法を重畳して、さらなる低粒界密度・低欠陥に取り組むとともに、分光感度の実証と太陽電池の作製を試みた。

【実験方法】裏面電極にAlを蒸着したSi(111)基板と、下部電極としてTiN膜を蒸着したSiO₂基板に、非晶質(a-)Si下地層(~1 nm)とa-Ge(50 nm)を分子線堆積した。ただし、a-Ge層は125 °Cで加熱堆積している[1]。次に、N₂雰囲気中にて熱処理(375 °C)して固相成長(SPC)を誘起し、Ar雰囲気中でポストアニーラ(500 °C)を行った。さらにエピタキシャル成長(MBE)により、二段階で光吸収層(合計 500 nm)を形成した(Type A)。また、比較のためにSi基板から直接エピタキシャル成長させた単結晶Ge薄膜(Type B)と堆積時加熱をしない従来の固相成長Ge薄膜(Type C)を合成した。分光感度測定の際、表面にITO透明電極を蒸着した。

【結果・考察】Fig. 1より、a-Siの界面層の挿入によりエピタキシャル成長を防止した試料(Type A,C)では、固相成長により多結晶化することが確認された。特にType Aでは非晶質を加熱堆積することで、大粒径化する効果[1]が発現した。結晶粒径は従来法(Type C)と比較して一桁以上大きく、粒界密度が大きく低減したことが判る。電気的特性を評価した結果、膜中のアクセプタ欠陥によってすべてp型伝導を示した[6]。単結晶膜(Type B)ではSi基板との格子不整合に起因した欠陥により、正孔密度が高く(~10¹⁸ cm⁻³)、正孔移動度は低いと考えられる。多結晶膜では粒界密度の減少により、アクセプタ欠陥の低減と高移動度化をもたらす[1,2,4,5]。したがって、始めに大きな結晶粒の多結晶膜を合成し、それを引き継ぎながら厚膜化したType Aで最も低い正孔密度と最も高い正孔移動度が得られた。分光感度特性を評価した結果、Type AにおいてGe特有の長波長帯での吸収に起因する分光感度スペクトルが確認された。さらにSiO₂基板上に展開した場合も分光感度が確認された。一方でType BではGe/Si界面において、Type Cでは粒界においてキャリアの再結合が顕著であったため、分光感度が得られなかったと推察される。以上、ガラス基板上の多結晶Ge薄膜において、初めて分光感度を実証した。当日は分光感度のさらなる向上に向けたGe層の厚膜化についても議論する。

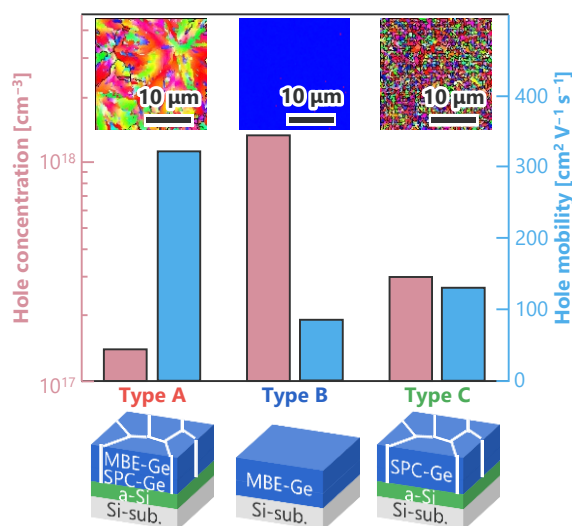


Fig. 1 Sample Structure, EBSD analysis and Hall effect characteristics for three types of Ge thin films formed on high-resistance p-Si substrates.

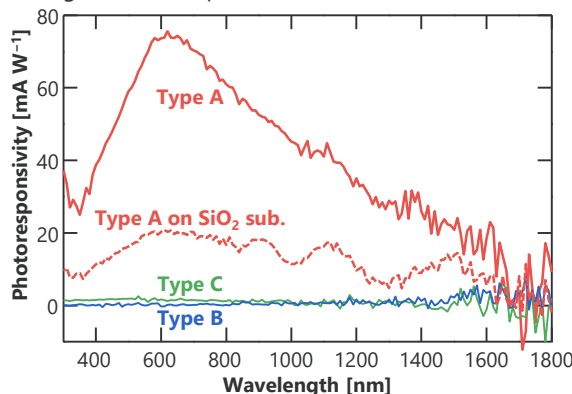


Fig. 2 Photoresponsivity for three types of samples with a bias of +0.5 V applied.

[1] K. Toko *et al.*, *Sci. Rep.* **7**, 16981 (2017).

[2] K. Moto *et al.*, *Sci. Rep.* **8**, 14832 (2018).

[3] C. Xu *et al.*, *Appl. Phys. Lett.* **115**, 042101 (2019).

[4] T. Imajo *et al.*, *ACS Appl. Electron. Mater.* **4**, 269 (2022).

[5] S. Maeda *et al.*, *Cryst. Growth Des.* **23**, 5535 (2023).

[6] T. Imajo *et al.*, *Sci. Rep.* **8**, 14941 (2022).

Si 薄膜の二次電池負極応用 –界面層挿入による特性向上–

Application of Si thin film to the anode of rechargeable battery

–Improved properties by insertion of interlayer–

筑波大院 °江藤 葉, 野沢 公暉, 伊藤 玲音, 末益 崇, 都甲 薫

Univ. of Tsukuba °Y. Eto, K. Nozawa, R. Ito, T. Suemasu, K. Toko

E-mail: s2420271@u.tsukuba.ac.jp

【はじめに】高い比容量を持つ Si はグラファイトに代わる有望な負極材料であり、全固体薄膜電池への応用も期待されている[1]。しかし、充放電過程における Si 薄膜の膨張収縮に起因した亀裂、および剥離による負極特性の劣化が課題であった[2,3]。本研究では、Si 薄膜の負極特性向上を目指し、Si/基板界面への界面層挿入効果を調査した。その結果、充放電時の Si 薄膜の剥離が抑制されるとともに、顕著な充放電特性の向上に繋がったため報告する。

【実験方法】Mo 箔上に界面層 (C、Ge、Mo、Fe、各 10 nm 厚) と Si 層 (250 nm 厚) をスパッタ堆積した (Figs. 1(a), (b))。二次電池負極特性評価のため、Mo 箔上 Si 膜を金属 Li と対向させ、電解液に 1 M LiPF₆ in EC/DEC (1:1 v/v) を用いた二極式セルを作製し、充放電試験を行った。更に試料様態評価のため、充放電後のセルを分解し、SEM、EDX により試料の表面様態を観察した。

【結果・考察】初めに各試料のレート特性を取得した (Fig. 2)。界面層なしの試料においては 60–80 サイクルにおける容量が初期容量の 30% 程度まで低下している。一方で、界面層挿入した試料は 60 サイクルまでで界面層なしの試料の容量以上を示しながらも、界面層なしの試料に比べて、60 サイクル以降の明らかな容量回復がみられる。

界面層挿入による Si 負極特性向上の原因を明らかにすべく、充放電後の試料に対し SEM 像と EDX 像を取得した (Fig. 3)。取得した像から、界面層の有無に関わらず、Si 膜には体積膨張・収縮に起因した亀裂が確認できる。ここで、界面層の種類により表面構造が異なることから、界面層が亀裂の生じ方に影響を与えることが判る。また、界面層なしの試料においては Si 膜の剥離が顕著に見られた一方で、界面層挿入した試料では剥離の明らかな抑制が確認された。この剥離抑制は、界面層の挿入による Si 薄膜と基板の密着性向上によるものと推察している。

以上、界面層挿入による Si 負極特性の向上に成功するとともに、特性向上の原因が剥離抑制にあることを実証した。当日は界面層膜厚の変調効果についても議論する。

[1] X. Su *et al.*, *Advanced Energy Materials*, 4, 1300882 (2014).

[2] K. Nozawa *et al.*, *ACS Applied Nano Materials*, 5, 17264 (2022). [3] X. Zuo *et al.*, *Nano Energy*, 31, 113 (2017).

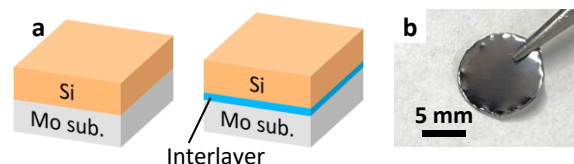


Fig. 1. (a) Schematic of the samples. (b) Photograph of a sample after the thin-film deposition.

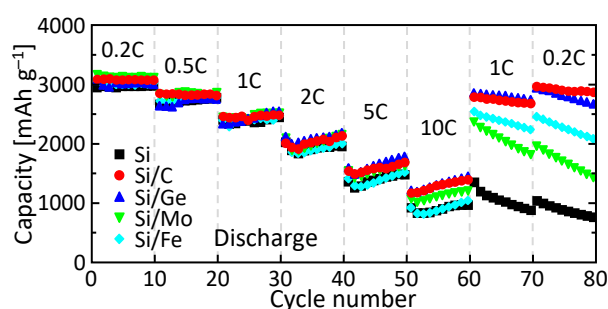


Fig. 2. Current-rate testing at current densities ranged from 0.1 to 10 C, every 10 cycles of the Si anode in coin-type cell.

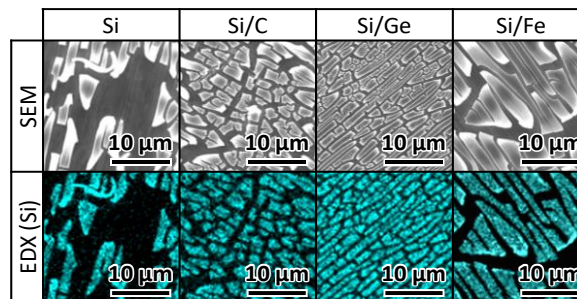


Fig. 3. SEM and EDX images of the sample surfaces after 20 cycles of charge and discharge at a current density of 1C.

スクリーン印刷と焼成による厚い Ge-rich 領域を伴う SiGe 薄膜の Si 基板上へのエピタキシャル成長

Epitaxial growth of SiGe with thick Ge-rich regions on Si substrates by screen-printing and annealing

¹名大院工, ²名大未来機構, ³東洋アルミ, ⁴阪大院工, ⁵名大未材研

○伊藤 耕平¹, 勝部 涼司¹, 今井 友貴², 宮本 聡^{1,2}, 鈴木 紹太³, 南山 偉明³,

ダムリン マルワン^{3,4}, 宇佐美 徳隆^{1,2,5}

¹Grad. Eng., ²InFuS Nagoya Univ., ³Toyo Aluminium K.K., ⁴Osaka Univ., ⁵IMaSS Nagoya Univ.

○Kohei Ito¹, Ryoji Katsube¹, Yuki Imai², Satoru Miyamoto^{1,2}, Shota Suzuki³, Hideaki Minamiyama³,

Marwan Dhamrin^{3,4}, Noritaka Usami^{1,2,5}

E-mail: ito.kohei.n2@s.mail.nagoya-u.ac.jp

【背景】III-V 族半導体多接合太陽電池は、透過損失と光励起キャリアの熱化損失の低減により太陽光スペクトルの広範囲を活用可能であることから、単接合太陽電池を超えるエネルギー変換効率が期待できる。しかし、現行プロセスでは基板として高コストな単結晶 Ge または単結晶 GaAs を必要とするため、多接合太陽電池を普及させるには低コスト基板作製技術の確立が必要である。これまで、Al-Ge ペーストのスクリーン印刷と焼成により、傾斜 Ge 組成を有する歪み緩和 SiGe 薄膜を Si 基板上にエピタキシャル成長できることを報告してきた[1]。既報のプロセスでは III-V 族上層セルと格子整合可能な Ge 組成を実現できておらず、III-V 族多接合型太陽電池の作製の仮想基板とするには、高 Ge 組成化が求められる。本研究では、凝固シミュレーションに基づき Al-Ge ペーストの組成と焼成温度を調整することで異なる 2 条件を選定し、厚い Ge-rich 領域を伴う SiGe 薄膜の作製を試みた。

【実験方法】Si(111)基板上に厚さ約 60 μm の Al-Ge ペーストをスクリーン印刷した。尚、Ge 含有量は 60 および 80 mol%とした。その後、900 および 1050 $^{\circ}\text{C}$ の Ar 雰囲気中で焼成を行った。最後に、化学エッチングと化学機械研磨 (CMP) により表面の Al-Ge 残留物を除去した。SiGe 薄膜の断面構造および組成は SEM 観察により評価した。また、SiGe 薄膜の表面形状はレーザー共焦点顕微鏡観察により分析した。

【結果と考察】Fig. 1(a)に Ge 含有量 80 mol%の Al-Ge ペーストを 1050 $^{\circ}\text{C}$ で焼成した場合の断面 SEM 像を示す。Fig. 1(a) の各領域に対する EDS 組成分析の結果、試料表面側の SiGe 薄膜中に Ge 組成が 80 mol%を超える領域が約 30 μm 成長していることが分かった。しかし、試料表面全体にわたってクラックが観察され (Fig. 2(a))、SiGe 層上への III-V 族半導体層のヘテロエピタキシャル成長を考えると問題である。一方、Ge 含有量 60 mol%の Al-Ge ペーストを 900 $^{\circ}\text{C}$ で焼成した場合、試料表面側の SiGe 薄膜中に約 10 μm の Ge 組成が 80 mol%を超える領域が観察され (Fig. 2(a))、かつ明瞭にクラックの少ない SiGe 薄膜が得られた (Fig. 2(b))。前述のクラックの発生は、SiGe と Si との体膨張係数の差、あるいは SiGe/Si 界面の格子不整合に起因すると考えられる。本研究では、凝固シミュレーションに基づいて SiGe/Si 界面の格子不整合が同程度になるようにペースト組成と焼成温度を選択した。よって、クラックの主な発生要因は SiGe と Si の体膨張係数の差であり、900 $^{\circ}\text{C}$ での低温焼成がクラック発生数の低減に繋がったと推測される。以上のとおり、安価な III-V 族化合物半導体多接合太陽電池作製に向け、Al-Ge ペースト組成および焼成温度を制御することにより、高 Ge 組成な SiGe/Si 仮想基板の作製可能性が示された。

【謝辞】本研究は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPJN14004)および JST COI-NEXT(No. JPMJPF2204)の支援を受けたものである。

【参考文献】[1] K. Fukuda *et al.*, Sci. Rep. **12**, 13770 (2022).

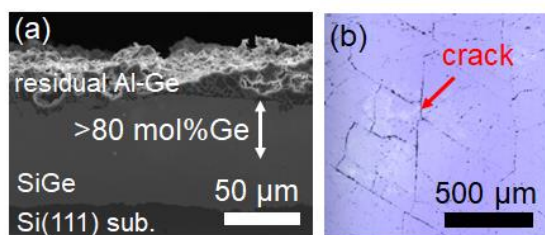


Fig. 1: (a) Cross-sectional scanning electron and (b) laser scanning confocal micrographs of the surface of the Al-Ge(80 mol%Ge)/Si sample after annealing at 1050 $^{\circ}\text{C}$.

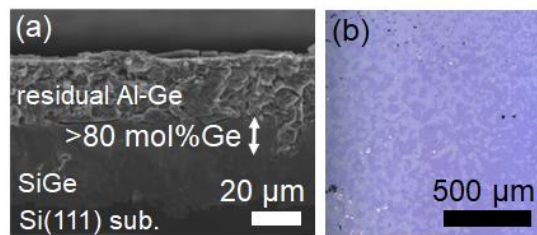


Fig. 2: (a) Cross-sectional scanning electron and (b) laser scanning confocal micrographs of the surface of the Al-Ge(60 mol%Ge)/Si sample after annealing at 900 $^{\circ}\text{C}$.