

一般セッション(口頭講演) | 13 半導体：13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

2024年9月16日(月) 9:00 ~ 12:00 会場 B1 (展示ホールB)

[16a-B1-1~11] 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

岡田 竜弥(琉球大)、呉 研(東工大)

9:00 ~ 9:15

[16a-B1-1]

ミニマルファブの真空ローディング、真空搬送システム

○原 史朗^{1,2,3}、野田 周一¹、前川 仁¹ (1.産総研、2.ミニマルファブ、3.ハンドレッド)

9:15 ~ 9:30

[16a-B1-2]

ミニマルファブにおける連続作製デバイスのウェハ間ばらつきの解析

○本郷 仁啓¹、原 史朗^{1,2,3} (1.ミニマルファブ、2.産総研、3.Hundred Semiconductors)

9:30 ~ 9:45

[16a-B1-3]

ミニマルファブSOI-CMOSにおけるNMOS特性の制御

○浜本 毅司¹、山崎 昭浩²、原 史朗^{1,2,3} (1.ミニマルファブ推進機構、2.産総研、3.(株)Hundred Semiconductors)

9:45 ~ 10:00

[16a-B1-4]

ミニマル反応性スパッタ装置によるHfN_x膜の形成○野田 周一¹、薮田 勇氣³、山本 直子³、亀井 龍一郎³、原 史朗^{1,2,4} (1.産総研、2.ミニマルファブ、3.誠南工業、4.Hundred Semiconductors)

10:00 ~ 10:15

[16a-B1-5]

ミニマルイオン注入装置のデバイスプロセスへの適用検討 (II)

○三浦 典子¹、浜本 毅司²、佐藤 和重²、橋本 直樹³、北村 是尊³、原 史朗^{1,2,4} (1.産総研、2.ミニマルファブ推進機構、3.フジインバックス、4.Hundred Semiconductors)

10:15 ~ 10:30

[16a-B1-6]

ミニマル装置を用いた水素アニールによる柱状構造の表面処理

○濱田 健吾^{1,2}、Huang Ying⁴、佐藤 徳子⁴、千葉 貴史^{1,2}、寺田 昌男^{1,2}、佐藤 和重^{1,2}、金森 義明⁴、原 史朗^{2,3} (1.坂口電熱株式会社、2.ミニマルファブ推進機構、3.産総研、4.東北大学)

10:45 ~ 11:00

[16a-B1-7]

テーパ形状のTSVホールにおける水素アニール効果の研究 II

○田中 宏幸¹、徳永 博司²、野沢 善幸³、速水 利泰³、佐藤 和重^{4,6}、田上 佳代⁵、原 史朗^{1,6} (1.産総研、2.MTC、3.SPPテクノロジーズ、4.坂口電熱、5.熊本防錆、6.ミニマルファブ)

11:00 ~ 11:15

[16a-B1-8]

ミニマルレーザ加熱装置による水素雰囲気表面処理の半導体CMOS デバイスへの応用検討

○佐藤 和重^{1,2}、千葉 貴史^{1,2}、寺田 昌男^{1,2}、濱田 健吾^{1,2}、原 史朗^{1,3} (1.ミニマルファブ推進機構、2.坂口電熱、3.産総研)

11:15 ~ 11:30

[16a-B1-9]

ミニマル液体ドーパント・プロセスに用いた攪拌装置の効果

○中道 修平¹、本郷 仁啓¹、佐藤 和重¹、居村 史人³、原 史朗^{1,2,3} (1.ミニマルファブ、2.産総研、3.(株)Hundred Semiconductors)

11:30 ~ 11:45

[16a-B1-10]

スピンドロップレット洗浄における乾燥プロセス

○根本 一正¹、谷島 孝²、佐藤 和重²、三浦 典子¹、原 史朗^{1,2,3} (1.産総研、2.ミニマルファブ、3.(株)Hundred Semiconductors)

11:45 ~ 12:00

[16a-B1-11]

ミニマルウェハ製造におけるウェハ洗浄後の乾燥装置III

○谷島 孝¹、藤田 龍哉³、根本 一正²、居村 史人³、原 史朗^{1,2,3} (1.ミニマルファブ、2.産総研、3.ハンドレッドセミコン)

ミニマルファブの真空ローディング、真空搬送システム

Wafer loading and wafer transfer system under vacuum in Minimal Fab

産総研¹, ミニマルファブ推進機構², (株)Hundred Semiconductors³ ○原 史朗^{1,2,3}, 野田 周一¹, 前川 仁^{1,2}
AIST¹, MINIMAL², Hundred Semiconductors, inc.³ ○Shiro Hara^{1,2,3}, S. Noda¹, and H. Maekawa²
E-mail: shiro-hara@minimalfab.jp

【ミニマルファブのウェハ搬送コンセプト】

ミニマルファブは、半導体ファブの巨大設備投資を大幅に低減し、かつスピーディーに（数日～1週間以内で）製造することを目的として開発された超小型半導体生産システムである。ウェハはハーフインチで、製造装置も幅は30 cmの人サイズである。また、局所クリーン化生産システムが発明されたことで、巨大コストの大きな要因であるクリーンルームの建設コストと運営コストを徹底的に抑えた。この局所クリーン化生産システム

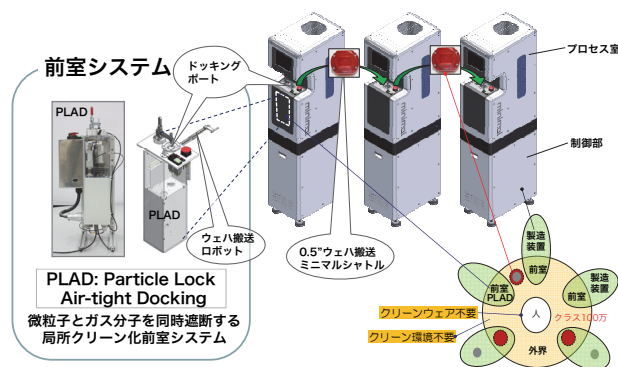


図1 ミニマルファブのウェハ搬送系

ムでは、図1、図2にあるように、ハーフインチウェハは、赤いミニマルシャトルと呼ばれる小さな密閉容器によって装置間を人または自動機械で搬送される。ウェハが存在する(1)ミニマルシャトル、(2)PLAD (=ウェハロードポート)、(3)装置内プロセス室の3つの環境は密閉され外界から遮断されている。ミニマルファブは、このように外界から密閉遮断されているので、基本設計された2010年の時点で既に、原理的には真空中での装置間搬送が可能のように設計されていた。

また、ロードポートであるPLADは一見一室構成に見えるが、実は、ミニマルシャトルがドッキングするドッキングポート部(図3)には、ドッキング時にシャトルフランジ(図3)のOリングでシールされる構成になっているため、そのドッキング部の僅かな隙間空間は、ドッキング後に密閉空間となり、その密閉空間をガスパージ及び真空排気出来る仕組みになっている。結果として、ミニマルファブでは、2つの前室(ドッキングポート空間とPLAD空間)を備えた構造になっている。半導体の製造装置では、ウェハの出し入れ

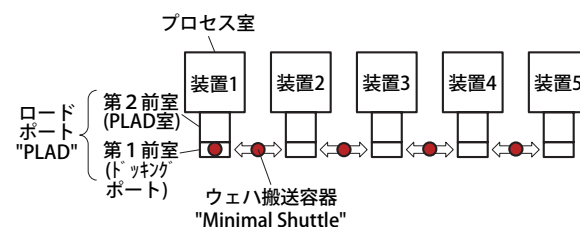


図2 ミニマルファブのウェハ搬送系模式図

の度に化学反応炉を一々大気暴露すると、排気時に良い真空中に回復するのに数時間を要するため、前室2室構成(1室目が大気-真空行き来、2室目は常時真空)が普通である。ミニマルファブでも超小型化されているにもかかわらず、2準備室構成となっている。このことで、ミニマルファブは超高真空対応になっている。特筆すべき点は、第一の準備室・ドッキングポートが僅か数ccであるため、数秒の真空引きで、常時真空である第2のPLAD室へウェハを搬送出来る点にある。結果として、たとえばミニマルスパッタ装置では、ウェハローディングに最短で15秒、長くても30秒以内に装置本体の真空チェンバーへウェハを搬送出来る。プラズマ着火まで1分を要しない。このことは、ミニマルファブの短TAT(Turn Around Time)に絶大な効果があり、基本的にミニマルファブではウェハ出し入れの待ち時間がほぼゼロというこれまでに無かった高速性を実現している。

また、ミニマルシャトルも、実用システムとして世界で初めて真空対応になっているため、ミニマルファブでは初めて装置間で真空搬送が実現する。これまでの10年は、ミニマルファブ装置の開発に注力してきたため、この真空搬送機能は次世代機能として封印してきたが、現在、装置がほぼ商品化されてきたため、現在装置間真空搬送機能の開発に着手している。本報告では、この先進的な真空搬送システムテクノロジーの詳細を発表する。

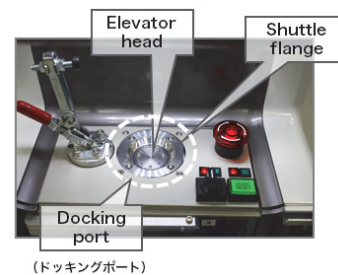


図3 ドッキングポート部

ミニマルファブにおける連続作製デバイスのウェハ間ばらつきの解析

Analysis of wafer-to-wafer variation of devices fabricated in Minimal Fab

○本郷 仁啓¹、原 史朗^{1,2,3}(¹ミニマルファブ推進機構、²産総研、³(株)Hundred Semiconductors)○H. Hongoh¹ and S. Hara^{1,2,3}(¹MINIMAL, ²AIST and ³Hundred)

E-mail: Hongoh.Hiroyoshi@minimalfab.com

【背景】ハーフィンチウェハ、幅約 30 cm の製造装置、クリーンルームを不要とする局所クリーン化搬送システムの 3 つの特徴を有しているミニマルファブ[1]は、2011 年に装置開発を開始して以来、装置やプロセスの開発やデバイス試作の実績を積み重ね、2023 年に CMOS の PDK を公開した。これは Google に続いて世界で 2 番目である。ミニマルファブは、PDK を公開出来るほど安定してきているが、open PKD を公開した以上、「デバイスが普通に作れる」、「いつも同じ様に作れる」、「ウェハのどの部分も同じ様に作れる」というレベルで歩留まりや諸特性の安定性を向上させてゆく必要がある。

【目的】これまでに、ミニマルファブで作製したデバイスの性能ばらつきを測定し、そこで得られた結果から、ロット間ばらつき[2]、ウェハ面内ばらつき[3]について報告し、面内ばらつきの改善も報告してきた[4]。ミニマルファブはウェハ 1 枚から半導体デバイスを製造することが可能で、ミニマルファブの 1 ロットはウェハ 1 枚である。

そもそも、何故ロット＝まとめて作る単位という考え方、整理の仕方、運用の仕方があるのか？実際の製造においては、ロット内は同じ性能ばらつきであり、ロットが違ふと性能ばらつき具合が違ってくるということは、半導体に限らず多くの製造現場で体験されているからである。しかし、何故ロット間で性能ばらつきが違ってくるのか？我々は、その一つの大きな要因は、プロセス総時間であると思なしている。実際、過去の我々のトランジスタ製造では、短期間に作った方が、ばらつきが少ないということがしばしば見受けられてきた。

そこで今回は、それを明快にする実験を行う。ミニマルファブを使う複数枚ウェハのデバイスの作製で、ウェハ 1 枚ずつ複数回作製する場合と、複数枚のウェハをプロセスごとに続けて全体で一度に作製する場合の、デバイスの特性を解析して報告する。

【実験】本実験では、ミニマル pMOS トランジスタのばらつきを評価した。

トランジスタ製造実験を 2 つの種類に分け、グループ毎に各 5 枚作製・評価した。グループ 1 は、1 枚のウェハで作製開始から完成までの工程を実行し、完成後に次のウェハの作製に取り掛かる手順を繰り返した。グループ 2 は、一つのプロセスを 5 枚のウェハに続けて実行し、次のプロセスも 5 枚のウェハに続けて実行する手順を繰り返して最終工程まで進めた。つまりグループ 2 では 5 枚ともほぼ同時にできあがる。グループ 2 では、まとめて 5 枚作るため、グループ 1 の 5 枚合計総時間よりも短くなると思われるかもしれないが、実際には、プロセス総時間は 284.6 時間となり、グループ 1 の 5 枚合計 202.4 時間の 1.4 倍を要した。対象のデバイスは、ウェハ全体の 99 箇所に、pMOS-FET を含むセルが配置されている(図 1)。その pMOS-FET の電気的特性($I_D V_D$)を測定し、飽和領域($V_G = -10V$, $V_D = -10V$)でのドレイン電流を評価した。2 つのグループではドーピング濃度設定を変えていたため、 I_D の平均値がシフトしているが、ばらつきは同じ扱いができる。

【結果】グループ 1、2 の測定・解析結果から、それぞれのウェハの I_D の面内ばらつき(σ /平均)を図 2 に示す。グループ 1 と 2 では同程度に見えるが、それぞれのグループのばらつきを単純に平均すると、グループ 1 は 3.35 %、グループ 2 は 3.48 %と、わずかにグループ 1 のばらつきが小さい。次に、グループ毎の全トランジスタの標準偏差を平均値で割った全 Tr.ばらつきと、ウェハ毎の平均値の標準偏差を全体の平均値で割ったウェハ間ばらつきを図 3 に示す。グループ 1 に比べてグループ 2 の全トランジスタのばらつきが小さい。さらに、ウェハ間のバラツキではグループ 2 がさらに小さかった。

【考察】グループ 1 の面内ばらつきがわずかに小さくなったのは、プロセス総時間が短い、すなわち、正味のプロセス時間を除くプロセスとプロセスの間の待機時間が短いために、プロセス間待機中の汚染の影響が少なかったことが一つの要因と考えられる。一方、グループ 2 で全トランジスタと面間ばらつきが小さくなっているのは、各プロセスにおいてグループ内のウェハを続けて処理した結果、温湿度や気圧などの環境までも含むプロセス条件を近接させることができたためと考えられる。

【結論】上記実験から、結局はばらつきに影響しているのは、プロセスの全時間であることがわかった。すなわち、手早く作ればウェハ間のばらつきは小さく、プロセス間のウェイト時間が長いほど、汚染が進むと同時にプロセス装置の状態が変化するので、ウェハ間ばらつきは大きくなると考えられる。

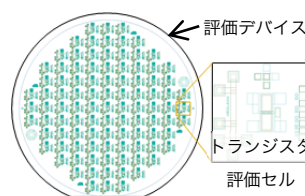


図 1 評価デバイス(CAD 図)

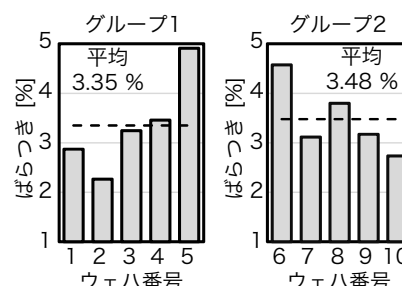


図 2 ウェハ面内のばらつき

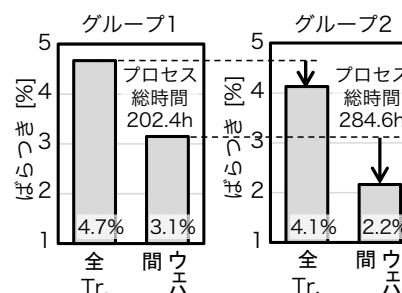


図 3 ウェハ間のばらつき

[1] 原史朗、クンプアンソマワ、 「ミニマルファブの開発とそのデバイスプロセス」、 応用物理、 83(5)、 380 (2014)。

[2] 本郷仁啓ら、第 70 回応用物理学会春季学術講演会 15p-B410-1 (2023)。

[3] 本郷仁啓ら、第 84 回応用物理学会秋季学術講演会 20a-A301-7 (2023)。

[4] 本郷仁啓ら、第 71 回応用物理学会春季学術講演会 22a-61C-7 (2024)。

ミニマルファブ SOI-CMOS における NMOS 特性の制御

Control of NMOS characteristics in minimal fab SOI-CMOS

○浜本 毅司¹, 山崎 昭浩², 原 史朗^{1, 2, 3}¹ミニマルファブ推進機構、²産総研、³(株)Hundred SemiconductorsMINIMAL¹, AIST², and Hundred³○Takeshi Hamamoto¹, Akihiro Yamazaki², and Shiro Hara^{1, 2, 3}E-mail: takeshi.hamamoto@minimalfab.com

【背景】ミニマルファブは多品種少量生産をターゲットとした生産システムである[1]。このミニマルファブでのデバイス適応実績としては、カンチレバーに代表される MEMS デバイス、CMOS およびそれを用いた Ring Oscillator やオペアンプなどが試作されてきた。1,000 Gate レベルの集積回路の動作検証は既に終了し、試作ファブの段階となっている。今後は、PDK (Process Design Kit) を構築し、広範なユーザー設計に基づいた回路動作に対応すべく、MOSFET の動作精度向上、プロセスロバスト性確保に注力している。今回、NMOS 特性(閾値および駆動電流)を制御する方法として、チャンネル領域に固層拡散によるボロンをドーピング、その後行う酸化の膜厚を変化させる手法を構築した。

【NMOS 特性制御方法】

図1(a)にNMOS断面構造を示す。チャンネル領域はP型であるが、ボロン濃度とSi膜厚を最適化することにより、Full Depletion (FD)動作を実現している。その形成プロセスを同図(b)に示す。チャンネル形成領域にボロン SOG (Spin on Glass)からの固層拡散によりボロンをドーピングする。次に、閾値制御を目的とした酸化(以下、閾値制御酸化と記す)を行う。その後、ソース/ドレイン領域にリンを固層拡散によりドーピングする。引き続き、素子分離形成、ゲート電極形成、配線層形成を行うことにより、MOS構造を完成させる。

図2に閾値制御酸化による閾値制御方法を示す。閾値制御酸化で制御を行うのは、同図(a)に赤枠で示したSi膜厚(t_{Si})およびP型チャンネル濃度(Na)、である。酸化膜厚を変化させた時に、前記Si膜厚(t_{Si})とP型チャンネル濃度(Na)の変化、および閾値変化の関係を同図(b)に纏めた。酸化膜厚を厚膜化すると、 t_{Si} および Na は減少する。 t_{Si} 薄膜化はゲート電圧がチャンネルの形成に、より効果的に寄与するようになり閾値低下をもたらす。また、 Na 減少もチャンネル空乏層中の電荷密度が減少するので、低いゲート電圧でチャンネルが形成され、閾値低下をもたらす。一方、酸化膜厚の薄膜化は、 t_{Si} および Na に対して前記と逆の効果をもたらすため、厚膜時に比較して閾値は上昇する。図3に実際に試作を行った SOI-CMOS に於ける酸化時間と NMOS 閾値の関係を示す。

【NMOS の閾値および駆動電流の制御】

実際の MOS 特性に於いては、閾値制御に加えて、駆動電流の制御が重要である。ミニマルファブで試作を行った SOI-CMOS における NMOS の閾値と駆動電流の関係を図4に示す。各プロットは1waferの平均値である。Group A, B, Cの3種類に分けられることが判明した。Group Aは前項の t_{Si} および Na 制御により、閾値変化を介して駆動電流が変化している領域である。一方、Group BおよびCはそれ以外の要因が付加されている領域であるが、その制御に関しては当日の発表で報告する。

【参考文献】[1]原史朗、クパアン ソワリン:「ミニマルファブの開発とそのデバイスプロセス」、応用物理学会誌 83(5), p.380(2014)。

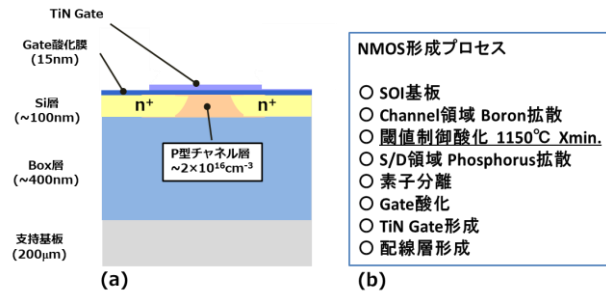


図1 NMOS 断面構造と形成プロセス

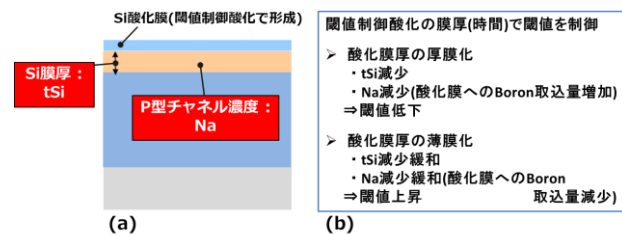


図2 閾値制御酸化による閾値制御

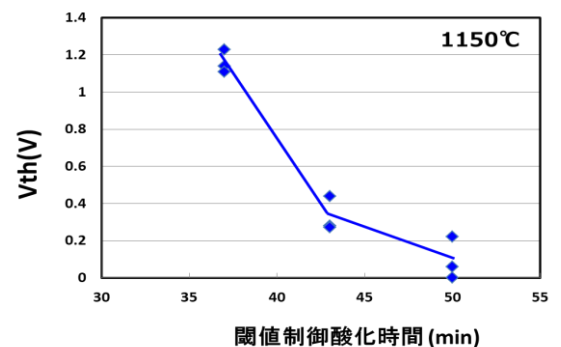


図3 閾値制御酸化時間と閾値の関係

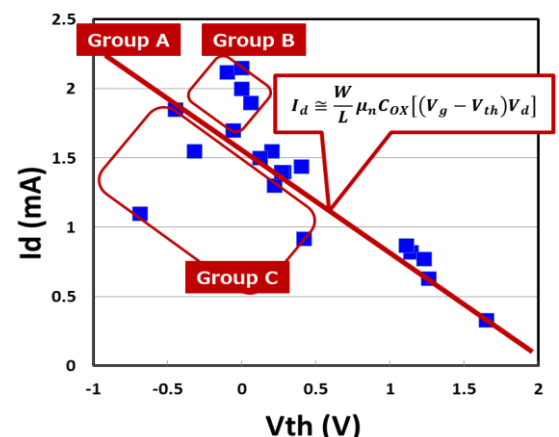


図4 閾値と駆動電流の分布

ミニマル反応性スパッタ装置による HfN_x 膜の形成

Formation of HfN_x Films Using Minimal Fab Reactive Sputtering Tool

産総研¹, ミニマルファブ推進機構², 誠南工業(株)³, (株)Hundred Semiconductors

○野田周一¹, 藪田勇気³, 山本直子³, 亀井龍一郎³, 原 史朗^{1,2,4}

AIST¹, MINIMAL², Seinan-kogyo³

○S. Noda¹, Y. Yabuta³, N. Yamamoto³, R. Kamei³, S. Hara^{1,2,4}

E-mail: s-noda@aist.go.jp

1. はじめに

強誘電性 HfN_x 膜 (以下 FE- HfN_x 膜と言う) を用いた 1T1R 型の FE-RAM 応用[1]を念頭に、ミニマル反応性スパッタ装置を用いての膜形成を検討している。前回の講演では、HiPIMS(High Power Impulse Magnetron Sputtering)、DCMS(DC Magnetron Sputtering)、RFMS(Radio Frequency Magnetron Sputtering)の 3 種類のマグネトロンスパッタ方式での成膜特性について示し、FE- HfN_x 膜となる結晶組成が得られる可能性を示した[2]。3 種方式の中で、DCMS では N_2 流量比率を増やすとプラズマ放電の維持が困難となる現象が発生した。原因は Hf ターゲットの窒化反応が予想外に大きく、ターゲット表面が絶縁化されてチャージアップしてしまうためと考えられた。この課題を克服するため、プラズマ放電手順・方法を工夫し、これにより高 N_2 流量比率での成膜が可能となった。今回は、各種成膜条件での膜の評価を行ったのでその結果を報告する。

2. 実験方法

HfN_x 膜用に開発したミニマル反応性スパッタ装置[2]を用いて、今回は DCMS に特化して成膜を行った。高 N_2 流量比率で DC 放電が安定化するように以下の手順で HfN_x の成膜を行った。①スパッタ成膜前にウェハレスで Ar プラズマクリーニングをするようにした。この際、1Pa 以下の低圧で放電が安定化するまでエージングした。②ウェハ搬入後、まず Ar のみで放電開始し、その後所定量の N_2 を添加して放電が安定してからシャッター開けて成膜開始するようにした。

成膜条件として、混合ガス ($\text{Ar}+\text{N}_2$) 流量は 14 sccm 一定、圧力は 1 Pa 一定、DC 放電パワーは 50 W 一定、ステージ温度は室温および 400°C とした。基板はハーフインチ Si (100) ウェハを熱酸化 (膜厚 70nm) したものを用い、GI(Grazing incident)-XRD と対称 $\theta/2\theta$ XRD の両方で結晶組成を調べた。また、 HfN_x 膜の比抵抗は、4 探針測定機を用いて評価した。

3. 結果

図 1 は、 HfN_x 膜の堆積速度と N_2 流量の関係を示す。上記の方法で N_2 流量を大幅に高めても安定なスパッタが可能となり、流量 5 sccm (流量比で 36%) まで実験を行った。DCMS でも他の放電方式と同様な傾向が得られることを確認した。図 2 は、形成した HfN_x 膜の XRD スペクトルを示す。(a)GI-XRD ではランダムな方向を向いた結晶の回折面を、(b)symmetric $\theta/2\theta$ -XRD では結晶のウェハ表面に平行な回折面を示している。(a)GI-XRD では、 N_2 流量 0.1 sccm のとき α -Hf 構造に近い結晶組成になっているが、0.6 sccm のときにはストイキオメトリーに近い δ - HfN_x に遷移していることが分かった。さらに N_2 流量を増やすと δ - HfN_x (111)面の回折角のみが低角側にシフトしていき(200)面はあまり変化しないことが分かった。これは結晶構造に歪が生じていることを示しており高誘電性の発現が期待される。(b) $\theta/2\theta$ -XRD では、(a)と同様の傾向を示すが、基板面の影響を受けて少し異なった結果となりそれぞれの回折ピークはさらに低角度側にシフトした。図 3 は、 HfN_x 膜の比抵抗と N_2 流量の関係を示す。ストイキオメトリーに近い膜 (N_2 0.6 sccm) で最も高い電導度が得られる[3]ことが再現でき、それより高い N_2 流量では指数的に比抵抗が増大することが分かった。 N_2 3 sccm 以上の条件では、4 探針測定機で測定ができなかった。以上、 HfN が元来絶縁性であるという観点で、図 3 の高抵抗化が可能になったことから、窒素流量を大幅に増やすプロセス改良によって HfN 膜本来の特性に近づいた成膜ができるようになったことがわかった。

参考文献: [1] S. Ohmi et al., J. Electron Devices. Soc., **9**, 1036 (2021). [2] 野田周一, 他, 第 71 回応用物理学会春季学術講演会, 22a-61C-3 (2024). [3] C. Hu et al., Scripta Materialia, **108**, 141 (2015).

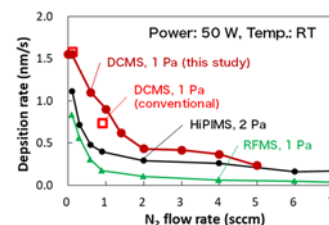


図 1. HfN_x 堆積速度 vs N_2 流量

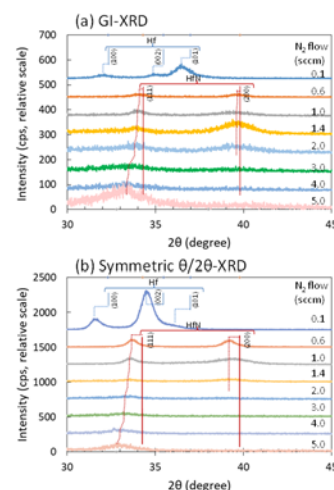


図 2. XRD パターンの N_2 流量依存性

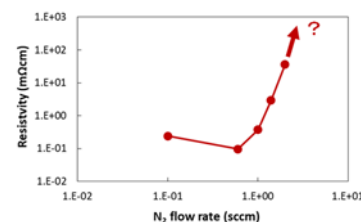


図 3. HfN_x 膜比抵抗 vs N_2 流量

ミニマルイオン注入装置のデバイスプロセスへの適用検討 (II)

Study of Device Process Using Minimal Fab Ion Implantation Tool (II)

産業技術総合研究所¹, ミニマルファブ推進機構², フジ・インバックス³, (株)Hundred Semiconductors⁴

○三浦 典子¹, 浜本 毅司², 佐藤 和重², 橋本 直樹³, 北村 是尊³, 原 史朗^{1,2,4}

AIST¹, MINIMAL², FUJI IMVAC INC.³ and Hundred⁴

Noriko Miura¹, Takeshi Hamamoto², Kazushige Sato², Naoki Hashimoto³, Yoshitaka Kitamura³,
and Shiro Hara^{1,2,4}

E-mail: noriko-miura@aist.go.jp

【背景と研究目的】 ミニマルファブ^[1]では、現在すべてのプロセスにミニマル装置を用いて製造するフルミニマルプロセスにてデバイス開発を行っている。すでに熱拡散法を用いた TiN ゲート SOI CMOS をベースとしたロジック回路やオペアンプを試作し、実用レベルの歩留まりを得ている。今後、さらなる実用化を目指して、トランジスタの微細化による高集積化を検討中である。ここで、現状のスパイン熱拡散法による不純物ドーピングプロセスでは、熱拡散時に不純物の水平方向拡散で実効チャネル長が設計値よりも縮小することや、ソース/ドレインとゲート電極とのアライメント精度などが今後微細化をさらに進める上で課題となっている。一方、イオン注入法では、熱拡散が不要であり、ゲートファースト法によるセルフアライメント方式を用いることで、チャネル長のさらなる微細化が可能である。我々はミニマルファブ開発の一環として、イオン注入装置の開発も行っており、これまでの開発で、P イオン、B イオン共に実プロセスに適用可能な注入量や面内均一性を得ている^{[2],[3]}。本研究では、ミニマルイオン注入装置の CMOS デバイスプロセスへの適用の可能性と課題について議論する。

【注入装置概要】 図 1 にミニマルイオン注入装置の構造図を示す。本装置では、イオンソースを 1 装置につき 1 種類に限定し、質量分離に電磁石を使わず、超小型の永久磁石を搭載した ExB 質量分離器使用することで装置を小型化した。さらに、イオン発生器側を接地電位とし、ステージのみに負の加速電圧をかけることで、高電圧の絶縁をステージ周辺だけに極小化し、狭い筐体内に部品を密接して配置することを可能にした。注入量の制御には、ステージと後段加速用高圧電源の間に設置した微小イオン電流計を用いている。ウェハ全面に均一にビームを照射するために XY 偏向電極によるビーム補正と XY ステージのメカニカルスキャンを併用している。

【ミニマル CMOS デバイスプロセスとイオン注入特性】 図 2 にフルミニマル TiN ゲート SOI-CMOS トランジスタの構造を示す。現行の SOI-CMOS トランジスタは、活性層が 100 nm と薄いため、イオン注入の加速電圧が現行の 20 kV でも、活性化アニールを併用することで Full-depletion 構造のトランジスタが作製可能である^[4]。表 1 にミニマルイオン注入装置のプロセス性能を示す。現行の熱拡散プロセスと同等の不純物濃度となる注入量は、P イオンが $1\text{E}+15/\text{cm}^2$ 、B イオンが $1\text{E}+14/\text{cm}^2$ 程度で、イオン電流値から算出される注入時間は 2~10 min 程度と見積もられる。これは、プロセス制御が可能でかつ、実用的なプロセス時間であるといえる。注入量の面内均一性およびウェハ間ばらつきは、10~13%程度であり、現行の熱拡散プロセスよりはやばらつきが多いものの、実使用に耐え得るレベルに収まっている。当日は、注入特性とデバイスへの適用について詳細に議論する。

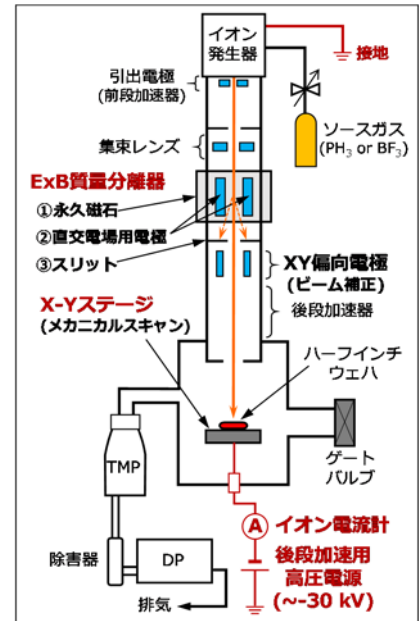


図 1 ミニマルイオン注入装置の構造

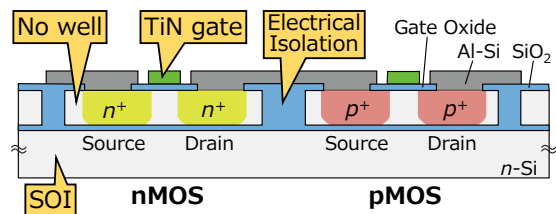


図2 ミニマル SOI-CMOS トランジスタの構造

表1 ミニマルイオン注入装置のプロセス特性

	P ⁺ 注入	B ⁺ 注入
加速電圧 (kV)	~20	~20
イオン電流値 (nA)	300	140
注入時間 (sec)*	600	120
注入量の面内均一性(1σ)	13%	10%
注入量のウェハ間ばらつき	10%	未評価

* P⁺注入量 $1\text{E}+15/\text{cm}^2$, B⁺注入量 $1\text{E}+14/\text{cm}^2$ の場合の概算注入時間

<参考文献>

[1] S. Khumpuang, et. al, IEEE Trans. Semi. Manufacturing, **28**(3), 551-556 (2015).

[2] 三浦他、第 81 回応用物理学会秋季学術講演、10a-Z10-3

[3] 三浦他、第 70 回応用物理学会春季学術講演、15a-B410-9

[4] 三浦他、第 68 回応用物理学会春季学術講演、19a-Z24-9

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

ミニマル装置を用いた水素アニールによる柱状構造の表面処理

Surface treatment of columnar structures by hydrogen annealing using Minimal Fab

ミニマルファブ推進機構¹, 産総研², 東北大学³, 坂口電熱⁴

濱田 健吾^{1,4}, Ying Huang³, 佐藤 徳子³, 千葉 貴史^{1,4}, 寺田 昌男^{1,4}, 佐藤 和重^{1,4},
金森 義明³, 原 史朗^{1,2}

MINIMAL¹, AIST², Tohoku University³, and SAKAGUCHI ELECTRIC HEATERS⁴

Kengo Hamada^{1,4}, Ying Huang³, Noriko Sato³, Takashi Chiba^{1,4}, Masao Terada^{1,4}, Kazushige Sato^{1,4},
Yoshiaki Kanamori³, and Shiro Hara^{1,2}

E-mail: k_hamada@sakaguchi-d.jp

〔はじめに〕現在、ミニマルファブ推進機構を中心に開発を進めているミニマルファブの加熱装置の一つに、レーザ光をウェハに面で照射し加熱するレーザ加熱がある。従来の抵抗加熱と異なり、レーザ光をウェハだけに照射し加熱するので、超高速な昇降温が可能である^{〔1〕}。我々はミニマルレーザ加熱装置の発展形としてレーザ加熱による表面平滑化を可能とするミニマルレーザ水素アニール装置を平成30年度サポイン事業（現 Go-Tech 事業）により開発した。これまでに、カンチレバー構造を作製し、その立体構造について水素アニールの表面処理効果を確認することができた^{〔2〕}。今回は、より立体的な柱状構造に対してレーザ水素アニールを実施したので、その結果について報告する。

〔実験方法〕20mm 角 Si 基板に対して $\phi 50\mu\text{m}$ 高さ約 $60\mu\text{m}$ の円柱状の構造を深掘りエッチングにて作成した。サンプルについては実験前に SPM 洗浄、HF 洗浄、純水洗浄を実施した。Fig.1 のようにサンプルをハーフインチサイズのトレイにカットして載せ、ミニマルレーザ水素アニール装置を用いて、水素流量 30cc/min、チャンバー圧力を 20kPa とし、プレアニールを 800°C で 30min、アニールを 1100°C で 5min 実施した。

〔実験結果〕Fig.2 に水素アニール前後の SEM 観察画像を示す。円柱形状は維持したまま、側面の深掘りエッチングにより形成されたスキヤロップが選択的に平滑化していることが確認できる。本研究の一部は、東北大学マイクロ・ナノマシニング研究教育センターの設備を用いて行われた。

〔結論〕本レーザ水素アニール技術は、微細な立体構造形成後に、表面を平坦化するのに非常に効果的であることが見いだされた。

〔1〕佐藤, 遠江, 千葉, 寺田, 中戸, 三浦, 池田, クンプアン, 原「ミニマルレーザ加熱装置の高速昇降温特性の評価」第 62 回応用物理学会春季学術講演会 講演予稿集, 14p-A29-4 (2015)

〔2〕佐藤, 千葉, 寺田, 濱田, 中山, 金森, 田中, 加瀬, クンプアン, 原「ミニマルレーザ加熱装置を使った水素雰囲気での Si 立体構造の表面処理」第 68 回応用物理学会春季学術講演会 講演予稿集, 19p-Z24-3 (2021)

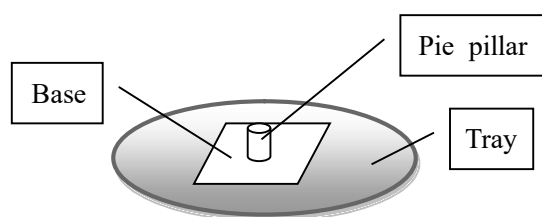


Fig.1 Experiment Summary Chart

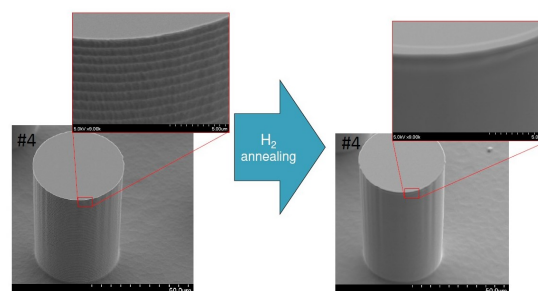


Fig.2 SEM Images

テーパ形状の TSV ホールにおける水素アニール効果の研究 II

Study of hydrogen annealing effect in tapered TSV holes II

○田中 宏幸¹, 徳永 博司², 野沢 善幸³, 速水 利泰³, 佐藤 和重^{4,6}, 田上 佳代⁵, 原 史朗^{1,6}
(¹産総研, ²MTC, ³SPPT, ⁴坂口電熱, ⁵熊本防錆, ⁶ミニマルファブ)

○H. Tanaka¹, H. Tokunaga², Y. Nozawa³, T. Hayami³, K. Sato^{4,6}, K. Tanoue⁵ and S. Hara^{1,6}
(¹AIST, ²MTC, ³SPPT, ⁴SAKAGUCHI, ⁵KB, ⁶MINIMAL) E-mail: tanaka.hiroyuki@aist.go.jp

【背景・目的】

ウェアラブルデバイス等 IoT デバイスは、近年、新たな半導体マーケットとして大いに期待されている。これらの IoT デバイスでは、センサーとアンプ、制御回路などが集積されるため、高機能化と多機能化を同時に実現する 3 次元や 2.5 次元の積層化が急務となっている。とりわけ注目を集めている技術は、アドバンスドパッケージ技術である。特に、3 次元パッケージを達成する究極の技術として期待されてきたのが、シリコン貫通ビア (TSV: Through Silicon Via) 技術である。

TSV 技術による 3 次元実装は、シリコン貫通ビアを電極として上下のシリコン積層ダイをマイクロバンパによって、電気的かつ機械的に接続する技術である。ただし、その製造は、技術的に難易度が高く、莫大な開発と製造コストが掛かることから、当初の期待より大きく立ち遅れているのが現状である。

我々のグループにおけるミニマルファブ^[1]の技術開発では、TSV を実装の総合技術と位置づけ、TSV の中核技術である深掘り Bosch Process^[2]をミニマルファブでのプロセス開発の最重要課題の一つとしている。先の応物学会^{[3][4]}において、シードスパッタ膜形成時に、反応にかかわる原子分子のホール出入りを促進するため TSV ホール形状を僅かに順テーパ化すること、また、深掘りボッシュプロセス工程で発現するスキャロップや縦縞の凹凸に起因する層間絶縁膜の脆弱な部分は、水素アニール処理による平坦化を行うことで深掘りエッチング側壁を平坦化するのに有効であることを報告した。しかしながら、その効果の検証、すなわち水素アニールホール形成後の電極埋め込みプロセスへの効果については、検証が必要であった。本稿では、水素アニールの次工程以降へ影響について解析結果を報告する。

【実験結果と考察】

実験は、僅かなテーパ角を保った深掘りボッシュプロセスで Si 基板に $\phi 10\mu\text{m}$ 径、深さ約 $60\mu\text{m}$ 程度の via-hole を作成し、一方は、スキャロップを残した状態のもの、もう一方は、水素アニールでスキャロップを平坦化処理したものを用意した(図 1 (a) (b))。前回からは、次工程以降の SPM-RCA 洗浄、TEOS-CVD 成膜、Ti/Cu シードスパッタ、Cu めっき工程まで行っている。これらの処理については、統一条件とした。水素アニールは、水素 30sccm、圧力 20kPa、温度 1100°C 、10min とした。ただし、ここでは、我々が開発した赤外線レーザ加熱方式のミニマル水素アニール装置を用いている。瞬時に室温から 1100°C までウェハ基板を昇降温させることができ、正確な加熱時間の制御が特長となっている。

その結果、深掘りエッチング後に見られるスキャロップ跡にシードスパッタを行った方(水素アニール無し)は、スパッタ成膜むらが見られた(図 2 (a))が、水素アニール処理を行った方は、ナノレベルの滑らかさとなり、TEOS 層間絶縁膜厚とめっき処理前の Ti/Cu シードスパッタ成膜均質性に明確な相違が現れた(図 2 (b))。特に、シードスパッタ膜形成の難点となっている TSV ホール底部側面については、深掘り時のスキャロップや縦筋が滑らかな面となってシード層を形成しているため、めっき埋め込みに極めて重要な効果があることが解かった。

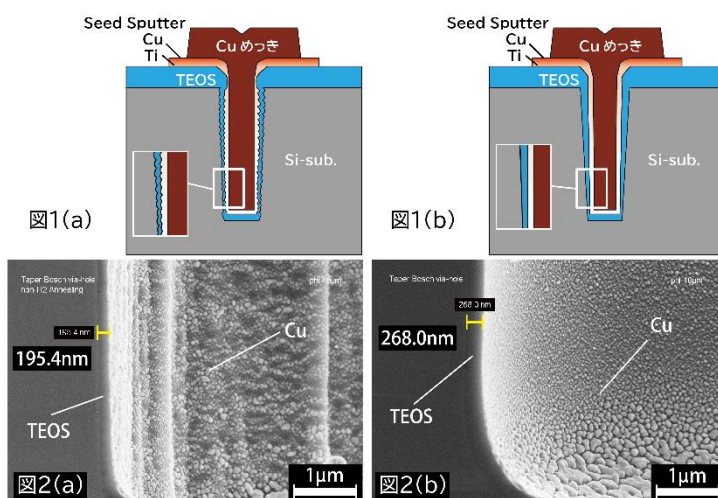


Fig.1 a) Bosch スキャロップあり。アニール無し。ホール断面図。
Fig.1 b) Bosch プロセス後、水素アニールあり。ホール断面図。
Fig.2 a) Bosch スキャロップあり。アニール無し。シードスパッタまで。
Fig.2 b) Bosch プロセス後、水素アニールあり。シードスパッタまで。

<謝辞>この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果で得られたものである。

<参考文献>

- [1] 原 史朗, クンブアン ソマワン, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
- [2] H. Tanaka, S. Khumpuang, S. Hara, "Small Plasma Space with a Small Plasma Source and Its Advantage in Minimal Fab", J. Photopolym. Sci. Technol., 32(5), pp.747-752 (2019).
- [3] H. Tanaka ら, 「シリコンビアホールエッチングにおけるテーパ角制御の研究」, 第 70 回応用物理学会, 15a-B410-5 (2023)
- [4] H. Tanaka ら, 「テーパ形状の TSV ホールにおける水素アニール効果の研究」, 第 84 回応用物理学会, 20a-A301-5 (2023)

ミニマルレーザ加熱装置による水素雰囲気表面処理の 半導体 CMOS デバイスへの応用検討

Application study of hydrogen atmosphere surface treatment using minimal laser heating
equipment to semiconductor CMOS devices

ミニマルファブ推進機構¹, 坂口電熱², 産総研³

○佐藤 和重^{1,2}, 千葉 貴史^{1,2}, 寺田 昌男^{1,2}, 濱田 健吾^{1,2}, 原 史朗^{1,3}

MINIMAL¹, SAKAGUCHI ELECTRIC HEATERS², and AIST³

°Kazushige Sato^{1,2}, Takashi Chiba^{1,2}, Masao Terada^{1,2}, Kengo Hamada^{1,2}, and Shiro Hara^{1,3}

E-mail: kazushige-sato@minimalfab.com

[はじめに] 現在、我々が開発を進めているミニマルファブの加熱炉の一つに、レーザ光をウェハに面で照射し加熱するレーザ加熱がある。従来の抵抗加熱とは異なり、レーザ光をウェハだけに照射し加熱するので、超高速な昇降温が可能である^[1]。さらにチャンバーを超クリーン化して水素雰囲気アニールできる表面処理装置を開発し評価を進めている^[2]。表面処理の効果は Si 原子の自己拡散により、加工でできた 1)加工面の凹凸の平滑化、2)平面角部や断面上部の鋭角部の丸め化である^[2]。最初のデバイスへの応用検討は Si 立体構造を特徴とする MEMS デバイスで、ドライエッチングによる Si 加工時に発生する面荒れや鋭角部が機械的強度の低下や性能劣化を招き大きな課題となっていたため、簡単なカンチレバー構造を作製し梁の強度向上を確認した^[3]。次に、Si 半導体 CMOS デバイスに応用できないか検討を開始した。トランジスタ等の素子は活性層 Si を BOX 層までドライエッチングすることにより分離(Si アイランドを形成)されており、Si アイランド形成後に表面処理を行えば、1)のシリコン表面の平滑化により酸化膜との界面の安定化、2)の加工でできた鋭角部の丸め化により Si アイランド上に形成される配線の断線マージン向上を期待できる。そこで今回は、SOI-CMOS プロセスに使用している洗浄装置、ドライエッチング装置等、全てのプロセスでミニマル装置を使用し Si アイランドを形成した評価サンプルを作製し、水素アニール表面処理を施して、これによって起こる Si の自己拡散による形状変化を評価したので報告する。

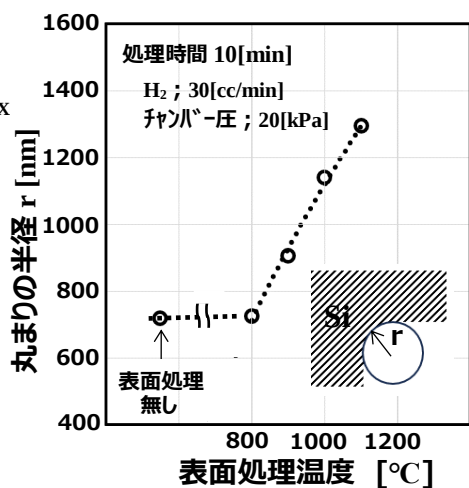
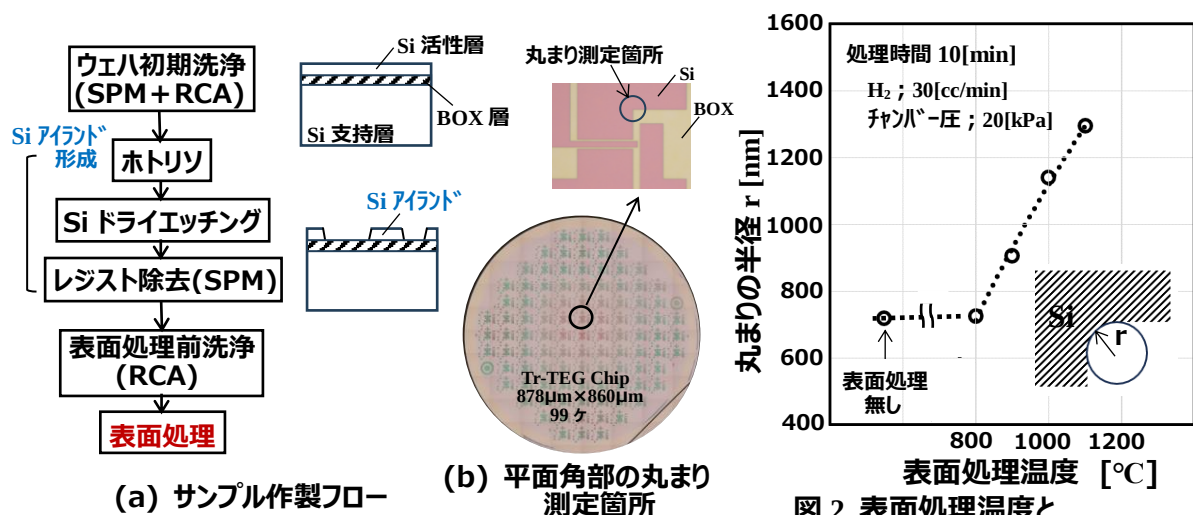
[実験方法] 図 1(a)に評価サンプルの Si アイランド作製フローを示す。SOI ウェハの初期洗浄を実施後、Si アイランドを形成したいところのレジストを残すようにホトリソグラフィでレジストをパターンニングし、ドライエッチングによりレジストが形成されていないところの Si をエッチングし、その後レジストを SPM で除去した。表面処理は RCA 洗浄後、水素流量 30 cc/min、チャンバー圧 20 kPa、処理温度 800、900、1000、1100°C で 10 min 間行った。表面処理の効果は、図 1(b)に示す平面角部の丸まり具合で評価した。丸まり具合は、丸まったところに円を描きその円の半径で数値化した。

[実験結果] 図 2 は表面処理温度と丸まりの半径 r の関係を示す。図より表面処理温度 800°C では表面処理無しと半径 r はほぼ同じで形状の変化は見られなかったが、900°C 以上から半径 r は大きく角部の形状変化が見られた。これにより、ミニマルの SOI-CMOS デバイスにおいて水素雰囲気表面処理の効果が得られる見通しを得た。

[1] 佐藤, 遠江, 千葉, 寺田, 中戸, 三浦, 池田, クンプアン, 原 第62回応用物理学会春季学術講演会 14p- A29-4 (2015)

[2] 佐藤, 千葉, 寺田, 濱田, 中山, 金森, 田中, 加瀬, クンプアン, 原 第61回応用物理学会秋季学術講演会 9a-Z10-7 (2020)

[3] 佐藤, 千葉, 寺田, 濱田, 中山, 金森, 田中, 加瀬, クンプアン, 原 第68回応用物理学会春季学術講演会 19a-Z24-3 (2021)



ミニマル液体ドーパント・プロセスに用いた攪拌装置の効果

The effect by the stirring device on a wafer using Minimal-Fab Spin-on Dopant Process

1 ミニマルファブ推進機構、2 産業技術総合研究所、3 (株) Hundred Semiconductors

○中道 修平¹、本郷 仁啓¹、佐藤 和重¹、居村 史人³、原 史朗^{1,2,3}

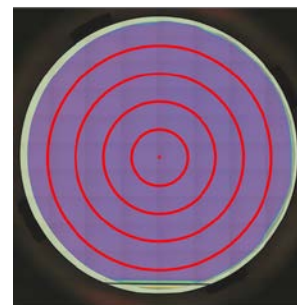
MINIMAL¹, AIST² and Hundred³

Shuhei Nakamichi¹, Hiroyoshi Hongoh¹, Kazushige Sato¹, Fumito Imura³, and Shiro Hara^{1,2,3}

E-mail: shuhei-nakamichi@minimalfab.com

【背景・目的】産総研とミニマルファブ推進機構では、 $\phi 12.5\text{mm}$ のハーフィンチウエハを用いた生産システムであるミニマルファブの開発を進めてきた[1]。MOSFET 構造のデバイス試作に必要な不純物拡散には、SOD(Spin On Dielectric)材料を用いた熱拡散方法を採用している。このプロセスを用いて、これまで CMOS を中心としたデバイス及びそれらを用いた集積回路の試作等に成功している。さらに、より高集積で安定したデバイスを製造するために、SOD 塗布プロセスの安定性を向上させたプロセスの開発を進めてきた[2]。実際に、SOD 塗布プロセスを集積回路などの実用用途に用いる場合、溶質として不純物原子が入った有機ポリマーを用いる SOD 溶液では、溶媒中で溶質を均一にウエハコーティングしようとする場合、以下の問題が顕在化する。(1)コーティングの面内均一性、(2)ウエハエッジ部に発生するエッジビード、(3)裏面への塗布薬剤の回り込みである。これらの課題に対応した塗布プロセスを開発した[3]。前回の報告 [4]では、ボロンドープ pMOSFET で、直径方向に不均一な塗布分布を、均一になるように改良することができた。しかし、ボロンドープ pMOSFET プロセスにおいて SOD 材料の塗布前の攪拌条件による塗布膜の膜厚への影響を把握していなかった。

【プロセス改良と検証】今回の実験では、SOD 溶液を均一に塗布するため、以下の条件を使用した。①ウエハ 90rpm で SOD 溶液を吐出し、そのまま 90 秒間回転、②SOD 溶液を振り切るための回転加速度を 5000rpm/sec、③振り切り後の乾燥の回転数を 5000rpm とした。ただし、使用する SOD 溶液中のボロンを均一に分散させるため、塗布の前にミキサーで SOD 液を収納したシリンジに振動を与えて攪拌した。上記①～③のプロセス条件で塗布薬液のスピンコートを行い、2枚を作製した。図1のように、半径6.25mm



膜厚測定位置と測定ポイント数
R=0mm:1
R=1.25mm:8
R=2.50mm:16
R=3.75mm:24
R=5.00mm:32
合計81ポイント測定

図1. ウエハ上での膜厚測定位置とポイント数

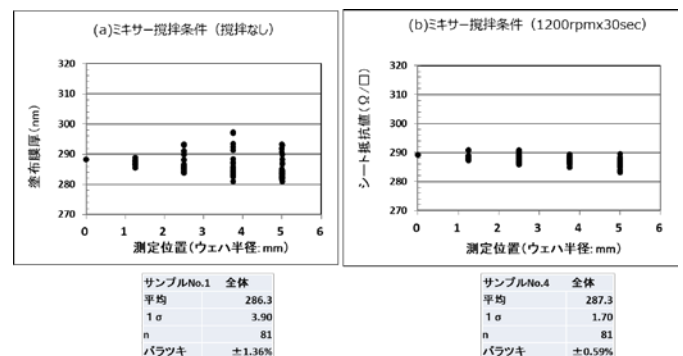


図2. 改善プロセス前後の塗布膜厚分布
(a)溶液のシェイクなし
(b)溶液のシェイクあり

のウエハの半径 0, 1.25, 2.50, 3.75, 5.00mm 上の合計 81 点の膜厚を測定し、塗布膜厚のばらつきを調べた。このボロン塗布膜の膜厚測定を、上記の2つの評価サンプルに対して行った。図2(a)に攪拌なしの条件で作製した塗布膜厚測定サンプル(a)のウエハ径方向に対する塗布膜の分布を示す。膜厚測定的位置をウエハ中心からの距離として表している。ウエハ面内での膜厚のばらつきは、 $\pm 1.36\%$ ($1\sigma = 3.90\text{nm}$)であった。ただし、ウエハ全体でばらつきが大きかった。同様に、SOD 溶液攪拌後のデータを図2(b)に示す。プロセス改善後の条件で作製したサンプル(b)のウエハ面内での膜厚のばらつきは、 $\pm 0.59\%$ ($1\sigma = 1.70\text{nm}$)であり、図2(a)の分布と比べるとかなり均一な分布となっていた。以上の結果をまとめると、SOD 溶液の攪拌を行うことによって、SOD の塗布膜は大変綺麗にウエハ面内で均一化された。今後は攪拌条件による電気的特性への影響を評価していく予定である。

〈参考文献〉

- [1] 原 史朗、クンプアン ソマワン：「ミニマルファブの開発とそのデバイスプロセス」、応用物理学会誌 83(5),p.380(2014).
- [2] 中道 修平ら、第 83 回応用物理学会秋季学術講演会 20a-A406-7(2022)
- [3] 中道 修平ら、第 70 回応用物理学会春季学術講演会 15a-B410-2(2023).
- [4] 中道 修平ら、第 71 回応用物理学会春季学術講演会 25p-52A-5(2024).

スピンドロップレット洗浄における乾燥プロセス

Drying Process in spin droplet cleaning

産業技術総合研究所¹, ミニマルファブ推進機構², (株)Hundred Semiconductors³

○根本一正¹, 谷島孝², 佐藤和重², 三浦 典子¹, 原 史朗^{1, 2, 3}

AIST¹, MINIMAL², Hundred³

Kazumasa Nemoto¹, Takashi Yajima², Kazushige Sato², Noriko Miura¹, Shiro Hara^{1, 2, 3}

E-mail: nemoto.kazumasa@aist.go.jp

【背景と研究目的】超小型デバイス生産システムミニマルファブ[1]は、装置が人サイズで、ウェハが非常に小さいことと、局所クリーン化が大きな特徴である。このことで有利なプロセスと不利なプロセスとがでてくる。たとえば、ウェハをスキャニングするプローブ技術では、面積が 300 mm と較べて 1/1,000 のためにスキャニング時間つまりプロセス時間が 1/1,000 になるため、非常に有利である。一方、ミニマルファブの、ウェットプロセスではウェハが直径 12.5 mm と小さいため、ウェハエッジの表面張力が強く働き、その強い表面張力を利用してウェハ表面に液体を保持したままウェットプロセス処理が可能であり、省薬液になる。しかし一方で、薬液を多量に使う浴槽バッチ浸漬方式を避け、片面枚葉洗浄を選択した場合、表面と裏面の洗浄やエッチングが同時に出来ないだけでなく、ウェハが小さいため裏面へのエッジ部からの薬液が回り込んで汚染されるという課題があった。この課題に対し、ウェハを保持するウェハステージにリングを装着する事により、ウェハ裏面空間に薬液を溜めることができ、このことによりウェハ表面と裏面の表面張力が連動してウェハ上下の液体が一体化保持され、同時両面洗浄が可能になることが分かった[2]。ところが、表面張力が上がったことにより、ウェハ洗浄薬液を超純水に置換するリンスが難しくなる。この課題に対しては、間欠的な純水リンスの使用によって、消費量を削減した効率的なリンス方法で効果が上がることが分かり[3]、さらに、リンス量(効率)性能は薬液別で置換効率が違うことが分かり、薬液別にリンス処理が最適化された[4]。残る課題は、まだ調べられていない乾燥効率を体系的な観点から把握することである。本報告ではこの点について報告する。

【乾燥方法と実験の結果】ミニマル洗浄装置の乾燥プロセスは、薬液洗浄プロセス、続くリンスプロセスと同じ装置プロセス室で行われる。ウェハステージで 3000rpm の高速回転しながら、薬液吐出ヘッドから乾燥 N₂を吐出して液を振り切る(図 1)。プロセス室および搬送室は、N₂雰囲気で残留酸素が少ないため、Si 表面が僅かな残留薬液と残留水でエッチングによるウォーターマークの発生を抑制できる。ウェハ乾燥実験では、洗浄液として 1SPM(硫酸/過酸化水素水)を用いた。乾燥方法を変える実験①では、N₂パージなし(図 1(a))と、薬液吐出ヘッドとウェハ間の距離の変更(図 1(b)、乾燥時昇温(図 1(c))の3つの方法を用いた。これらについて、パーティクルの増減数で評価したのが図2である。図2の縦軸は、乾燥前後のパーティクル数差を示している。本実験では、ミニマル洗浄装置でウェットプロセス後、外界から遮断されているミニマルシャトル(ウェハ搬送容器)でウェハをミニマル表面異物検査装置に運ぶので、搬送中のパーティクル増加は無いことは確認済みである。図2でわかるように、薬液吐出ヘッドからの N₂パージなしと、ウェハ下面のランプヒータ ON で乾燥プロセスを行った場合は、パーティクル数は増加した。一方、薬液吐出ヘッドとウェハ間の距離を変更した場合は、距離を 1mm で N₂パージした結果が一番良く、パーティクル数は 17 個減少した。次に、乾燥時間を 30sec (見かけでウェハ上に残留液滴はみられない時間) ~ 150sec に変更してパーティクル測定する実験②をおこなった(図3)。実験条件は実験①での最適条件(洗浄液は SPM を用いて、乾燥プロセスは N₂パージと 3000rpm の高速回転で薬液吐出ヘッドとウェハ間の距離は 1mm)で乾燥時間だけを変更した。乾燥時間 30sec でプロセス直後の測定では 10 個減少したが、ウェハをウェハ搬送ケース(ミニマルシャトル)で保管し3日後にパーティクル再測定をすると、72 個増加していた。一方、乾燥時間 150sec の場合は 3 日後でも 14 個増加しただけであった。乾燥時間 30sec と 150sec のウェハ上のパーティクル分布図を見たのが図4であるが、乾燥プロセス直後測定のパーティクル数は同等でも3日後には、違いがあるの分かる。つまり、乾燥時間とパーティクル増加数は相関関係にある。

【結論と考察】乾燥時間 30sec でも、プロセス直後のパーティクル個数はプロセス前より減少したが、ミニマル表面異物検査装置で検出されない微粒子(恐らくは微少なサイズの残渣物質)が発生しているか、または、不完全な乾燥で乾燥後に僅かにシリコンエッチングが進行して、この微粒子が時間経過とともに検出レベルまで凝集すると考えられる。以上、薬液吐出ヘッドとウェハの距離を縮めることで、気流制御することは乾燥効率に効果があり、また、見かけで残留液滴が無くなった後もさらに乾燥時間を続けることで、ウォーターマークを大幅に抑える乾燥ができることがわかった。

<参考文献>

- [1] 原史朗, クランプアンソマワ, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
- [2] 根本一正, 他, 第69回春季応用物理学会24a-E103-12(2022),
- [3] 根本一正, 他, 第70回春季応用物理学会15a-B410-6(2023)
- [4] 根本一正, 他, 第71回春季応用物理学会22a-61C-1(2024)

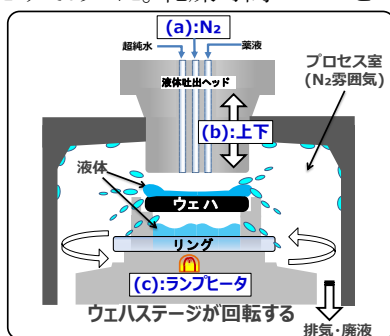


図1: プロセス室の図 (N₂パージとウェハステージスピン回転で乾燥)

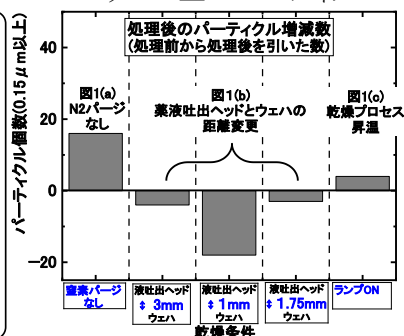


図2: 実験① 乾燥条件別のプロセス後のパーティクル増減数

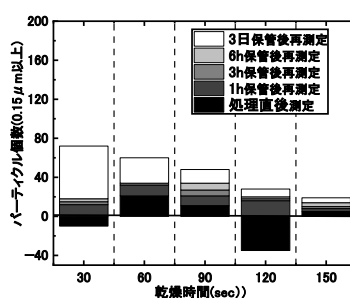


図3: 実験② 乾燥時間別で経過時間の増加を積み上げたパーティクル数

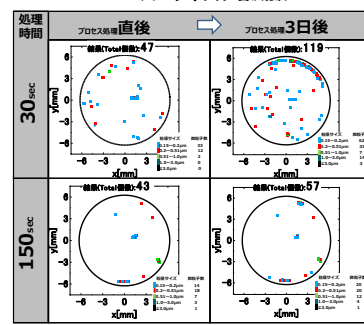


図4: 実験② 乾燥時間 30s と 150s のプロセス直後と3日後のパーティクル図

ミニマルウェハ製造におけるウェハ洗浄後の乾燥装置Ⅲ

Drying tool of wafer cleaning process in wafer manufacturing for Minimal Fab Ⅲ

ミニマルファブ推進機構¹、産総研²、Hundred Semiconductors³

○谷島孝¹、藤田龍哉³、根本一正²、居村史人³、原史朗^{1,2,3}

MINIMAL¹、AIST² and Hundred³

Takashi Yajima¹, Tatsuya Fujita³, Kazumasa Nemoto², Fumito Imura³ and Shiro Hara^{1,2,3}

Email: takashi-yajima@minimalfab.com

【はじめに】

我々は、局所クリーン化技術を導入することで、クリーンルームが不要となる半導体製造システム、ミニマルファブを開発してきた^[1]。使用する直径12.5 mm、厚さ250 μm のウェハは、ミニマルファブ規格のウェハであり、このウェハ製造技術はミニマルファブの根幹にかかわる技術である。このハーフインチウェハは既に実用販売されているが、全ての技術がより高性能・低コスト・低環境負荷を求めて日々技術革新されると同様、ハーフインチウェハの製造工程も革新されてゆくべきである。前回までの報告では、残留微粒子濃度の低減化という観点で、ウェハ製造の最終工程である洗浄後の乾燥装置について報告してきた。前々回の応物発表の第1報では、ウェハをIPAに浸漬し窒素雰囲気中でIPA液面を下げていくことで、ウォーターマークの生じない乾燥（IPA浸漬乾燥）が出来ることを示した。今回は、よりIPA使用量が少ないIPAマランゴニ乾燥について報告したが、1バッチ40枚の乾燥を行った場合、隣り合うウェハ間の超純水が液滴として残ってしまうことが分かり、乾燥出来ているウェハはあるものの、マランゴニ乾燥自体の評価が十分に出来なかった。そこで今回はウェハ間の間隔を開け、液滴残りが生じにくいウェハ配置でマランゴニ乾燥を行い、IPA直接乾燥との比較を行った。

【IPA浸漬乾燥とマランゴニ乾燥】

IPA浸漬乾燥方式を図1-aに、IPAマランゴニ乾燥方式を図1-bに示す。大きな違いは、浸漬させる液体がIPA浸漬乾燥ではIPAを液体として用い、一方IPAマランゴニ乾燥では超純水を用い、IPAは超純水上の気体としてIPAを含んだ窒素を用いることである。

【前回の報告】

マランゴニ乾燥は、超純水の表面張力がIPAに対して約3.5倍であることを利用した乾燥方法であるが、複数のウェハをバッチ処理する場合、ウェハ間の隙間が小さいと超純水がウェハ間に残留してしまう。図2は、前回行ったウェハ40枚の乾燥後の写真であるが、○で示す部分では、ウェハが傾くことでウェハ同士が近接して超純水が排水しにくくなって残留してしまっている。乾燥が正常に行われたウェハは数枚のみだった。

【実験方法】

今回の実験はウェハ保持治具に、ウェハ同士が傾いても近接しないように1枚おきに配置し1バッチ20枚の乾燥を行った。図3に実験装置を示す。PTFE多孔質材を使用してIPAを窒素でバブリングし、5L/minのIPA/N₂蒸気を、乾燥浴槽に導入した。つぎに超純水を7mL/minで排出し超純水液面を下げていき、ウェハをN₂/IPA雰囲気中に露出させ、マランゴニ乾燥を行った。ウェハはRCA洗浄後、一度IPA浸漬乾燥方式で乾燥させ、パーティクル測定を行っている。

【結果】

図4にマランゴニ乾燥前後のパーティクル数の増減を示す。IPA浸漬乾燥(n=40)は48個減少から107個増加の範囲、平均14個の増加だった。これに対し、マランゴニ乾燥(n=20)によるパーティクル数の増加は、53個減少から203個増加の範囲、平均42個の増加だった。これは、図2の隣接したウェハ配置の場合との比較では、平均値で約1/85と良好な値となっていた。一例として、40枚の乾燥で液残りによる乾燥不良がある場合のパーティクル分布と、今回の20枚での乾燥で液残りが無い場合のパーティクル分布を図5に示す。

【結論と今後行うべき内容について】

IPAマランゴニ乾燥でのウェハ間の液残りを避けるために、40枚収納できるウェハ治具に、1枚おきにウェハをセットし20枚の乾燥評価を行った。その結果、パーティクルの増加数はIPA浸漬乾燥にやや劣る結果となった。現時点ではIPA浸漬乾燥の方が、ウェハ間液残りの面でも有利であるが、IPA使用量の面でマランゴニ乾燥も優れているため、引き続き検討を進めるべきと考えられる。今後多数のウェハ生産を行っていく上で、IPA浸漬乾燥に於いてもウェハ間隙間の液残りは問題になる可能性があるため、マランゴニ乾燥、浸漬乾燥を問わず、ウェハ保持治具の溝形状を含めた構造の検討を進めていく予定である。

【参考文献】

[1] 原 史朗, クンブアン ソマワン, 応用物理, **83**(5), 380-384(May 2014)

[2] 伴 功二, 佐藤 一直, 表面技術, **49**(3), 253-259(1998)

[3] 宮本 泰治, 鴨志田 隼司, 山田 純, Thermal Science & Engineering Vol.18 No2(2010), 他

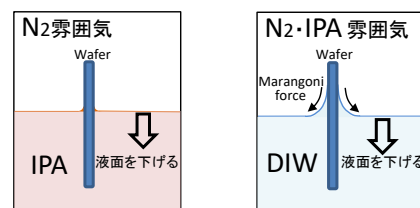


図1-a IPA浸漬乾燥 図1-b マランゴニ乾燥

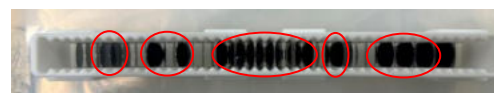


図2 マランゴニ乾燥後の液残り

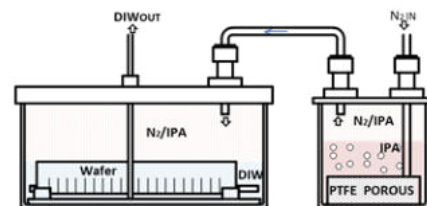


図3 実験装置

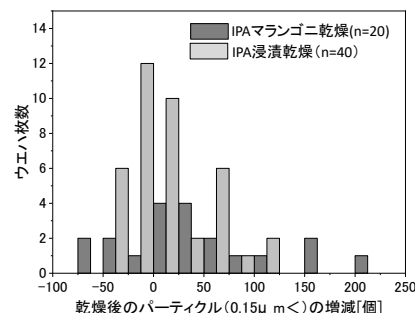


図4 パーティクル数の増減

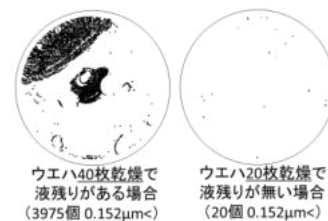


図5 液残り有無でのパーティクル分布