

一般セッション(口頭講演) | 13 半導体：13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

📅 2024年9月16日(月) 13:00 ~ 17:00 🏢 B1 (展示ホールB)

[16p-B1-1~14] 13.4 Si系プロセス・Si系薄膜・MEMS・装置技術

葉 文昌(島根大)、岡田 竜弥(琉球大)、岡田 直也(産総研)

13:00 ~ 13:15

[16p-B1-1]

CWレーザー結晶化 (CLC) による (100) Grain-Boundary Free Si薄膜内の周期的な線状 Dimple構造

○佐々木 伸夫^{1,2}、高山 智之²、浦岡 行治² (1.Sasaki Consulting、2.奈良先端大)

13:15 ~ 13:30

[16p-B1-2]

ゲートラストプロセスによるガラス基板上のダブルゲート poly-Ge TFTの開発

○(M2)五嶋 大喜¹、栗原 義人¹、鈴木 翔¹、原 明人¹ (1.東北学院大院)

13:30 ~ 13:45

[16p-B1-3]

ガラス基板上の4端子縦型poly-Si薄膜トランジスタのpHセンサ応用

○鈴木 康聖¹、田部井 哲夫²、原 明人¹ (1.東北学院大院、2.広島大RISE)

13:45 ~ 14:00

[16p-B1-4]

青色ダイレクトダイオードレーザを用いたCVD製膜a-Si膜の結晶化

○岡田 竜弥¹、野口 隆¹、菱田 光起²、宮野 謙太郎²、小畑 直彦²、信岡 政樹² (1.琉大工、2.パナソニックコネクト)

◆ 奨励賞エントリー ◆ 英語発表

14:00 ~ 14:15

[16p-B1-5]

Performance Improvement of n-channel TFT on Solid-Phase Crystallized poly-Ge by Channel Width Shrinking

○linyu huang¹、atsuki morimoto¹、kota igura²、takamitsu ishiyama²、kaoru toko²、dong wang¹、keisuke yamamoto¹ (1.Kyushu Univ., 2.Univ. of Tsukuba)

◆ 奨励賞エントリー

14:30 ~ 14:45

[16p-B1-6]

ガラス基板上多結晶Ge薄膜へのCMOSインバータの形成

○森本 敦己¹、黄 林昱¹、居倉 功汰²、石山 隆光²、都甲 薫²、王 冬¹、山本 圭介¹ (1.九大院 総理工、2.筑波大院 数理物質)

◆ 奨励賞エントリー

14:45 ~ 15:00

[16p-B1-7]

全スパッタ成膜により作製したμCLS (001) Si単結晶MOSFET

○(M1)野須 涼太¹、葉 文昌¹ (1.島根大)

15:00 ~ 15:15

[16p-B1-8]

300 mm GAAFETパイロットライン構築に向けたSiGe/Si超格子の分光エリプソメトリ評価

○熊谷 直人¹、福島 章雄¹、陳 家聰¹、上嶋 和也¹、入沢 寿史¹、林 善宏¹ (1.産総研)

15:15 ~ 15:30

[16p-B1-9]

Gate-all-around CMOS用TiN/TiAlC Gate電極の実効仕事関数の制御メカニズム

○間部 謙三¹、上嶋 和也¹、太田 裕之¹、森田 行則¹、入沢 寿史¹、林 喜宏¹ (1.産総研 SFRC)

15:30 ~ 15:45

[16p-B1-10]

エピタキシャル成長した Si_{0.7}Ge_{0.3} および Si 薄膜におけるH₂ 希釈 CF₄ ガスによるドライエッチングの選択性評価

○(M1)尾崎 孝太郎¹、高田 昇治²、堤 隆嘉²、石川 健治²、Yamamoto Yuji³、Wen Wei-Chen³、牧原 克典¹ (1.名大院工、2.名大低温プラズマ、3.IHP)

16:00 ~ 16:15

[16p-B1-11]

Ni超薄膜へのSiH₄照射によるNiシリサイド形成と結晶相制御

○谷田 駿¹、田岡 紀之²、牧原 克典¹ (1.名大院工、2.愛知工大)

◆ 奨励賞エントリー

16:15 ~ 16:30

[16p-B1-12]

低温PL分光法によるSiトレンチ加工で生成する格子間Siの拡散評価

○藤森 涼太¹、伊藤 佑太¹、横川 凌^{1,2}、小椋 厚志^{1,2}、川勝 一斗³、久保井 信行³、嵯峨 幸一郎³、岩元 勇人³ (1.明治大理工、2.明大MREL、3.ソニーセミコンダクタソリューションズ)

16:30 ~ 16:45

[16p-B1-13]

凍結洗浄における基板面内温度均一化の効果

○中村 聡¹、出村 健介¹、山華 雅司¹、服部 圭² (1.芝メカ(株)、2.名大低温プラズマ研)

16:45 ~ 17:00

[16p-B1-14]

半導体製造装置におけるクラスター分析を用いた異常検知の評価

○志賀 優規¹、平井 都志也^{1,2}、加納 学² (1.KOKUSAI ELECTRIC、2.京都大学)

CW レーザー結晶化 (CLC) による (100) Grain-Boundary Free Si 薄膜内の周期的な線状 Dimple 構造 Periodic Dimple Lines Observed in the (100) Grain-Boundary Free Si Thin Films Obtained by the CW Laser Crystallization

Sasaki Consulting¹、奈良先端大² [○]佐々木 伸夫^{1,2}、高山 智之²、浦岡 行治²

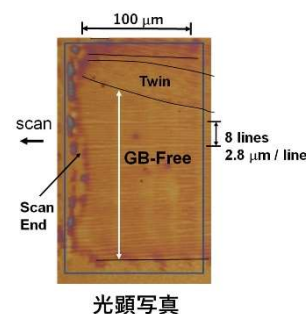
Sasaki Consulting¹ and NAIST²

[○]Nobuo Sasaki^{1,2}, Satoshi Takayama², and Yukiharu Uraoka²

E-mail: sassasaki@yahoo.co.jp

(背景) CW レーザー結晶化 (CLC) は、室温状態に保たれた石英やガラスの下層基板上に (100) 配向 Grain-Boundary-Free (GB-Free) の Si 薄膜を安定に成長できる [1-3]。Si 膜成長プロセスに最適設計された DOE (diffractive optical element) による線状ビームが用いられる。スキヤンの途中に障害物があっても、直ちに安定した (100) 結晶成長が回復する。幅 200 μm で、長さ 10,000 μm 以上の GB-Free 結晶成長 [4] や、ガラス基板上だけでなくポリイミド基板上への (100) 成長にも成功した [5]。下層デバイスへの熱ダメージ無しに SOI 構造の積層が可能なので、monolithic 三次元 IC 応用が期待される。Si-TFT なので、CMOS 回路技術による低消費電力化も容易である。(100) GB-Free Si 膜に造られた TFT で、等方的な面内電気特性が測定された (移動度 $\sim 700 \text{ cm}^2/\text{Vs}$) [6]。最近、この GB-Free 膜内に超微細 dimple 構造が見出された [7]。

(実験と考察) 石英上に厚さ 60 nm の a-Si と 123 nm の SiO_2 キャップ膜を堆積しスキヤン速度 12 mm/s、パワー 4.2 W で YVO4 第二高調波レーザー (波長: 532 nm) の CLC 結晶化を行った。最適レーザー条件では、Grain-Boundary (misfit angle $\theta > 15^\circ$) の無い巨大 (100) 単結晶膜が安定して得られる。その結晶領域内には subboundary ($5^\circ < \theta < 10^\circ$) が観察されたが [1, 2]、この Subboundary 間に、幅 20~60 μm の Subboundary ($2^\circ < \theta < 15^\circ$) Free の Si (100) 薄膜が得られることが Electron Backscatter Diffraction (EBSD) で確認された。さらに Subboundary Free の Si 薄膜には、光顕でみるとスキヤンに平行に $\sim 2.8 \mu\text{m}$ 周期の平行線パターンが見出された。Atomic Force Microscopy (AFM) によると、ほとんど平坦表面ながら、内角 $\sim 179.4^\circ$ で周期 $\sim 3.43 \mu\text{m}$ 、振幅 3~5 nm からなる超微細な線状 dimple 構造が表面に見出された。この Dimple 構造は、Hyperfine-Subboundary ($\theta < 2^\circ$) によると考えられ、 $\sim 3.43 \mu\text{m}$ の等間隔でスキヤン方向に平行に並んで、一次元格子をつくっている。周期がほぼ一致するので、光顕および AFM で見られるパターンは同一のものと思われる。等方的な移動度を示す CLC 薄膜 [6] でも見られるので、Hyperfine-Subboundary は TFT 移動度には影響しないと考えられる。Dimple の内角より、Si-SiO₂ 界面での表面張力と Hyperfine-Subboundary の表面張力の比は、 $\gamma(\text{Hyperfine-Subboundary})/\gamma(\text{Si-SiO}_2) = 0.0114$ である。一方 Hyperfine-Subboundary の misfit 角は EBSD 検出限界の 2° 以下なので、Hyperfine-Subboundary を構成している転位間の間隔は、11nm 以上と見積もられる。



(結論) Subboundary Free な CLC Si 薄膜において、misfit-angle 2° 以下の Hyperfine-Subboundary が、等間隔でスキヤン方向に平行に並んでいる超格子構造を見出した。

(参考文献)

- [1] N. Sasaki et al., Thin Solid Films, Vol. 631, 112, 2017.
- [2] N. Sasaki et al., Appl. Phys. Express Vol. 12, 055508, 2019.
- [3] M. Arif et al., Thin Solid Films, Vol. 708, 138127, 2020.
- [4] M. Arif et al., IMID 2021 (Seoul, Korea, Aug. 25-27, 2021) p5-42.
- [5] N. Sasaki et al., J. Electronic Materials, Vol. 50(6), 2974, 2021.
- [6] N. Sasaki et al., Crystals, Vol. 13, 130, 2023.
- [7] N. Sasaki et al., IEEE edtm 2023 (Seoul, Korea, March 7-10, 2023) P-002.

ゲートラストプロセスによる ガラス基板上のダブルゲート poly-Ge TFT の開発

DG poly-Ge TFTs fabricated on glass substrates by using gate last process

東北学院大院 ○五嶋 大喜、栗原 義人、鈴木 翔、原 明人

Tohoku Gakuin Univ., ○Daiki Goshima, Akito Kurihara, Sho Suzuki and Akito Hara

E-mail: s236531002@g.tohoku-gakuin.ac.jp

【はじめに】高度情報社会は LSI の発展に支えられている。平面的な集積は限界に達しつつあり、トランジスタを 3 次元的に積層する M3D (Monolithic 3D) が注目されている。この技術を実現するためには、プロセス時に下層のトランジスタに対してストレスや熱的な悪影響を与えないことが要求される。Ge は Si と比較すると、低い融点と高い移動度を有しており、上層用トランジスタに適している。我々は 400 °C 以下での結晶化を可能とするために、銅を用いた金属誘起結晶化法(Cu-MIC)を薄膜 Ge の結晶成長に採用し、ガラス基板上やプラスチック基板上への薄膜トランジスタ

(TFT) の作製に成功している。^{1,2)} 過去に作製した TFT は、TFT プロセスの最終工程において、Ge と電極 Al の元素置換を行うことで SD を金属化する方法 (SD ラストプロセス) を用いていた。しかし、横方向元素置換がばらつくという問題点があった。本研究では、予め Ge と Al の縦方向の元素置換を行うことで SD を形成したのち、ゲートを最後に形成するゲートラストプロセスにより作製した TFT 性能について報告する。

【実験】デバイスプロセスを図 1 に示す。ガラス基板上に、ボトムゲート (BG) メタルとしてモリブデン (Mo) をスパッタし、BG を形成する。BG 絶縁膜として SiO₂ を 40 nm 成膜後、Ge の膜厚が 19.2 nm になるように Ge/Cu/Ge 層を成膜し、トランジスタアイランドを形成する。トップゲート (TG) 絶縁膜として SiO₂ を 20 nm 成膜後、N₂ 雰囲気中 500 °C 3 時間の熱処理によって Cu-MIC を行った。ガラス基板であることを利用し、背面露光によりボトムゲートメタルをマスクとし、レジストからなるトップダミーゲートを形成し、その後、RIE で SD 部の SiO₂ をエッチングする。引き続いてアルミニウム (Al) をスパッタし、リフトオフによりトップゲート上の Al を除去する。300 °C の熱処理を行い、Ge と Al の縦方向元素置換を行うことで、SD を Al 化して低抵抗 SD を実現した。次に SD 以外の余分な Al を除去し、TG 絶縁膜として SiO₂ を 20 nm を追加成膜した (TG の SiO₂ は合計 40 nm である)。その後、RIE によりゲートコンタクトを形成し、さらに TG メタルの Mo をスパッタし、TG と BG を連結、TG ゲートを形成する。引き続き、プラズマ CVD により層間絶縁膜の SiO₂ を 100 nm 形成し、RIE でコンタクトホールを形成し、Al 電極を形成する。

【結果および考察】図 2 はゲートラストプロセスによって形成したガラス基板上的 DG poly-Ge TFT の (a) トランスファ特性 (b) 出力特性である。SD ラストプロセスと比べて極端な劣化は見られなかった。I_{on}/I_{off} 比率が小さいが、これは poly-Ge が厚いことが関係している。縦方向の元素置換では、Ge 薄膜上の SiO₂ 膜の除去プロセスが重要である。本プロセスの最適化、Ge 膜厚などの構造最適化により、さらに高性能化が可能であると考えている。しかし、本方法は p-ch poly-Ge TFT に対して適用できるが、n-ch に対してはフェルミレベルのピンニング効果により問題が残る。

【まとめ】ガラス基板上にゲートラストプロセスを用いた DG Cu-MIC poly-Ge TFT を形成した。縦方向の元素置換は、従来の横方向元素置換による SD ラストプロセスに比べ、プロセス時間を短縮できるという利点がある。また、TFT 間のバラツキを抑制できると考えている。

【謝辞】本研究は科学研究費基盤(c)22K04247 の支援を受けている。

【参考文献】

- 1) S. Suzuki and A. Hara, Jpn. J. Appl. Phys. 63 (2024) 051001.
- 2) A. Kurihara et al., Tech. Dig. 2024 SID, p.1479.

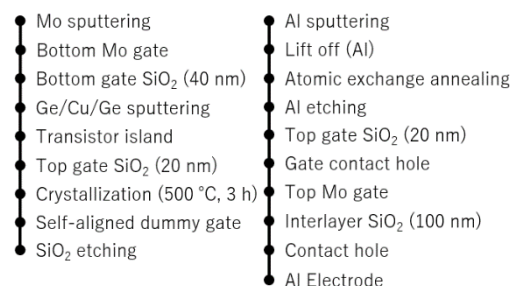


図 1. デバイスプロセス

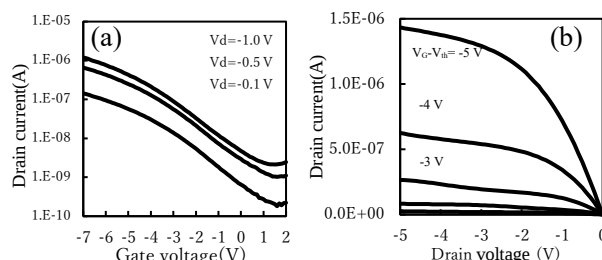


図 2. (a) トランスファ特性 (b) 出力特性

ガラス基板上の4端子縦型 poly-Si 薄膜トランジスタの pH センサ応用

4T vertical poly-Si TFT for pH sensor on glass substrates

東北学院大院¹, 広島大 RISE² ◯鈴木康聖¹, 田部井哲夫², 原明人¹

Tohoku Gakuin Univ.¹, Hiroshima Univ. RISE² ◯Kosei Suzuki¹, Tetsuo Tabei², Akito Hara¹

E-mail: s236531003@g.tohoku-gakuin.ac.jp

【はじめに】ガラス基板の熱収縮のため、ガラス基板上ではSiウェハ上のMOSFETのようにチャネル長をnmスケールまで縮小することは困難である。一方、チャネル長を短くするための方法として垂直構造のTFTが注目されている。垂直TFT (VTFT) は、スペーサー層の厚さを変えることでチャネル長を容易に制御でき、その構造はガラス基板の熱収縮に耐性がある。したがって、VTFTは、ガラス基板上で数十nmのチャネル長を実現する構造として期待されている。我々は、TGとBGを分離して独立に駆動する4端子 (4T) 駆動のVTFTを実現している (図1)。¹⁾ 本TFTは、一方のゲート電圧を変化させると、他方のゲートで動作させたときのTFT特性が変化するため、一方のゲートをセンサに連結し、もう一方のゲートで特性の変化を観測することができる。本報告では、4T VTFTをpHセンサに応用した結果について報告する。

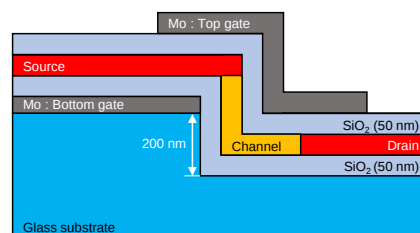


図1 デバイス構造

【デバイス作製および測定方法】本実験で使用したTFTの形成プロセス、TFT特性は既に報告している。¹⁾ 本実験では、TGをガラス電極に連結し、BGでその変化を検出している。このように設定した理由は、TGはBGを囲むような構造になっているため、TGの電圧変化がBGに効果的に作用すると考えられるためである。実験に利用した回路を図2に示す。²⁾

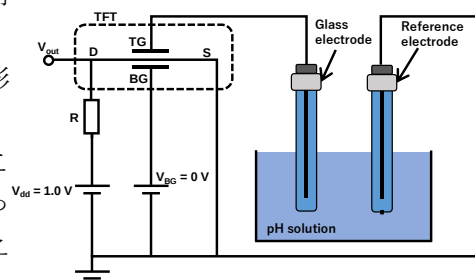


図2 pHセンサ回路図

【結果および考察】ガラス電極は1 pH変化すると59mVの出力電圧の変化をもたらすことが報告されている。得られた結果を図3に示す。pHの変化に対応して、出力電圧が変化していることが確認できるが、ガラス電極の入力電圧の変化に対して、出力電圧は増幅されていない。これは、本TFTにおいては、TGとBGのゲート容量がほぼ同じであることに起因する。しかし、TG容量を大きく、BG容量を小さくすることにより、感度の向上が図れると考えている。別の要因として結晶品質が挙げられる。Poly-SiはNiを利用した金属誘起固相成長で形成しており、結晶欠陥を多数有している。このため、TGの電圧変化が弱められたことも劣化の一因である。

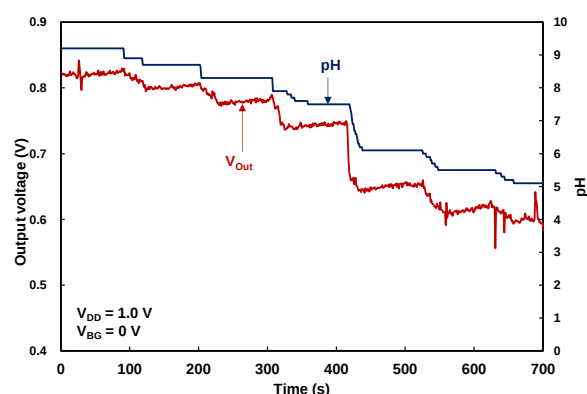


図3 pH変化に対するV_{out}

【まとめ】4T縦型poly-Si TFTをpHセンサに応用した。pHの変化に対応して、回路出力の変化が観測された。しかし、出力電圧は増幅されておらず、今後はTGとBGのゲート容量を最適化する必要がある。

【謝辞】本研究の一部は、令和6年度生体医歯工学共同研究拠点共同研究プロジェクトおよび科学研究費基盤(c)22K04247の支援を受けている。

【参考文献】1) K.Suzuki et al., Jpn. J. Appl. Phys. 63, 041002 (2024). 2) H. Ohsawa and A. Hara, ECS Trans. 75, 253 (2016).

青色ダイレクトダイオードレーザを用いた CVD 製膜 a-Si 膜の結晶化 “一括 CW スキャン BLDA 法による新しい LTPS 技術”

Crystallization of a-Si Films Deposited by CVD using Blue Direct Diode Laser

琉球大 エ¹, パナソニックコネクト(株)²

○岡田 竜弥¹, 野口 隆¹, 菱田 光起², 宮野 謙太郎², 小畑 直彦², 信岡 政樹²

Faculty of Engineering, Univ. of the Ryukyus¹, Panasonic Connect Co., Ltd.²

○Tatsuya Okada¹, Takashi Noguchi¹,

Mitsuoki Hishida², Kentaro Miyano², Naohiko Kobata², and Masaki Nobuoka²

E-mail: tokada@tec.u-ryukyu.ac.jp

【はじめに】これまで、a-Si 膜に青色半導体レーザを照射することで Si 膜を平坦性よく高品質に結晶化できること[1]、また溶接技術で有効な波長合成方式(Wavelength Beam Combiner: WBC)を用いた高出力の青色ダイレクトダイオードレーザをスポットさらにライン状に整形して照射し結晶化できることについて報告してきた [2]。今回は、前回と同様に 4 mm 長のライン状に整形したレーザにより、CVD Si 膜に対し、均一な一括の CW ビームで結晶化して、結晶性をより詳しく評価した。青色半導体レーザアニールにより、低コストで優れた LTPS 実現の可能性を報告する。

【実験および結果】

PECVD 法により、ガラス基板上に 50 nm 厚の Si 膜を成膜後、中心波長 445 nm の青色ダイレクトダイオードレーザにより結晶化を試みた。レーザ照射条件は、集光サイズ 4 mm × 38 μm、試料面で 77 - 96 kW/cm² とし、レーザの短軸方向に速度 1000 mm/s の条件で CW スキャン照射を行なった。レーザ照射後の Si 膜の紫外反射率スペクトルを図 1 に示す。紫外域で良好なピークが観測され、ラマン散乱や他の解析により、良好に安定に結晶化していることが確認された。

高出力半導体レーザ装置の構成により低コスト化小型化が期待できるが、WBC 法による高出力青色半導体レーザアニール(BLDA)は、一括ビームスキャンを採用することで、安定ですぐれた LTPS 結晶化技術として実用的にも有効である。ビームのスキャン速度を上げることで高スループット化が可能となり、均一な結晶化膜、TFT パネルの作製が期待される。さらに、より長い光学系を採用することで、パルス走査による ELA 法に比べて低コスト化が可能で、より均一で優れた一括 CW アニールプロセスが期待される。

試料作製に関し、サポートをいただいた ULVAC 社に感謝する。

【参考文献】

- [1] T. Noguchi, JID, vol.,11, p.12 (2010).
- [2] M. Hishida, *et al.*, Proc. of SPIE Vol. 12409 1240912-7. (San Francisco, 2023).
- [3] 岡田 他, 第 83 回応用物理学会春季学術講演会(2023) [15p-B410-14].

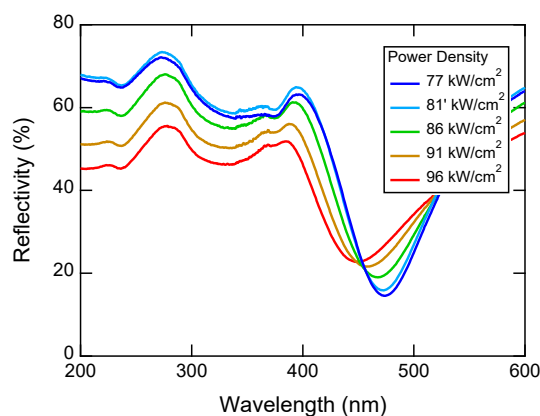


図 1. 反射率スペクトル

Performance Improvement of n-channel TFT on Solid-Phase Crystallized poly-Ge by Channel Width Shrinking

Kyushu Univ.¹, Univ. of Tsukuba² [○](D1) Linyu Huang¹, Atsuki Morimoto¹,
Kota Igura², Takamitsu Ishiyama², Kaoru Toko², Dong Wang¹, Keisuke Yamamoto¹
E-mail: huang.linyu.311@kyushu-u.ac.jp

【Introduction】 Our group succeeded in the synthesis of high-quality polycrystalline (poly-) Ge thin films using the advanced solid-phase crystallization (SPC) technique on glass and demonstrated accumulation mode p-channel TFT on the SPC-Ge [1-3]. Recently, we have also demonstrated n-channel TFT to realize a CMOS circuit on our SPC-Ge. However, its performance has room for improvement, notably its ON/OFF ratio [4]. In this paper, we introduce the shrunk channel width design to our inversion mode n-TFT on poly-Ge. By comparing with conventional channel structure, it shows a positive effect on the ON/OFF ratio of n-channel poly-Ge TFT.

【Fabrication process and approach to reduce OFF current by channel-shrinking】 Figure 1 shows the fabrication process of inversion mode n-channel TFT. Based on these process, we aimed to decrease the off-state leakage current by shrinking the channel width. Figure 1 also shows the 3D structure and the optical microscope photo of the conventional and dumbbell-shaped channel TFT island pattern. We formed those two types of island shape TFTs on the same chip, so that we can easily compare just the difference of the island shape.

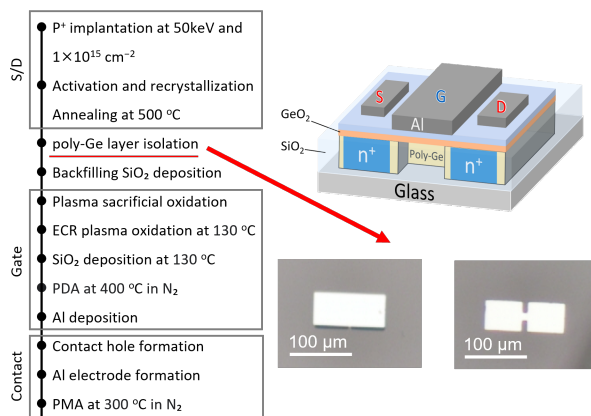


Figure 1 Fabrication process, structure of device illustration, and top-view island shapes (conventional rectangle and new dumbbell shape).

【Results and discussion】 Figure 2 shows I_D - V_G transfer characteristics of the fabricated inversion mode n-channel TFT. Here, the channel length was fixed 10 μm . The channel widths of conventional and dumbbell-shaped devices are 25 μm and 7 μm , respectively. By comparing the I_D - V_G with those two types of channel shape, we can see channel shrinking has an positive effect on the improvement of the ON/OFF ratio, particularly OFF current reduction. Figure 3(a) and 3(b) show the maximum and minimum of the I_D . Here, the channel length is 7 μm , and the V_D is 0.1V. It is clear to see that, the maximum of I_D increases with the increasing length. channel width, and both two types of channel shape show the same trend. It can be naturally understood. However, it shows apparently decrease in the minimum of the I_D , which is independent of the channel width. This means the channel width shrinking mainly affected the off current reduction on the channel region, and it did a great influence on increasing the ON/OFF ratio from 10 level to 100 level.

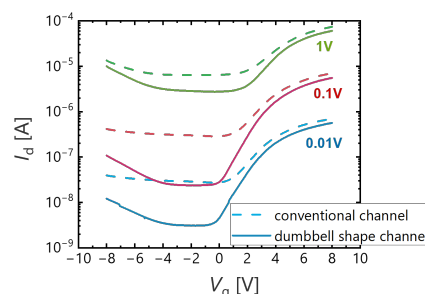


Figure 2 I_D - V_G comparison for different island shapes with the same channel length.

【Acknowledgements】 This work was partially supported by NEDO unreach challenge 2050 (P14004), and RIEC Cooperative Research Project No.R06/A06, Tohoku University.

【References】 [1] K. Toko *et al.*, Sci. Rep. 7, 16981 (2017). [2] T. Imajo *et al.*, ACS Appl. Electron. Mater. 4, 269 (2022). [3] K. Moto *et al.*, Appl. Phys. Lett. 114, 112110 (2019). [4] L. Huang *et al.*, J. Appl. Phys. 63, 02SP42 (2024).

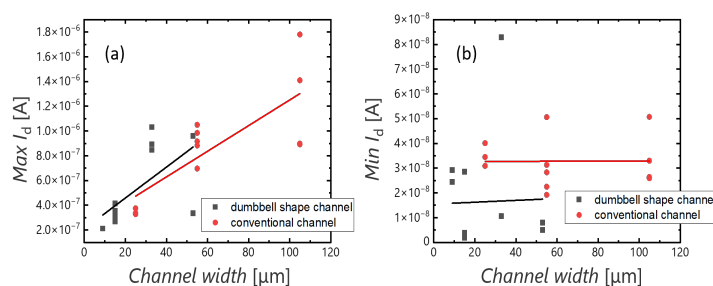


Figure 3 (a) max and (b) min I_D comparison for different island shapes with the same channel length $L = 7 \mu\text{m}$.

ガラス基板上多結晶 Ge 薄膜への CMOS インバータの形成

Formation of Polycrystalline Ge CMOS Inverter on Glass Substrate

九大院 総理工¹, 筑波大院 数理物質²

○森本 敦己¹, 黄 林昱¹, 居倉 功汰², 石山 隆光², 都甲 薫², 王 冬¹, 山本 圭介¹

Kyushu Univ.¹, Univ. of Tsukuba²

○A. Morimoto¹, L. Huang¹, K. Igura², T. Ishiyama², K. Toko², D. Wang¹, and K. Yamamoto¹

E-mail: morimoto.atsuki.906@s.kyushu-u.ac.jp

【はじめに】我々はこれまでに固相成長 (SPC) 法によって形成した高品質多結晶 Ge 薄膜上に、蓄積型 p チャネル (p-) TFT および反転型 n チャネル (n-) TFT を作製し、その動作実証を実現した [1,2]。今回、同一基板の蓄積型 p-TFT と反転型 n-TFT を組み合わせた CMOS 作製プロセスを構築し、直流および交流信号での動作確認に成功したので報告する。

【実験方法】SPC 法を用いてガラス基板上に多結晶 Ge 薄膜 (83 nm 厚、正孔密度: $6 \times 10^{17} \text{ cm}^{-3}$ 、移動度: $230 \text{ cm}^2/\text{Vs}$) を形成した後、n-TFT のソース/ドレイン (S/D) を形成するために n 型不純物として P⁺イオンを選択的に注入し、不純物活性化および再結晶化熱処理 (500 °C) を行った。次に、p-TFT のチャネル領域を完全空乏化させるために、p-TFT 領域をドライエッチング (RIE) により薄膜化 (55 nm 厚) した。その後、p-TFT の S/D として、Pt と TiN キップ層を順次スパッタ堆積し、N₂ 雰囲気内にて PMA (400 °C) を行い、PtGe を形成した。その後、RIE により多結晶 Ge 薄膜をアイランド状にエッチングし、次いでスパッタ成膜 SiO₂ にてアイランド周辺部の埋戻しを行った。ゲート絶縁膜として SiO₂/GeO₂ 積層膜を ECR プラズマプロセスにより形成し、N₂ 雰囲気内にて PDA (400 °C) を行った後、真空蒸着により Al ゲート電極を形成した。S/D 上にコンタクトホールを開孔した後、Al で配線兼パッド電極を形成し、コンタクトアニール (300 °C) を行った。図 1 は作製した CMOS の光学顕微鏡像であり、蓄積型 p-TFT および反転型 n-TFT のチャネル長 / 幅はそれぞれ 7 / 50 μm 、15 / 50 μm である。

【実験結果】図 2 に直流における CMOS の入出力特性を示す。出力電圧 V_{OUT} には電源電圧 V_{DD} の値が反映されており、入力電圧 V_{IN} に対して反転する挙動が見て取れる。図 3 は 100 Hz の矩形波に対する V_{OUT} と V_{IN} の信号の時間変化を示している。直流と同様に V_{OUT} は V_{IN} に対して遅延が生じることなく反転しており、多結晶 Ge から成る CMOS インバータが機能することが実証された。

【謝辞】本研究は、JSPS 科研費 (24K07576)、NEDO 未踏チャレンジ 2050 (P14004)、東北大通研共同プロジェクト研究 (R06/A06) の支援を受けて行われた。

[1] K. Moto *et al.*, Appl. Phys. Lett. 114, 212107 (2019). [2] L. Huang *et al.*, Jpn. J. Appl. Phys. 63, 02SP42 (2024).

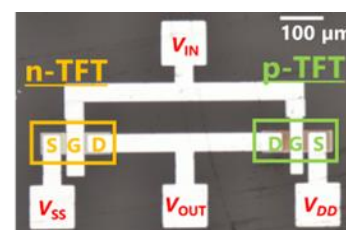


Fig.1 Photograph of SPC Ge CMOS inverter.

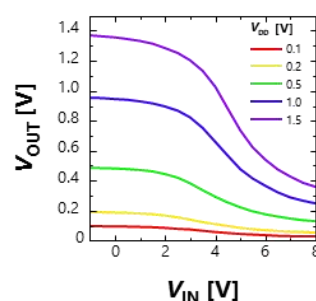


Fig.2 DC voltage transfer characteristics.

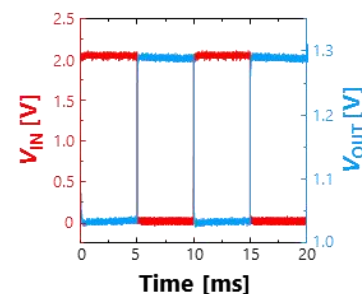


Fig.3 V_{OUT} waveform and V_{IN} at 100 Hz with a 50 % duty cycle.

全スパッタ成膜により作製した μ CLS (001) Si 単結晶 MOSFET

μ CLS (001) Single Crystal MOSFET Fabricated by All Sputter Processes

島根大¹ ○(M1)野須 涼太¹, 葉 文昌¹

Shimane Univ.¹, °Ryota Nosu¹, Wenchang Yeh¹

E-mail: yeh@riko.simane-u.ac.jp

【はじめに】3D-LSI や高精細ディスプレイでは、絶縁上の Si 単結晶(c-Si)形成技術が求められる。Si は両極性と優れた特性からこれからも主要チャネル材料であり続けるが、原料ガスの危険性から研究が限られている。我々は SiO₂ 上に単結晶 Si 帯を形成するマイクロシェブロンレーザー走査(μ CLS)法を提案しており、(001)配向も実現している。最近ではスパッタ Si 膜でも CVD 膜と同様な成果が得られた。単結晶 Si 帯を使った MOSFET では、結晶配向がランダムな Si で、諸特性^[1]の平均値(標準偏差)は S 値が 0.255V/dec(± 0.024)、電界効果移動度 μ_{FE} が 339cm²/Vs(± 116)、閾値電圧 V_{th} が -0.75V(± 0.59)を実現している。今回、スパッタ Si 膜を μ CLS で(001)配向した MOSFET を作製したので、特性とばらつきを評価する。

【実験方法】厚さ 90nm の Si 前駆膜で(001)単結晶成長し、レーザー未照射の a-Si 領域を選択除去して残りの結晶 Si 帯をチャネルとした。リン SOD 熱拡散法(1000°C)で n+-S/D 領域を形成し、スパッタ法で SiO₂ ゲート絶縁膜(100nm, 340°C)を成膜し、真空アニール(580°C)を 30min 行った。Al 電極形成後に 260°C HPA と 400°C FGA を行った。

【実験結果と考察】MOSFET の顕微鏡像を Fig.1 へ、伝達特性を Fig.2 へ、出力特性を Fig.3 へ示す。同一 Si 帯に形成した 21 個の MOSFET の諸特性の平均値(標準偏差)は S 値が 0.209V/dec(± 0.013)、 μ_{FE} が 102cm²/Vs(± 23)、 V_{th} が -0.04V(± 0.27)と高い特性、均一性を得た。ランダム結晶配向の μ CLS c-Si MOSFET^[1]と比較し、結晶配向を ND(001)へ制御したことで界面の質が良好、均一になるため、S 値が低く、標準偏差が小さくなった。 μ_{FE} が低くなった要因として、Fig.4 に示すようにチャネル中の 70%程は微結晶が占めていることにより、チャネル幅 W が実際の単結晶帯以上の長さで算出されているためと考えられる。垂直方向 ND(001)へ制御したことで μ_{FE} の標準偏差が小さくなった。標準偏差 ± 23 は進行方向 SD が $\langle 100 \rangle \pm 30^\circ$ であるためである。

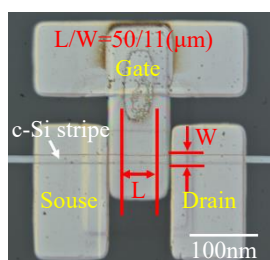


Fig.1 Micrograph of transistor

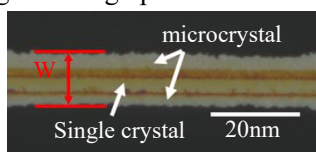


Fig.4 Micrograph of Si stripe

[1] Wenchang Yeh et al 2020Jpn. J. Appl. Phys. 59 071008

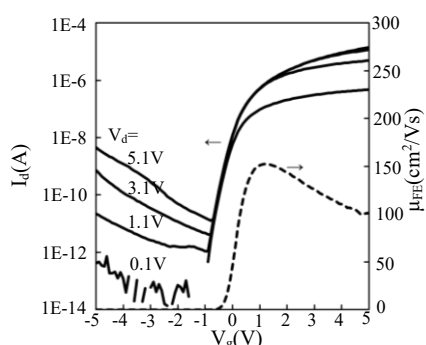


Fig.2 Transfer characteristics

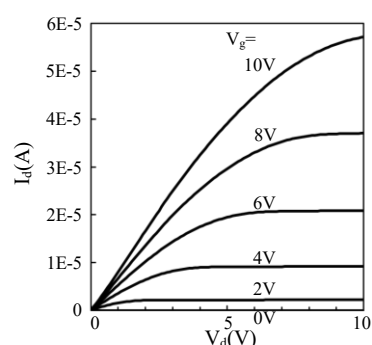


Fig.3 Output characteristics

300 mm GAAFET パイロットライン構築に向けた SiGe/Si 超格子の分光エリプソメトリ評価 Spectroscopic ellipsometry characterization of SiGe/Si super lattice toward building of 300 mm GAAFET pilot-line

産総研 先端半導体研究センター, °熊谷直人、福島章雄、陳家聰、上嶋和也、入沢寿史、林喜宏

SFRC AIST, N. Kumagai, A. Fukushima, C. -T. Chen, K. Uejima, T. Irisawa, Y. Hayashi

E-mail: n.kumagai@aist.go.jp

【はじめに】 近年の生成 AI の普及をはじめ、爆発的な情報処理の速度や量の増大に応えるため、次世代 2nm 以降の GAAFET 先端ロジックデバイスが必要とされている。GAAFET において、従来の FET と大きく異なる点の一つは、その構造形成のために SiGe/Si 超格子のエピ技術が必要な点である。そして、その超格子構造の膜厚や組成は分光エリプソメトリや Optical Critical Dimension により主に in-line 評価されるが、一般的に光学膜厚と TEM 観察による膜厚で差異が生じることは知られており、光学膜厚と TEM 膜厚の相関を把握しておくことは in-line 評価上重要である。産総研における 300 mm GAAFET パイロットライン構築にあたり、SiGe/Si 超格子構造を成長し、SiGe 層の分光エリプソメトリ上の光学膜厚と TEM 膜厚の相関を調べたので報告する。

【実験】 表面酸化物層をインライン除去した 300mm ウエハ上に膜厚構成の異なる SiGe/Si 超格子構造を成長し、分光エリプソメトリ測定及び断面 TEM 観察によりそれぞれ SiGe 層の膜厚評価を行い、分光エリプソメトリのフィッティング結果から得た光学膜厚と TEM 膜厚の相関を調べた。光学モデルに必要な Ge 組成は EELS を用いて評価した。

【結果】 Fig.1 に(a)SiGe/Si 超格子構造の断面 TEM 像の一例を示す。各層とも均一な SiGe 層 16 nm 及び Si 層 10 nm が形成されている。拡大図で示す通り、急峻性の高い界面が形成されている。EELS からの Ge 組成は 0.3 であった。(b)に分光エリプソメトリで得た SiGe 層の光学膜厚と TEM 膜厚の相関を示す。線形な相関が示され、傾きは 0.86、切片は 3.19 であった。この結果から分光エリプソメトリによる TEM 換算膜厚の評価が可能になった。原点を通らない理由や、膜厚が非常に薄い場合については更なる検討が必要である。

【謝辞】 この成果の一部は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の「ポスト 5 G 情報通信システム基盤強化研究開発事業」（JPNP20017）の助成事業の結果得られたものです。

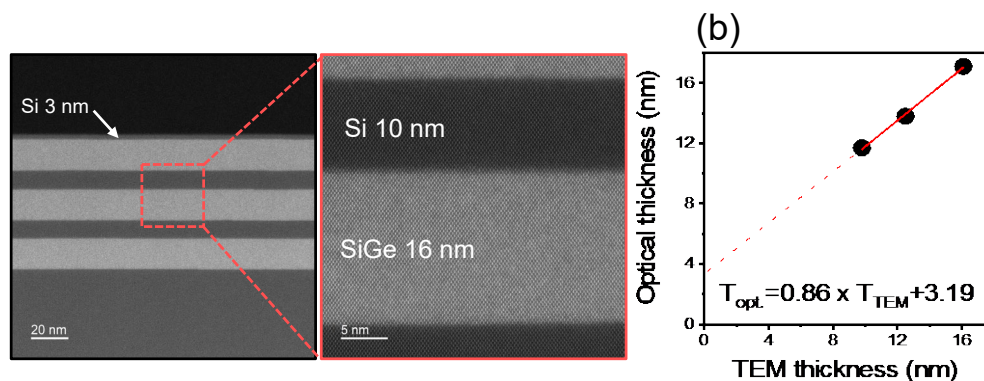


Fig. 1 (a) Cross-sectional TEM image of SiGe/Si superlattice. (b) plot of TEM thickness vs. optical thickness for SiGe layer.

Gate-all-around CMOS 用 TiN/TiAlC Gate 電極の実効仕事関数の制御メカニズム Mechanisms Controlling the Effective Work Function of TiN/TiAlC Metal Gates for Advanced Gate-all-around CMOS

産総研 先端半導体研究センター ○間部 謙三, 上嶋 和也, 太田 裕之, 森田 行則, 入沢 寿史,
林 喜宏

SFRC, AIST, ○Kenzo Manabe, Kazuya Uejima, Hiroyuki Ota, Yukinori Morita, Toshifumi Irisawa,
Yoshihiro Hayashi

E-mail: kenzo.manabe@aist.go.jp

【背景】 Gate-all-around 型トランジスタのしきい値制御には仕事関数調整用メタル (WFM) が使用される。例えば、n 型トランジスタに適した実効仕事関数 (EFW) は、TiAlC を WFM とする TiN/TiAlC 電極で実現される。その EFW 決定要因としては high-k 絶縁膜に接する bottom-TiN (BTM-TiN) への Al 拡散[1]や Al による BTM-TiN からの窒素スカベンジ[2]など、いくつかのメカニズムが提案されている。本研究では、high-k 絶縁膜に接し EFW 決定に最も影響を与える TiN に着目し TiN/TiAlC 電極での EFW 決定要因を調査した。

【実験結果】 図 1 は UPS・XPS 測定より求めた TiN (O) 仕事関数の膜中酸素濃度依存性である。通常 TiN (O) は p 型トランジスタに適した EFW を持つと考えられているが、TiN (O) 仕事関数は膜中酸素濃度が 2 atom% の場合 3.8 eV であることが見出された。また、TiN (O) 仕事関数は膜中酸素濃度増大 (⇒33.9 atom%) に伴い約 0.8 eV 増加した (3.8⇒4.6 eV)。上記結果に基づき TiN/TiAlC 電極での EFW 決定モデルを提案する (図 2)。本モデルでは TiN/TiAlC 電極が n 型トランジスタに適した低い EFW を持つのは、TiAlC 中 Al による BTM-TiN からの酸素スカベンジにより、high-k 絶縁膜に接しており EFW 決定に最も影響を与える BTM-TiN の仕事関数が低下するためと考える。講演では、本モデルと TiN/TiAlC 電極 EFW の TiAlC 膜厚依存性との整合性や TiN (O) 仕事関数の組成依存性の起源などについて議論する予定である。

この成果の一部は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の「ポスト 5 G 情報通信システム基盤強化研究開発事業」(JPNP20017) の助成事業の結果得られたものです。

[1] X.-R. Wang et al., Microelectron. Eng. **88** (2011) 573. [2] E. O. Filatova et al., J. Phys. Chem. C **124** (2020) 15547.

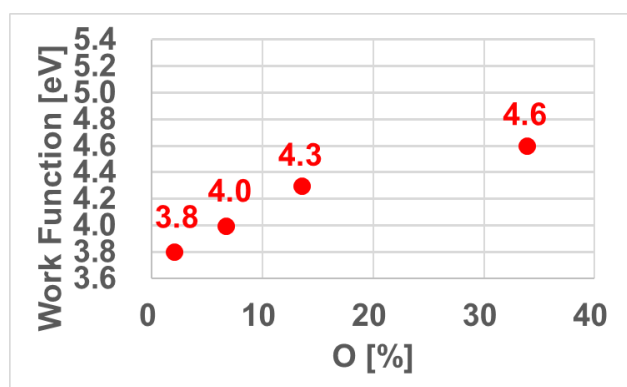


Fig.1 Dependence of work function on oxygen content for TiN(O).

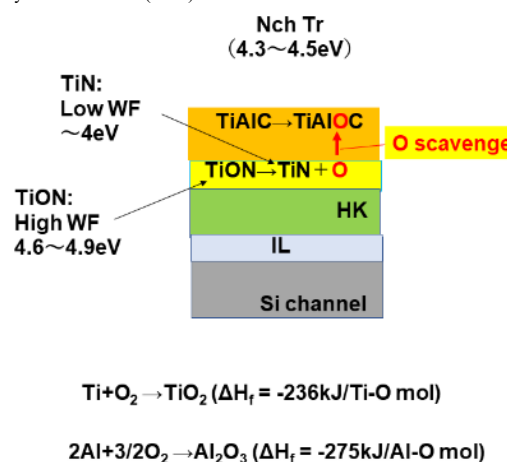


Fig.2 Novel proposed mechanism for n-type EFW of TiN/TiAlC metal

エピタキシャル成長した $\text{Si}_{0.7}\text{Ge}_{0.3}$ および Si 薄膜における H_2 希釈 CF_4 ガスによるドライエッチングの選択性評価 Study on Selective Dry Etching of Epitaxially Grown $\text{Si}_{0.7}\text{Ge}_{0.3}$ and Si using H_2 Diluted CF_4

¹ 名大院工, ² 名大低温プラズマ, ³ IHP ^{○1} 尾崎孝太郎, ² 高田昇治, ² 堤隆嘉, ² 石川健治,
³ Yuji Yamamoto, ³ Wen Wei-Chen, ¹ 牧原克典
¹ Nagoya Univ., ² Nagoya Univ. cLPS, ³ IHP ^{○1} Kotaro Ozaki, ² Noriharu Takada, ² Takayoshi Tsutsumi,
² Kenji Ishikawa, ³ Yuji Yamamoto, ³ Wei-Chen Wen, and ¹ Katsunori Makihara
E-mail: ozaki.koutaro.g8@s.mail.nagoya-u.ac.jp

序 GAA-FET は SiGe/Si 積層膜をエピタキシャル成長した後、SiGe 層を選択的に除去することで Si 薄膜層を残すプロセスで実現しているが、高選択比および低ダメージを両立するエッチングプロセスは確立されていない。本研究では、c-Si(100)基板上に $\text{Si}_{0.7}\text{Ge}_{0.3}$ および Si 薄膜をエピタキシャル成長し、 H_2 希釈 CF_4 ガスによるドライエッチングを行うことで選択性と表面ラフネスへの影響を評価した。

実験 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 薄膜は SiH_4 および GeH_4 ガスを用いた RPCVD により、n-Si(100)基板上に膜厚 ~500nm エピタキシャル成長させた(Inset in Fig.1(a))。また、Si 層は n-Si(100)基板上に膜厚 ~50nm の $\text{Si}_{0.7}\text{Ge}_{0.3}$ 薄膜をエピタキシャル成長した後、引き続き SiH_4 -RPCVD により、~500nm 成長させた(Inset in Fig.1(a))。その後、 H_2 希釈 CF_4 ガスを用いた RIE によりドライエッチングを行った。尚、総ガス流量は 100sccm で一定とし、 H_2 希釈率は 0~15% で変化させた。膜厚およびエッチングレートは、in-situ SE(分光エリプソメトリー)により評価した。尚、AFM により測定したエピタキシャル層成長直後の RMS 表面ラフネスは ~0.12nm($\text{Si}_{0.7}\text{Ge}_{0.3}$)、~0.10nm(Si)であり、平坦な膜形成が出来ていることは別途確認している。

結果および考察 in-situ SE で算出した $\text{Si}_{0.7}\text{Ge}_{0.3}$ および Si のエッチングレートを H_2 希釈率でまとめた結果(Fig. 1(a))、 H_2 希釈していない場合では、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ および Si 層のエッチングレートは各々 ~0.3、~0.06 nm/sec であり、選択比 ~5.0 が実現できている。これは、Si-Ge の結合エネルギーが Si-Si 結合に比べ低いため、イオンにより Si-Ge 結合の切断が容易に起こることから F 原子との反応が促進すると解釈できる。しかしながら、エッチング後の表面を AFM により評価した結果、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ および Si 薄膜表面の RMS ラフネスは各々 ~0.98 nm、~0.66 nm であり、エッチングによる表面荒れが顕著であった(Figs. 2 (a, b))。 H_2 希釈率を増加させた場合、希釈率の増加に伴い $\text{Si}_{0.7}\text{Ge}_{0.3}$ のエッチングレートは緩やかに低減し、13%ではエッチングが認められなかった。一方で、Si のエッチングレートは H_2 希釈率 ~7%までは、顕著な変化は認められないものの、7%以上では緩やかに低下することが分かった。これらの結果を元に、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ /Si の選択比をまとめた結果(Fig. 1(b))、希釈率 7%までは選択比が低下することが分かる。これは、 H_2 ガスの導入により CF_4 の総量が減少することに起因して F 原子によるエッチング確率が低下するものの、導入した H_2 から生成される水素イオンが Ge よりも Si と結合しやすいため[1]、水素イオンが Si のエッチングに強く寄与していると考えられる。しかしながら、 H_2 希釈率 ~10%では選択比が ~3.5 まで一旦増大し、それ以上では選択比が大きく低下した。 ~10%以上の H_2 希釈率では、 CF_x 膜の堆積がエッチングの律速要因になっていると考えられ、希釈率 10%ではこれらがバランスしていると示唆される。尚、希釈率 10%でエッチングした際の $\text{Si}_{0.7}\text{Ge}_{0.3}$ および Si 薄膜表面の RMS ラフネスは各々 ~0.40 nm、~0.28 nm であり (Figs.2 (a', b'))であり、表面ラフネスが抑制された均一なエッチングが実現できていることが分かった。

結論 CF_4/H_2 -RIE において、 H_2 希釈率を制御することで、表面荒れを抑制しつつ Si に対する $\text{Si}_{0.7}\text{Ge}_{0.3}$ の選択比 3.5 が得られることが分かった。

文献 [1] Y. Ishii et al., *Jpn. J. Appl. Phys.* **57**, 06JC04(2018).
謝辞 本研究の一部は、科研費国際共同研究加速基金(A)の支援を受けて行われた。

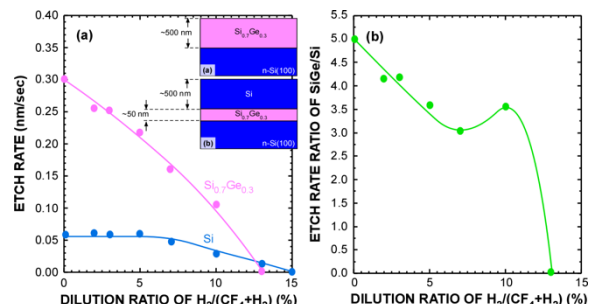


Fig. 1 (a) Etch rates of $\text{Si}_{0.7}\text{Ge}_{0.3}$, and Si, and (b) etching rate ratio of the $\text{Si}_{0.7}\text{Ge}_{0.3}/\text{Si}$ as a function of H_2 dilution ratio. Schematic illustrations of the sample structure are also shown in the inset.

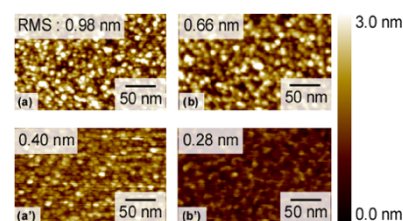


Fig. 2 AFM images of (a, a') $\text{Si}_{0.7}\text{Ge}_{0.3}$, and (b, b') Si surface taken after dry etching at a dilution ratio of (a, b) 0% and (a', b') 10%.

Ni 超薄膜への SiH₄ 照射による Ni シリサイド形成と結晶相制御

Ni-silicide Formation and Crystalline Phase Control

due to SiH₄ Exposure on Ultra-thin Ni Film

¹名大院工, ²愛知工大 [°]谷田 駿¹, 田岡 紀之², 牧原 克典¹

¹Nagoya Univ., ²Aichi Inst. Tech., [°]Shun Tanida¹, Noriyuki Taoka², Katsunori Makihara¹

E-mail: makihara@nuee.nagoya-u.ac.jp

序>> SiO₂ 上の金属超薄膜(MNS)は、分子センサへの応用に適しており、近年、注目を集めている。低キャリア密度の金属を MNS に用いることで、分子センサの感度を向上させられることが期待されている[1]。そこで、我々は Ni シリサイドに着目した。Ni シリサイドのキャリア密度は、Si の含有量によって異なる[2]。本研究では、SiO₂ 上に Ni 超薄膜を形成後、SiH₄ を照射し、Ni シリサイド超薄膜の形成およびその結晶相制御を試みた。

実験>p-Si(100)基板上に形成した SiO₂ 熱酸化膜(膜厚~300 nm)上に、電子線蒸着(EB)により膜厚(*d*)~5.0 nm または~3.0 nm の Ni 薄膜を堆積した。その後 EB チャンバーから取り出し、大気暴露後、基板温度 280 °C で SiH₄ 照射を行った。尚、SiH₄ 照射時間(*t*_{SiH4})は 1 分から 10 分、圧力は 130Pa とした。

結果および考察>*d* = 5 nm の場合、SiH₄ 照射後、AFM から算出した平均二乗荒さ(RMS)の値は As-deposited Ni の RMS 値と比べて、非常に大きくなり、また *t*_{SiH4} に大きく依存した(Fig.1)。一方、*d* = 3 nm の場合、*t*_{SiH4} に依存せず、SiH₄ 照射後も比較的平坦な表面を維持した(Fig. 1)。さらなる研究が必要であるが、Ni 薄膜のバルクエネルギーや SiO₂ との界面エネルギーに起因していると考えられる。次に、SiH₄ 照射が Ni 膜の結晶構造に与える影響を GIXRD で評価した。Fig. 2 は *d* = 5nm の試料の GIXRD パターンである。*t*_{SiH4} = 1 min において、Ni₂Si や NiSi 起因のピークが確認された。*t*_{SiH4} = 3 および 5 min では、NiSi や NiSi₂ 起因の顕著なピークが確認された。*t*_{SiH4} = 10 min では、Ni および Ni_{0.82}Si_{0.18} に起因する 2θ = 44.5 度付近のピーク強度が、*t*_{SiH4} = 5 min 以下の場合と比較すると大きくなっていることがわかる。対照的に、Ni₂Si、NiSi、NiSi₂ に起因する信号強度が低下していることもわかる。*d* = 3 nm の試料においても同様の傾向が確認された。Fig. 3 に各 GIXRD 信号強度の *t*_{SiH4} 依存性を示す。ここで、各信号強度は As-deposited Ni の Ni(111)信号強度で規格化されている。*t*_{SiH4} = 3 min 以内では、Ni 膜厚に関わらず各信号強度が高くなり、Ni シリサイドの成長を示唆している。しかし、*t*_{SiH4} = 5 min 以降では Si リッチなシリサイドに起因する信号強度が減少することから、Ni シリサイド結晶の相変態が起こっていると考えられる。

結論>*d* = 3 nm の場合、SiH₄ 照射後でも平滑な表面が得られた。また、*t*_{SiH4} = 3 min まではシリサイド化反応が促進し、*t*_{SiH4} = 5 min 以上では Si リッチなシリサイドから Ni リッチなシリサイドへの相変態が起こることがわかった。

文献>[1] E. Şennik *et al.*, Materials Letters **177** (2016) 104–107.

[2] E. G. Colgan *et al.*, J. Electron. Mater.,**12**(1983) 413.

謝辞>本研究の一部は、科研費基盤研究(A) 21H04559 の支援を受けて行われた。

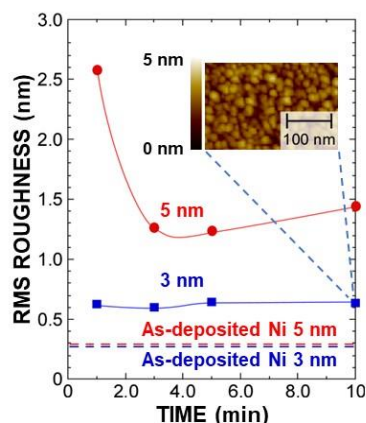


Fig. 1: RMS roughness values for each sample as a function of *t*_{SiH4}. Inset shows an AFM image for *d* = 3 nm and *t*_{SiH4} = 10 min.

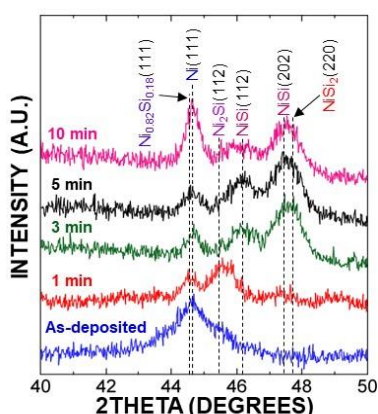


Fig. 2: GIXRD patterns of the sample with *d* = 3 nm before and after the SiH₄ exposure.

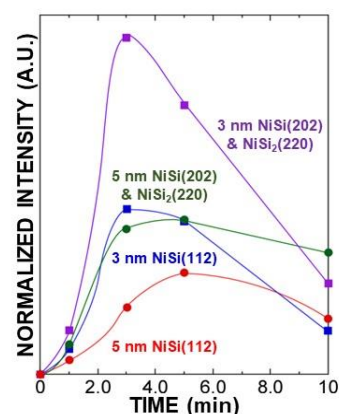


Fig. 3: The NiSi and NiSi₂ peak intensities in the GIXRD patterns. Here, these intensities were normalized by the Ni(111) peak intensities.

低温 PL 分光法による Si トレンチ加工で生成する格子間 Si の拡散評価 Evaluation of Interstitial Si Diffusion generated by Si Trench Processing using Low Temperature Photoluminescence Spectroscopy

○藤森 涼太¹、伊藤 佑太¹、横川 凌^{1,2}、小椋 厚志^{1,2}、
川勝 一斗³、久保井信行³、嵯峨 幸一郎³、岩本 勇人³

(1. 明治大理工、2. 明大 MREL、3. ソニーセミコンダクタソリューションズ(株))

○R. Fujimori¹, Y. Ito¹, R. Yokogawa^{1,2}, A. Ogura^{1,2},
K. Kawakatsu³, N. Kuboi³, K. Saga³, and H. Iwamoto³

(1. School of Sci. and Technol., Meiji Univ., 2. MREL, 3. Sony Semiconductor Solutions Corporation)

E-mail: ce241019@meiji.ac.jp

【序論】3次元立体構造の半導体に用いられるトレンチ技術において、高アスペクト比実現に向けてはプラズマエッチングによるトレンチ形成が必要不可欠である。しかしながら、Si基板へのトレンチ形成プロセスにおける格子間 Si の生成が懸念されており、点欠陥である格子間 Si はドーパントと対になって拡散し、素子の電流駆動力や閾値電圧などに影響を及ぼす[1]。よって、トレンチ形成プロセスにおいて生成される格子間 Si の振る舞いの理解は重要な課題であるが、格子間 Si の詳細な拡散挙動は明らかになっていない。本稿では、点欠陥の有力な手法である PL 分光法を用い、トレンチ形成プロセスにより生じる格子間 Si の拡散挙動についての実測評価を試みた。

【実験方法】プラズマエッチングにより n 型 Si 基板上に 1 μm 間隔で深さ 5 μm 、トレンチ幅 80 nm のトレンチ加工を施した試料を用意した。励起光源として可視光レーザ (波長: 532 nm、励起光強度: 115 mW、ビーム径: <50 μm) を用い、ステージ温度約 35 K 下において PL 測定を実施した、積算時間は 1 sec $\times$ 200 回とした。Fig. 1 に示すようにトレンチ加工領域から未加工領域を跨ぎ、試料表面から 30 μm の間隔で測定をすることで格子間 Si の拡散領域を評価した。

【結果・考察】四格子間 Si 由来の X-line, 三格子間 Si 由来の W-line, W-line のフォノンレプリカ由来の W'-line がそれぞれ、1192 nm, 1218 nm, 1245 nm にて観測された。ここで、各測定点における欠陥準位発光を Si の TO フォノン線のピーク強度で規格化した図を Fig. 2 に示す。Fig. 2 より、トレンチ加工領域端からおおよそ 150 μm 離れた未加工領域まで格子間 Si の

拡散が確認された。この結果より室温での拡散速度は $10^{-4} \text{ cm}^2/\text{s}$ オーダーと導出され、既存モデル値[2]とおおよそ整合することが確認された。本研究により、実測によるトレンチ形成プロセスで生成された格子間 Si の拡散速度を示し格子間 Si の影響が及ぶ範囲を検討することで、今後のデバイス作製における指標を示した。当日は、アニール処理後の拡散速度と拡散係数についても報告を行う。

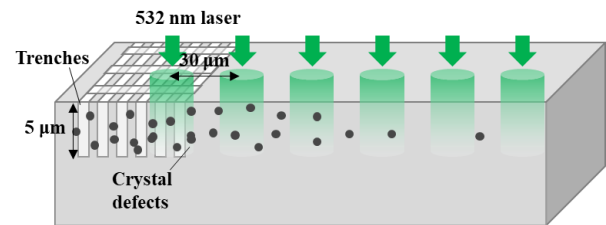


Fig. 1 Schematic image of the PL measurement.

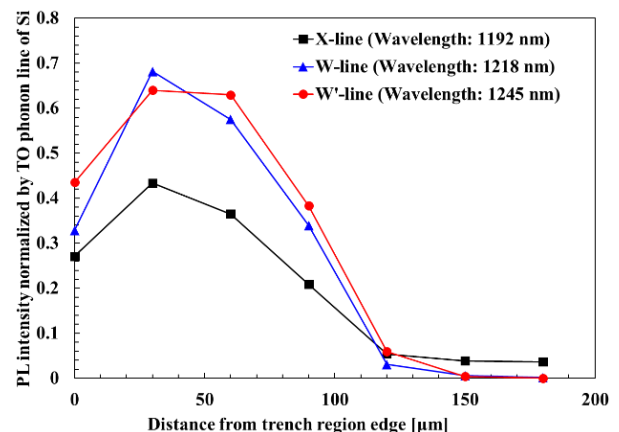


Fig. 2 Evaluation of interstitial Si diffusion from trench edge.

【参考文献】

- [1] 谷口 研二, 応用物理, **69**(4), 428 (2000).
- [2] K. K. Larsen, *et al.*, Phys. Rev. Lett. **76**, 1493 (1996).

凍結洗浄における基板面内温度均一化の効果

Effects of unifying temperature over a substrate during Freeze Cleaning Method

芝浦メカトロニクス¹, 名古屋大学低温プラズマ科学研究センター²

○中村聡¹, 出村健介¹, 山華雅司¹, 服部圭²

Shibaura Mechatronics Corp.¹, Nagoya Univ. Center for Low-Temperature Plasma Sciences²,

○Satoshi Nakamura¹, Kensuke Demura¹, Masashi Yamage¹, Kei Hattori²

E-mail: satoshi.nakamura@shibaura.co.jp

半導体デバイスの露光原版であるフォトリソマスクの配線パターンに欠陥があると、露光されたすべてのウェハにその欠陥が転写される。そのため、フォトリソマスクに要求される清浄度は厳しく、また配線パターンの微細化により欠陥要因となる異物の最小サイズが小さくなってきている。一方で一般的な薬液洗浄では、基板表面からおおよそ 100nm 以下の領域(stagnant layer: 停滞層)で流れが実質的にゼロになるため、その領域にトラップされた微小異物の除去は困難である。

薬液より強力な洗浄手法として、スプレーや超音波洗浄等の物理力を利用する洗浄手法が利用されている。それらの手法では物理力を大きくすることで停滞層内の微小異物まで除去可能であるが、フォトリソマスクの微細な配線パターンに対してはパターンが倒壊し、欠陥になるという問題があった。

我々が開発した凍結洗浄^{[1], [2]}では、基板上の水を凍らせることにより、異物を起点として形成される氷の体積膨張を利用している。膨張する氷が異物と基板の隙間を広げ、凍結と解凍を繰り返すことでやがて異物が基板から剥離され、解凍時に液化する水ごと基板上から排出される。そのため、基板に直接形成された配線パターンにはダメージを与えず、停滞層内の微小異物を除去可能である。

本研究では、解凍時の基板の面内温度分布が PRE(particle removal efficiency: 異物除去率)に与える影響を評価した。評価用基板として、ブランクス石英基板(152mm×152mm)を用い、洗浄液には純水のみを使用した。基板の温度分布を直接測定することが困難であったため、放射温度計で測定した基板上の水の温度分布を基板の温度分布と仮定した。Fig.1 に測定した基板の温度分布画像例を、Table1 に PRE の面内温度差依存性を示す。この表から、面内の温度差が小さいほど PRE が向上することがわかる。その要因は、基板温度分布が不均一であるほど水平方向に氷が成長しやすく、異物を核とする氷が成長する前に、基板全面で水が凍結するためと考えている。基板温度分布の均一化により凍結回数の低減が可能となり、処理時間の大幅な短縮が実現された。

【参考文献】

[1] Kei Hattori. et al., J. Micro/ Nanolithography, MEMS, and MOEMS, 044401-1(2020).
[2] M. Kamiya. et al., “Freeze point monitoring system for freeze cleaning”, Proc. Photomask Japan, 123250B (2022).

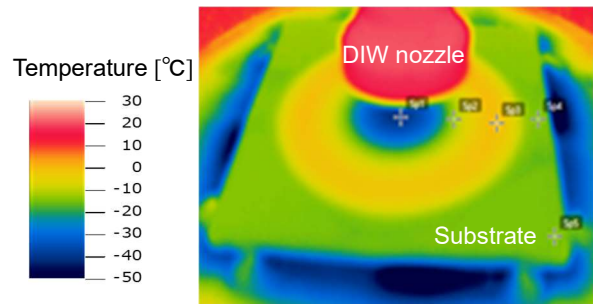


Fig.1 基板の温度分布像

Temperature differences within a substrate [°C]	PRE [%]
41.5	49
23.2	97
11.6	99

Table 1 PRE の面内温度差依存性

Copyright©KOKUSAI ELECTRIC Corporation 2024 All rights reserved

KOKUSAI ELECTRIC CORPORATION and its Affiliates Proprietary & Confidential

半導体製造装置におけるクラスター分析を用いた異常検知の評価**Evaluation of anomaly detection using cluster analysis for semiconductor manufacturing equipment**株式会社 KOKUSAI ELECTRIC¹, 京都大学² ○志賀 優規¹, 平井 都志也^{1,2}, 加納 学²KOKUSAI ELECTRIC CORPORATION¹, Kyoto Univ.²○Yuki Shiga¹, Toshiya Hirai^{1,2}, Manabu Kano²

E-mail: shiga.yuki@kokusai-electric.com

【背景】近年、半導体の微細化など高品質化が進んでおり、半導体製造装置（以下、装置）の評価の高度化が求められている。これまで、最適クラスター数を指標とする異常検知モデルを構築し、正常装置と異常装置の最適クラスター数が異なることを確認した^{1,2}。本報告では、更に検討を進めてきた異常装置の特徴と最適クラスター数との関係性について報告する。

【方法】異常装置 A（以下、A）は、信号 1 に小刻みな振動を含んでいる。最適クラスター数によりこの振動を検出できるか確認するために、振動が含まれる時間を変えた 6 条件のデータセットを用意した（Fig 1）。A はオリジナルの波形で、B～F は一定時間経過後の信号を移動平均に置き換え、これらに対する最適クラスター数を比較した。最適クラスター数は、統計解析ソフトウェア JMP® 16.2.0 を用いて、クラスター数を 1 から 20 の範囲として k-means クラスター分析を実施し、Cubic Clustering Criterion を用いて、決定した³。

【結果・考察】A, B, C, D, E, F の最適クラスター数は、それぞれ、1, 1, 1, 16, 12, 20 であった。信号 1 の振動が含まれる時間が長いと最適クラスター数が少なく、短いと最適クラスター数が多くなった。これより最適クラスター数は、振動が含まれる時間の長さを検出していると考えられる。

【参考文献】

- 1) Toshiya Hirai, Manabu Kano: Anomaly detection of semiconductor manufacturing equipment using cluster analysis, The 10th SICE Multi-Symposium on Control Systems, 2023.
- 2) Toshiya Hirai, Yuki Shiga, Manabu Kano: Anomaly detection of semiconductor manufacturing equipment by cluster analysis, AEC/APC Symposium Asia, 2023.
- 3) SAS (R) Technical Report A-108, Cubic Clustering Criterion January 1, 1992, SAS Inst Paperback in English.

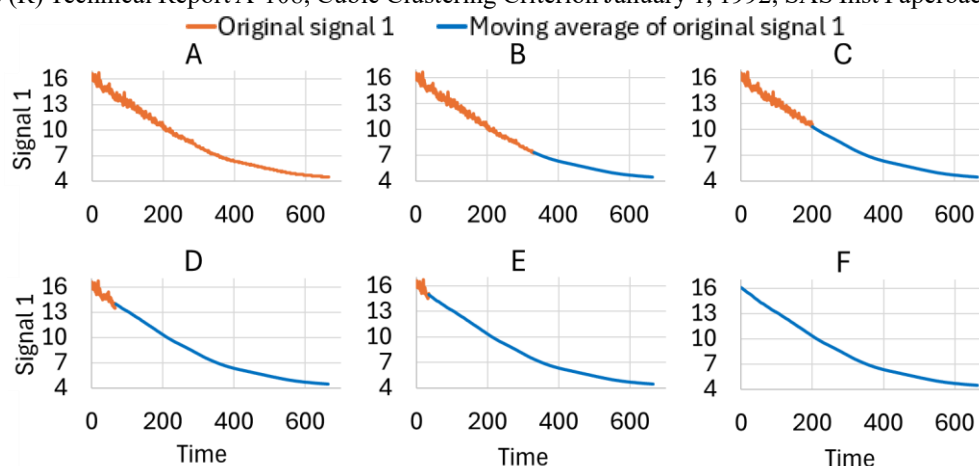


Fig 1. Time series data for 6 cases:

A: Original signal 1 during periods of analysis. B, C, D, E: The first 50%, 30%, 10%, and 5% are original signal 1 and the others are moving average of original signal 1. F: Moving average of original signal 1.

Copyright©KOKUSAI ELECTRIC Corporation 2024 All rights reserved

KOKUSAI ELECTRIC CORPORATION and its Affiliates Proprietary & Confidential