

一般セッション(口頭講演) | 13 半導体：13.5 デバイス／配線／集積化技術

■ 2025年9月10日(水) 13:30 ~ 16:30 | 会 N302 (共通講義棟北)

[10p-N302-1~11] 13.5 デバイス／配線／集積化技術

多田 宗弘(慶応大)

13:30 ~ 13:45

[10p-N302-1] ロジックトランジスタを用いた混載フラッシュメモリの最適化設計

○平野 博茂¹、野間 淳史¹、栗山 寛明¹ (1.タワーパートナーズセミコンダクター)

13:45 ~ 14:00

[10p-N302-2] エネルギー最小点動作・非対称型SRAMセルの設計

○藤下 涼¹、塩津 勇作¹、菅原 聡¹ (1.東京科学大学・未来研)

14:00 ~ 14:15

[10p-N302-3] エネルギー最小点動作PIMに応用可能な高ノイズ耐性SRAMセル

伊藤 克俊¹、○藤原 拓真¹、塩津 勇作¹、菅原 聡¹ (1.東京科学大学・未来研)

14:15 ~ 14:30

[10p-N302-4] XNOR-SRAMセルを用いた並列演算PIM型BNNアクセラレータ・マクロ

○近藤 慶音¹、塩津 勇作¹、菅原 聡¹ (1.東京科学大学・未来研)

14:30 ~ 14:45

[10p-N302-5] EMP近傍動作・シングルエンドSRAMセルの設計と性能

○矢口 忠勝¹、塩津 勇作¹、菅原 聡¹ (1.東京科学大学・未来研)

14:45 ~ 15:00

[10p-N302-6] 耐放射線SRAMセルの設計方法

○野見山 敏輝¹、塩津 勇作¹、菅原 聡¹ (1.東京科学大学・未来研)

15:15 ~ 15:30

[10p-N302-7] ナノインプリントリソグラフィによるHP19nm L/Sパターンのハードマスクエッチングの評価

○鈴木 健太¹、上田 哲也¹、笠嶋 悠司¹、濱本 亮輔¹、深沢 正永¹、水林 亘¹、林 喜宏¹、石田 真幸²、船吉 智美²、日浦 広実²、香川 正行²、長谷川 敬恭²、山本 磨人² (1.産総研 SFRC、2.Canon)

15:30 ~ 15:45

[10p-N302-8] ナノインプリントリソグラフィによるデュアルダマシン (DD) 配線のパターンニング形状評価

○濱本 亮輔¹、鈴木 健太¹、上田 哲也¹、林 喜宏¹、水林 亘¹、石田 真幸²、日浦 広美²、香川 正行²、日下 敦之²、小楠 誠²、山本 磨人² (1.産総研 SFRC、2.キヤノン)

15:45 ~ 16:00

[10p-N302-9] 酸化によるCuAl₂薄膜の抵抗増大に関する原子論的解析○田中 貴久¹ (1.慶大理工)

16:00 ~ 16:15

[10p-N302-10] 微細配線応用を目指したCoSnカゴメ金属薄膜の作製

○中谷 友也¹、Suwannaharn Nattamon¹、佐々木 泰佑¹ (1.NIMS)

◆ 奨励賞エントリー

16:15 ~ 16:30

[10p-N302-11] NiAlのエレクトロマイグレーション特性

○米原 周平¹、小池 淳一¹ (1.東北大)

ロジックトランジスタを用いた混載フラッシュメモリの最適化設計

Optimized design of embedded flash memory using standard logic transistors

タワーパートナーズセミコンダクター ○平野 博茂, 野間 淳史, 栗山 寛明

Tower Partners Semiconductor Co., Ltd, °Hiroshige Hirano, Atsushi Noma, Hiroaki Kuriyama

E-mail: hirano.hiroshige@tpsemico.com

【概要】

各種半導体製品において、不揮発性メモリが要望される。特にプロセスコスト抑制できる専用デバイスを用いない不揮発性メモリの要望があり、通常のロジックトランジスタでフローティングゲートを構成したフラッシュメモリがある。これらの動作と特性を把握した上で最適化設計を行ったので報告する。

【メモリセル構成と動作】

メモリセルは Fig.1 に示した通常のロジック NMOS のみで構成した小面積のセルをベースに検討した。

初期のセル電流はフローティングゲート(FG)とのカップリング容量で決まり、Fig.2 のように複数のセル構成で確認した。また、Fig.3 のように、リテンション後のセル電流は、最終的には初期の電流に近づくことを評価にて確認した。

【最適化設計】

上記のメモリセル構成とセル動作の結果を踏まえ、センスアンプの判定電流は初期のセル電流値付近の設定が好ましく、また、セル電流は読出電圧に依存するため、電圧依存も考慮した設定が好ましく、最適なパラメータで設計を行った。

【結果とまとめ】

上記最適なパラメータで設計されたメモリ IP において Fig.5 のように低電圧から高電圧までのワイドレンジでのメモリ動作を確認でき、リテンション特性の不良率も ppb レベル以下を達成できた。

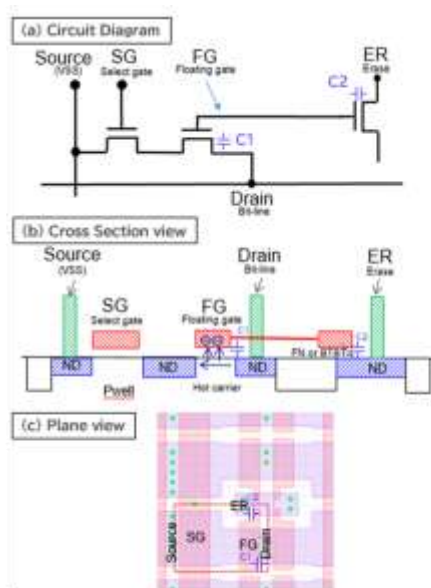


Fig. 1 Cell design:
(a) Circuit Diagram, (b) Cross Section view, (c) Plane view

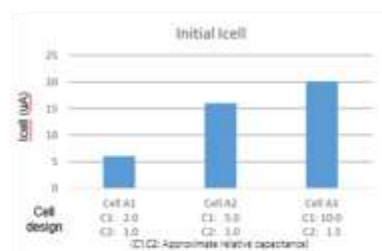


Fig. 2 Initial cell current for each cell designs

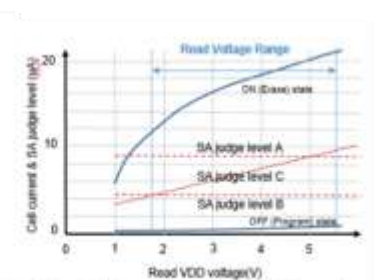


Fig. 4 Voltage dependence of cell current

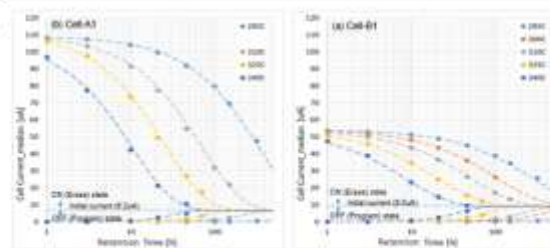


Fig. 3 Relationship between retention time and cell current:
(a) Cell-A1, (b) Cell-B1 at Read VDD Max

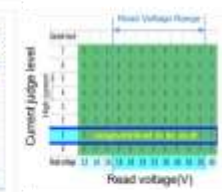


Fig. 5 Read voltage
vs. judgment level

エネルギー最小点動作・非対称型SRAMセルの設計

Design of asymmetric SRAM cell for energy-minimum-point operation

東京科学大学・未来研 °藤下涼, 塩津勇作, 菅原聡

°R. Fujishita, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: fujishita.r.aa@m.titech.ac.jp

【はじめに】 AIアクセラレータの高性能化にはprocessing-in-memory (PIM)型ハードウェアを用いたエネルギー最小点(EMP)動作が有効である。EMP動作はエネルギー効率(TOPS/W)を最大化するだけでなく、積和(MAC)演算の十分な並列化によって演算能力(TOPS)を維持または向上しても低消費電力化を達成できる。EMPは一般にメモリ部単体で0.40 V, ロジック部で0.30 V程度以下に存在する。並列演算PIMではMAC演算数を増加させることでEMPが低下し、わずかなEMPの減少でもエネルギー効率を大きく向上できる[1]。ただし、このような低電圧となるEMPにおいては、一般にPIMに用いるメモリのノイズ耐性が確保できない。最近我々は新構成のシュミットトリガインバータ(ST_I)で双安定回路を構成したSRAM (10T₁^{EU})セルを提案している[2]。これまでに、0.35 Vまでノイズ耐性を確保できる10T₁^{EU}セルを開発しているが[1], このセルでも0.30 Vを下回るようなさらに低いEMPへの対応は難しい。そこで、本発表では、ST_Iインバータと通常のCMOSインバータを用いて非対称型双安定回路を構成し、シングルエンド読み出しを行うセルの開発を行った。以下、本セルをas-8T₁^Eと呼ぶことにする。また、前述の10T₁^{EU}セルをEMPに特化して再設計した対称型セルをs-10T₁^Eセルと呼ぶことにする。

【回路構成】 図1(a), (b)にs-10T₁^E, as-8T₁^Eセルの回路構成を示す。s-10T₁^Eセルは相補信号読み出し・書き込みであるためワード線(WL)は2つのPSS1で共通となるが、as-8T₁^Eセルではシングルエンド読み出し・相補書き込みとするため2本のワード線(WWL, WL)をPSS1, PSS2にそれぞれ接続する。READ時はWLのみHレベルとすることで、CMOSインバータ側でシングルエンド読み出しを行う。この構成を用いることでST_Iの持つ強いフィードバック(FB)効果によりREAD時でもノイズ耐性を向上できる。WRITE時はWWL, WLともにHレベルとすることで、相補信号を用いて低電圧でも安定したWRITE動作を実現できる。

【解析結果】 セルの設計と解析はHSPICEを用いて行った。デバイスには65nm CMOSプロセスのLPモデルを用いた。READ時の擬スタティックノイズマージン(QSNM), WRITE時のワード線マージン(CWLM)を指標とした[2,3]。リファレンスとなるs-10T₁^Eセルには、デバイスのばらつきを考慮して、電源電圧 $V_{DD} = 0.35$ V, 温度25°C, 85°CにおけるQSNMとCWLMを十分に確保し(READ, WRITEともに6 σ 不良率を満たす), リーク電力が最小となる設計点を用いた(このリーク電力は前述のs-10T₁^{EU}セルと同等である)。as-8T₁^Eセルでは、s-10T₁^Eセルで最適化したST_Iインバータを用いて、リーク電力がs-10T₁^Eセルと同等以下でREAD時のQSNMが最大となるようにCMOSインバータとPSS2を設計した。このとき、CWLMを確保するためPSS1も再設計した。図2にas-8T₁^EセルのREAD時におけるQSNMの W_{DRV2} , W_{PSS2} 依存性を示す。この図では各プロセスコーナーのワースト値をプロットした。図中の赤枠はs-10T₁^Eセルのリーク電力を超えない領域, 青枠と黄枠はそれぞれQSNM ≥ 130 mV, CWLM ≥ 90 mVとなる領域を示している。白点はこれらの領域内でQSNMが最大となる最適設計点を示している。図3にモンテカルロシミュレーションによって評価した最適設計as-8T₁^Eセルとs-10T₁^Eセルの0.25–0.35 VにおけるREAD時QSNMの累積分布を示す。温度は85°Cである。s-10T₁^Eセルでは0.35 Vまでしか6 σ 不良率を満たすことができないが、as-8T₁^Eセルでは0.275 Vであっても6 σ 不良率を満足できる。以上から、as-8T₁^Eセルは0.30 V程度以下のEMP動作に対応できるSRAMセルであることを明らかにした。

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し、日本シノプシス合同会社の協力で行われた。

【参考文献】 [1] Y. Shiotsu and S. Sugahara, *IEEE JXDC* **11**, 2025, p. 25. [2] H. Yoshida *et al.*, *IEEE OJCS* **2**, 2021, p. 520. [3] H. Makino *et al.*, *IEEE TCAS-II* **58**, 2011, p. 230.

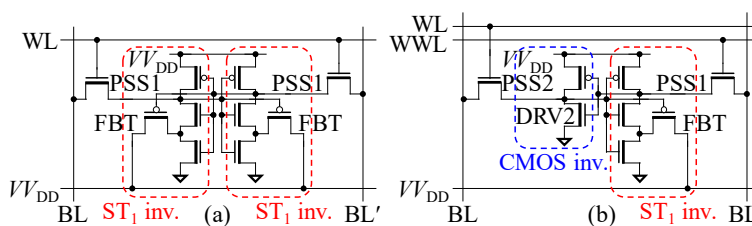


図1. (a) s-10T₁^Eセル, (b) as-8T₁^Eセルの回路構成。

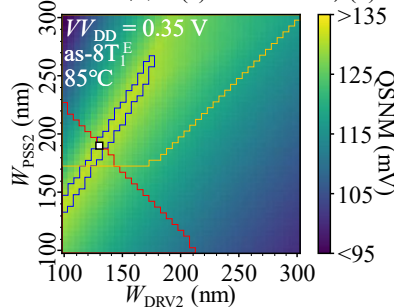


図2. QSNMの W_{DRV2} , W_{PSS2} 依存性。

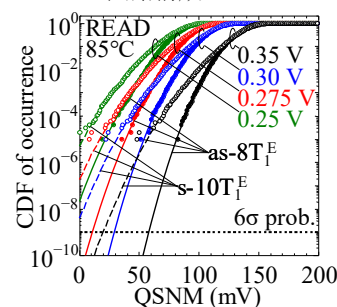


図3. QSNMの累積分布。

エネルギー最小点動作PIMに応用可能な高ノイズ耐性SRAMセル

A high-noise-immunity SRAM cell for energy-minimum-point-operation PIMs

東京科学大学・未来研 伊藤克俊, 藤原拓真, 塩津勇作, 菅原聡

K. Ito, T. Fujiwara, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: fujiwara.t.dela@m.isct.ac.jp

【はじめに】 CMOSロジックシステムのエネルギー最小点(EMP)動作はエネルギー効率(TOPS/W)を最大化することで消費電力を大幅に削減できる[1]. これは近年注目を集めるprocessing-in-memory (PIM)型ニューラルネットワーク(NN)アクセラレータに有効である. EMPとなる電圧 V_{EMP} は動作時電力と待機時電力が拮抗する電圧近傍で生じ, ロジック部では0.3 V程度以下, メモリ部では0.4 V程度となることが多い. PIM型NNアクセラレータでは, 積和(MAC)演算の並列化によって演算能力(TOPS)を向上できるが, 並列化の規模によって V_{EMP} は変化する. 我々はこれまでに0.35-0.4 VのEMP動作に対応できるSRAMセル($10T^{E/U}$)を提案し, そのPIM型NNアクセラレータへの応用を検討してきた[2,3]. しかし, 並列演算PIMの V_{EMP} は0.3 V程度以下にまで低下するため[3], より低い V_{EMP} でも高いノイズ耐性を有するSRAMセルが必要になる. 最近, 我々は新型シュミットリガ(ST)インバータを用いた双安定回路とisolated-read-port (IRP)で構成したSRAMセル($10T^{E/U}_{IRP}$)を提案した[4,5]. 本発表では, $10T^{E/U}_{IRP}$ セルの低電圧(0.2-0.4 V)における強いノイズ耐性を明らかにする. また, 本セルを用いて8kBのSRAMマクロを構成し, これをベースとした並列化PIMのモデリングから本セルの有用性を明らかにする.

【回路構成と解析結果】 図1に $10T^{E/U}_{IRP}$ セルの構成を示す[4,5]. 図2に $10T^{E/U}_{IRP}$ セルを用いた8kBマクロ(M[$10T^{E/U}_{IRP}$])のレイアウトを示す. 周辺回路および各種スイッチの構成は[4]で示したものと同様である. $10T^{E/U}_{IRP}$ セルは温度とデバイスのグローバル, ローカルばらつきを考慮してノイズマージン(NM)を最大化できるように最適設計した. セルとマクロの性能は寄生抵抗・容量を抽出してから, HSPICEと高速SPICE (FineSim)を用いて解析した. ローカルばらつきを考慮した擬スタティックノイズマージン(QSNM)のモンテカルロシミュレーションから, $10T^{E/U}_{IRP}$ セルは $V_{DD} = 0.2V$ におけるREADモードであっても6 σ の極めて低い不良率を達成できることを確認した[5]. 図3にM[$10T^{E/U}_{IRP}$]の動作周波数 f_m , 平均電力 P_{avg} , 1サイクル当たりの消費エネルギー E_{cyc} の V_{DD} 依存性を示す. M[$10T^{E/U}_{IRP}$]の V_{EMP} は0.35 Vとなる. V_{EMP} では P_{avg} を1.2 V動作時と比較して99%削減できる.

【並列化PIMのモデリング】 M[$10T^{E/U}_{IRP}$]を用いて構成した並列演算PIM型NNアクセラレータ・マクロのモデリングを行った. MAC演算の並列数を N_p とする. 本PIMモデルはマクロを各回路ブロックに分離し, それぞれの消費電力などの回路パラメータを用いて表現した. 各ブロックのパラメータは上述のM[$10T^{E/U}_{IRP}$]や既開発のPIMから抽出, またはインバータチェーンを用いて見積もった. また, 補正パラメータなども導入した. 図4に本モデルによる並列演算PIM型マクロ(容量: 8kB, MAC演算ユニット数: $N_p = 1-16$)の E_{cyc}/N_p の V_{DD} 依存性を示す. $N_p=1$ では, $V_{EMP} = 0.35 V$ と上述のM[$10T^{E/U}_{IRP}$]と同じ V_{EMP} であるが, V_{EMP} は N_p とともに減少し, $N_p = 8$ 以降では $V_{EMP} = 0.275 V$ に低下する. このような極めて低い V_{EMP} においても $10T^{E/U}_{IRP}$ セルは十分なノイズ耐性を持つことから, EMP動作・並列演算PIMのセルとして用いることができる.

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】 [1] S. Jain *et al.*, IEEE ISSCC, p. 66, 2012. [2] Y. Shiotsu *et al.*, IEEE JXDC 8, p. 134, 2022. [3] Y. Shiotsu *et al.*, IEEE JXDC 11, p. 25, 2025. [4] 伊藤他, 第85回応用物理学会秋季学術講演会, 16p-C302-18, 2024. [5] K. Ito *et al.*, IEEE IMFEDK, R08, 2024.

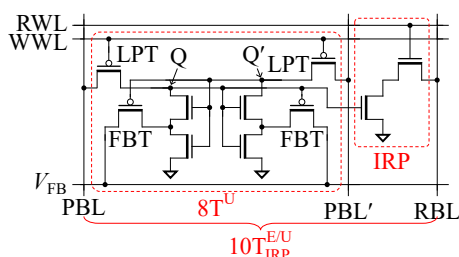


図1. $10T^{E/U}_{IRP}$ セルの構成.

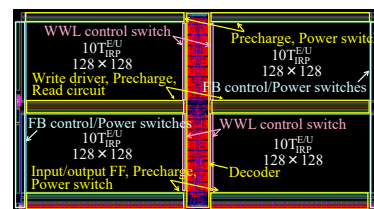


図2. M[$10T^{E/U}_{IRP}$]のレイアウト.

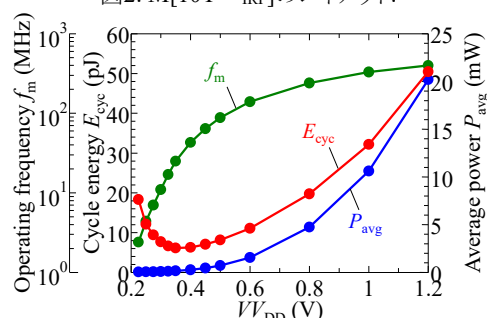


図3. M[$10T^{E/U}_{IRP}$]の f_m , P_{avg} , E_{cyc} の V_{DD} 依存性.

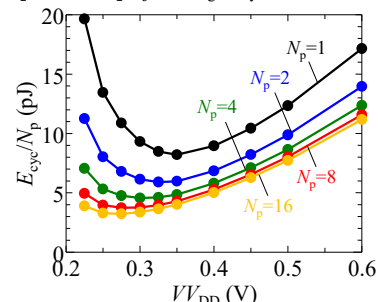


図4. 並列演算PIMにおける E_{cyc}/N_p の V_{DD} 依存性.

XNOR-SRAMセルを用いた並列演算PIM型BNNアクセラレータ・マクロ

A parallel-processing-in-memory BNN accelerator macro using XNOR-SRAM

東京科学大学・未来研 °近藤慶音, 塩津勇作, 菅原聡

°K. Kondo, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: kondo.k.ar@m.titech.ac.jp

【はじめに】最近, 我々はエネルギー最小点(EMP)動作が可能なSRAMセル($10T^{E/U}$ セル)を応用した processing-in-memory (PIM)型の2値化ニューラルネットワーク(BNN)アクセラレータ・マクロを検討してきた[1]. 特に, 積和(MAC)演算の並列演算が可能なPIM (PPIM)マクロでは, 並列化による演算能力(TOPS)の向上だけでなく, EMPの低減(0.275 V)によって, エネルギー効率(TOPS/W)も向上できる[1]. しかし, PIMにおけるMAC演算の並列化では並列数とともにメモリアレイ内の配線(ビット線)数が増加し, $10T^{E/U}$ セルの場合, 8並列以上でセル面積内にデッドスペースが生じる. そこで, このデッドスペースにBNNにおけるMAC演算の積に相当するXNORを組み込んだXNOR内蔵セル($14T^{E/U}_{pX+dp}$)を提案した[2]. このセルでは, デッドスペースを有効利用できることに加え, シングルエンド読み出し構成のため面積増加なしに許容される並列数を増加できる. しかし, $2T$ 構成のisolated read port (IRP)を用いていたため, 読み出しビット線(RBL)のクロストークにより, 読み出しエラーが発生する可能性がある. 本発表では, クロストークの影響を排除できる新たなXNOR内蔵セル($16T^{E/U}_{pX+ic}$)を提案し, このセルで構成したPPIM型アクセラレータ・マクロの性能について報告する.

【回路構成】図1に $16T^{E/U}_{pX+ic}$ セルの回路構成を示す. このセルでは $10T^{E/U}$ セルに6つのTrを付加することでXNOR演算が可能になる. 記憶ノードQにあらかじめ重みを書き込んでおき, 推論時に相補信号の入力を推論ビット線(IBL, IBL')に設定することで, 重みと入力とのXNOR演算を実行できる. XTはノードQXTを低電圧でも容易に充電できるようにpMOSで構成している[2]. また, IRPをインバータとCMOSパスゲートで構成することで, $Q_{XT} = L$ の場合にpMOSでRBLを充電できるため, クロストークによって生じる電位低下を補償できる. また, IRPを用いることで本 $16T^{E/U}_{pX+ic}$ セルは0.25 Vまで推論動作における 6σ の不良率を満足できる(一方, 従来の $10T^{E/U}$ セルでは0.35 Vまでしか 6σ の不良率を満たすことができない[1]). 図2に $16T^{E/U}_{pX+ic}$ セルを用いた8並列演算PIMマクロのレイアウトを示す. このマクロでは, セルアレイで重みと入力ベクトルのXNOR演算を実行し, その結果("1"の数)をpopulation counter (PPC)ユニットでカウントすることでMAC演算を実行する. これに整数バイアスを加え, その結果の最上位ビット(MSB)を用いてアクティベーション(ACTV)を判定する[1]. 今回は8並列でマクロを実装したが, $16T^{E/U}_{pX+ic}$ セルの場合, SRAMアレイ部は32並列としてもデッドスペースを生じずに実装可能である.

【解析結果】設計したマクロの性能は, 寄生抵抗・容量を抽出して高速SPICE (FineSim)を用いた大規模シミュレーションにより解析した. デバイスには65nm CMOSプロセスのLPモデルを用いた. 図3に8並列演算PIMマクロにおける動作周波数 f_m , 平均電力 P_{avg} , 1サイクルあたりの消費エネルギー E_{cyc} , 推論のエネルギー効率 η の仮想電源電圧 V_{DD} 依存性を示す. この8並列演算PIMマクロでは $V_{DD} = 0.325$ Vで E_{cyc} が最小となり(すなわち, EMP = 0.325 V), この電圧で η が最大化され, $\eta = 169$ TOPS/Wとなる. これは通常電圧(1.2 V)と比較すると, 12倍程度に増大している. IRPの工夫によって[3], リーク電力を削減することでEMPを減少させ, エネルギー効率をさらに向上させることも可能である.

【謝辞】シミュレーションは東京大学d. lab-VDECを通し, 日本シノプシス合同会社の協力で行われた.

【参考文献】[1] Y. Shiotsu and S. Sugahara, *IEEE JXDC* **11**, 2025, pp. 25.

[2] 近藤他, 第85回応用物理学会秋季学術講演会, 2024, 16p-C302-15.

[3] 矢口他, 第86回応用物理学会秋季学術講演会, 2025.

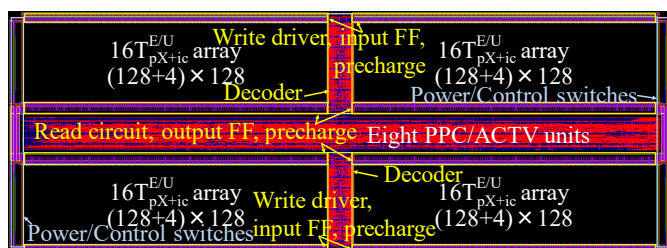


図 2. $16T^{E/U}_{pX+ic}$ セルを用いた 8 並列演算 PIM マクロのレイアウト.

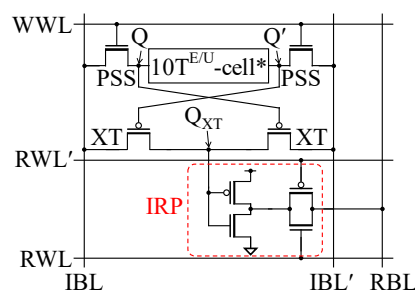


図 1. $16T^{E/U}_{pX+ic}$ セルの回路構成.

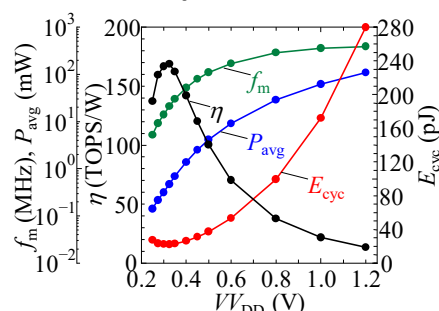


図 3. f_m , P_{avg} , E_{cyc} , η の V_{DD} 依存性.

EMP近傍動作・シングルエンドSRAMセルの設計と性能

Design and performance of single-ended SRAM cells for near energy-minimum-point operation

東京科学大学・未来研 °矢口忠勝, 塩津勇作, 菅原聡

°T. Yaguchi, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: yaguchi.t.ag@m.titech.ac.jp

【はじめに】 AIアクセラレータの高エネルギー効率化には、エネルギー最小点(EMP)で動作する processing-in-memory (PIM)型ハードウェアが有効である。EMPで積和演算の並列化を行うことで演算能力を維持しつつ、消費電力を効果的に削減できる。PIMのメモリ部にSRAMを用いた場合、通常の6Tセルではノイズ耐性の問題からEMP動作の実現は難しい。しかし、6Tセルにisolated read port (IRP)を用いてセル構造を最適化することで、EMP近傍(~ 0.45 V)でも使用が可能になる[1]。PIMの並列演算では、SRAMからの並列アクセスを実現するため、一般にはマルチポートセルと、複数本の読み出しビット線(RBL)を用いるためセル面積が増大するが、PIM型AIアクセラレータでは、マルチポートセルを使わずに、さらに、シングルエンド構成セルを用いることでセル面積の増大を抑制できる[2]。しかし、EMP近傍でIRPを用いたシングルエンド読み出しを行う場合、RBLから非選択セルのIRPに流れるリーク電流(RBLリーク)によって生じるRBLの電位低下の影響が通常電圧下より強く出る。また、並列数が多い場合には、隣り合うRBLのクロストークによって生じるRBLの電位変動も問題となる。そこで、本発表では、異なる特徴を有する各種IRP [3,4]を用いたシングルエンドSRAMセルの検証を行い、EMP近傍においても安定なシングルエンド読み出しが可能なセル構成を明らかにする。

【リードポートの構成】 図1(a)–(d)に各種IRPの構成を示す。ここでは、それぞれdp, sip, sdwp, sicと呼ぶことにする。一般的に用いられるdpはRBLへの充電機能が存在しないため、RBLリークやクロストークに対処することが難しい。sipは記憶ノードQにインバータを接続することで充電機能を付加できる。さらに、このインバータのドライバは縦積みの2つのnMOSで構成され、リークを低減できる。しかし、パストランジスタがnMOSであるため、RBLへの充電能力が十分でなく、EMP近傍ではクロストークの影響を排除しきれない。sdwpはsipとほとんど同じ構成であるが、RWLによってpMOSを制御することで、非選択セルにおけるsdwpの中間ノード(M)がQの状態によらず読み出しアクセス中は常にHレベルとなる。これにより、非選択セルのRBLリークを完全に排除できるが、選択セルのpMOSが読み出しアクセス中にOFFとなるため、クロストークの影響は排除できない。さらにドライバリークが問題になる。今回、新たに提案するsicはsipにpMOSのパストランジスタを追加しトランスマッションゲートとすることで、充電能力を改善しクロストークによる電位低下を補償できる。sdwpほどではないが、RBLリークも低減できる。

【解析結果】 本研究では、トランジスタモデルに65nm bulk相当のCMOSデバイスモデルを使用し、HSPICEで解析を行った。6Tセル部については0.45 Vで全動作のノイズマージンを確保できるように設計を行った[1]。各IRPのnMOSの設計はRBLの放電速度を指標として、pMOSではリーク電力などを指標として決定した。図2に各種IRPにおけるL-READ時のRWLとRBLの波形を示す(すべての供給電圧は0.45 Vである)。また、読み出し回路の出力電圧 V_{OUT} も示している。ここでは、並列アクセスを行わないカラム構成を用いて(カラム当たりRBL 1本の構成)、RBLを共有しているすべての非選択セルのQをHとした。dpで読み出した場合、RBLリークによって V_{RBL} が大きく低下し、 V_{OUT} がHとなる読み出しエラーが生じる。一方、pMOSを追加した構成(図1 (b)–(d))では V_{RBL} の低下が抑制され、読み出しエラーは発生していない。特にsdwpではRBLリーク低減の効果が大きく、 V_{RBL} はほとんど低下していない。図3にRBLを並列化したセルのREAD動作の波形を示す(文献[2]のアレイ構成を採用し、1カラムあたりRBLは16本である)。供給電圧は0.45 Vである。この図では、隣り合うRBLの状態が交互にH-READとL-READとなるワーストケースに設定し、L-READのRBLのみをプロットしている。また、破線で V_{OUT} も示している。RWLが立ち上がると、H-READのRBLからクロストークの影響を受け、L-READ時にHレベルであるべき V_{RBL} は低下する。sipとsdwpはこの電位低下を補償できていない。sicではpMOSを付加したパスゲートによって、 V_{RBL} をHレベルに補償できる。以上から、並列化を行う場合にはsicが有効である。

【謝辞】 シミュレーションは東京大学d. lab-VDECを通して、日本シノプシス合同会社の協力で行われた。

【参考文献】 [1] 矢口他, 第85回応用物理学会秋季学術講演会, 2024, 16p-C302-17 [2] Y. Shiotsu and S. Sugahara, *IEEE JXDC* **11**, p. 25, 2025. [3] B. Calhoun and A. Chandrakasan, *IEEE JSSC* **42**, p. 680, 2007. [4] T. Kim *et al.*, *IEEE JSSC* **43**, p. 518, 2008.

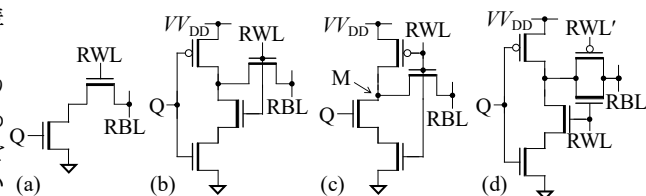


図1. IRPの構成 (a) dp, (b) sip, (c) sdwp, (d) sic

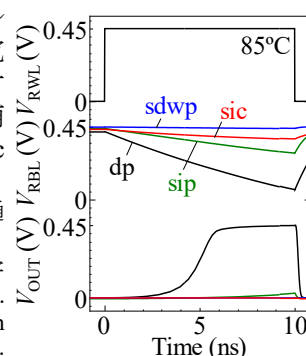


図2. RBLリークの評価

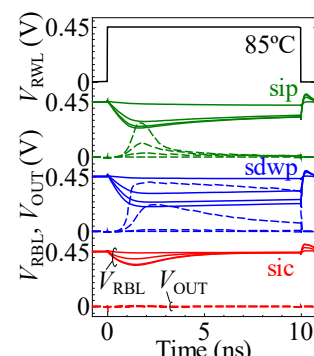


図3. クロストークの評価

耐放射線SRAMセルの設計方法

Design methodology for a radiation-hardened SRAM cell

東京科学大学・未来研 °野見山敏輝, 塩津勇作, 菅原聡

°T. Nomiya, Y. Shiotsu, and S. Sugahara, *FIRST, Inst. of Sci. Tokyo*

E-mail: nomiya.t.aa@m.titech.ac.jp

【はじめに】 近年, 宇宙空間の産業利用が注目を集めている. 宇宙空間においては, エネルギーの非常に高い宇宙線の影響によって生じる電子機器の誤動作が問題となる. CMOSロジックシステムでは, 宇宙線の突入によってSi基板中に大量の電子正孔対が生成され, Single-event upset (SEU)などのソフトウェアが生じる. SRAMでは, SEUによって記憶状態が反転してしまうことから, この対策が重要な課題になっている. 一般に, SEUの対策には, 誤り訂正符号(ECC)の利用, デバイス構造やセルレイアウトの工夫, セル構成の工夫(DICEなど)などにより行われる[1]. ただし, ベースとなるセルには一般的な6Tセルを用いることが多い. 本発表では, 通常のSRAM動作の各ノイズマージンを確保し, さらにソフトウェア耐性を最大化できる6Tセルの設計方法を検討した.

【評価指標】 READ動作とWRITE動作については, 従来方法と同様にノイズ源に電圧源を用いて擬スタティックノイズマージン(QSNM)とワード線マージン(CWLM)を指標とした[2,3]. 一般的に, SEUの評価には記憶状態が反転するのに必要な最小の電荷量である臨界電荷量(Q_{ct})が用いられ[4], 記憶ノードに流れ込む電子正孔対による電流ノイズは電流源によってモデリングされる. 本研究では, 電流ノイズパルスを用いたDynamic noise margin (DNM)によりソフトウェア耐性を評価した. Q_{ct} はこの電流ノイズパルスから算出される. Hの記憶状態をLにフリップする電流ノイズ, Lの記憶状態をHにフリップする電流ノイズを用いて評価した Q_{ct} をそれぞれ Q_{ct}^H と Q_{ct}^L とした. Q_{ct}^H と Q_{ct}^L の両方を最大化するために, セル内のロード(LD)およびドライバ(DRV)のチャネル幅比率を従来セルから大きく変更する必要がある.

【解析結果】 セルの設計と解析にはHSPICEを用いた. デバイスには65nm CMOSプロセスのLPモデルを使用した. 本研究では, 通常電圧1.2 VでQSNMとCWLMが別途定められた基準値以上となる範囲内で Q_{ct}^H と Q_{ct}^L が最大となるように, 6TセルのDRV, LD, パス(PSS)の各Trのチャネル幅(W_{DRV} , W_{LD} , W_{PSS})を設計した. QSNMとCWLMの基準値はローカルばらつきを考慮したモンテカルロシミュレーションによって評価した不良率が6 σ を満たすようにセルフコンシステントに決定した. 図1(a), (b)に Q_{ct}^L と Q_{ct}^H の W_{DRV} , W_{LD} 依存性をそれぞれ示す. ここでは, 十分なCWLMを確保するために $W_{PSS} = 120$ nmとした. 図中の赤枠と青枠はそれぞれ基準値となるQSNM ≥ 110 mV, CWLM ≥ 110 mVの範囲を示している. Q_{ct}^L は W_{DRV} を, Q_{ct}^H は W_{LD} を大きくすることで向上できる. pMOSの駆動力がnMOSに比べて低いことに加え, グローバルばらつきの影響により図中のほとんどの範囲で Q_{ct}^H がワーストケースとなっている. したがって, ソフトエラー耐性を最大化するためには $W_{LD} > W_{DRV}$ とすることが重要となる. 標準設計(Stdセル; 図中の白点)では $W_{LD} < W_{DRV}$ のため, ソフトエラー耐性最大化の設計とは大きく異なる. ただし, W_{LD} を大きくしすぎるとCWLMが減少するため, ソフトエラー耐性とWRITE動作にはトレードオフの関係が存在する. すなわちCWLMを満たす範囲でPSSに対してLDを大きくする必要がある(最適設計点はCWLMの上側の境界線上に存在する). そこで, このCWLMの境界線上で Q_{ct}^H , Q_{ct}^L のそれぞれが最大となる設計のセルをOpt2, Opt3とし, Q_{ct}^L と Q_{ct}^H が同等になる設計のセルをOpt1とした. Stdセルに関して, 比率を変えないままOpt1セルの面積と同程度にしたi-Stdセルも評価した. 図2にモンテカルロシミュレーションによって評価した Q_{ct}^L と Q_{ct}^H の累積分布を示す. StdセルはLD, DRVの駆動力がともに弱く, さらに $W_{LD} < W_{DRV}$ により Q_{ct}^H が大幅に減少する. Q_{ct}^H はLDの駆動力が強いOpt2セルが, Q_{ct}^L はDRVの駆動力が強いOpt3セルが最大となる. i-StdセルはStdセルに比べて Q_{ct}^H は大きくなるが, Opt2セルの Q_{ct}^L 程度となる. Opt1セルでは Q_{ct}^H と Q_{ct}^L がほぼ同程度となり, 各セルのワーストケースで比較すると最も高い Q_{ct} を持つ. したがって, Opt1セルが最大のソフトウェア耐性を持つ. また, これは図3に示すようにCWLMの境界線上でHOLDが最大となる設計点(図中の青点)とほとんど一致する. これは従来のQSNM, CWLMを用いて容易にソフトウェア耐性を持つセルの設計ができることを意味する. 実際の設計では以上の結果に加えて, さらにリーク電力も考慮する.

【謝辞】 シミュレーションは東京大学d. lab-VDECを通し, 日本シブシス合同会社の協力で行われた.

【参考文献】 [1] C. Calligaro and U. Gatti, "Rad-hard Semiconductor Memories", River Publishers, 2018. [2] H. Yoshida *et al.*, IEEE OJAS 2, p. 520, 2021. [3] H. Makino *et al.*, IEEE TCAS-II 58, p. 230, 2011. [4] S. M. Jahinuzzaman *et al.*, IEEE TVLSI 17, p. 1187, 2009.

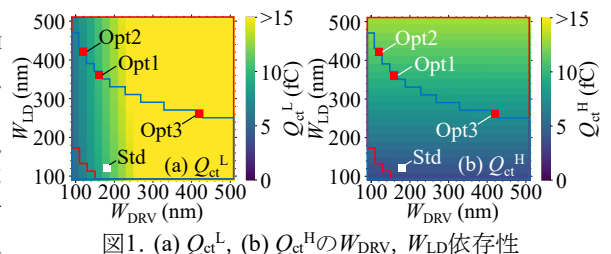


図1. (a) Q_{ct}^L , (b) Q_{ct}^H の W_{DRV} , W_{LD} 依存性

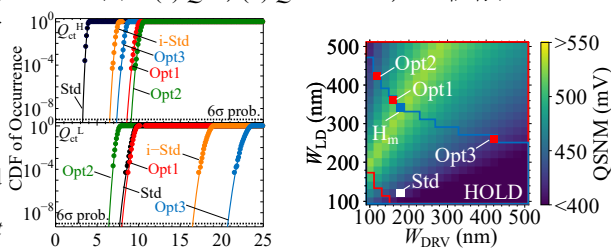


図2. Q_{ct}^L , Q_{ct}^H の累積分布

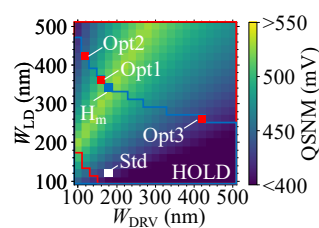


図3. HOLDの W_{DRV} , W_{LD} 依存性

ナノインプリントリソグラフィによる HP19nm L/S パターンの ハードマスクエッチングの評価

Evaluation of hard mask transfer etching of HP19 nm L/S patterns in nanoimprint lithography

産総研 SFRC¹, キヤノン² ○鈴木健太¹, 上田哲也¹, 笠嶋悠司¹, 濱本亮輔¹, 深沢正永¹,
水林亘¹, 林喜宏¹, 石田真幸², 船吉智美², 日浦広実², 香川正行², 長谷川敬恭², 山本磨人²
SFRC, AIST¹, Canon², °Kenta Suzuki¹, Tetsuya Ueda¹, Yuji Kasashima¹, Hamamoto Ryosuke¹,
Masanaga Fukasawa¹, Wataru Mizubayashi¹, Yoshihiro Hayashi¹, Masaki Ishida², Tomomi Funayoshi²,
Hiromi Hiura², Masayuki Kagawa², Noriyasu Hasegawa², and Kiyohito Yamamoto²

E-mail: ke.suzuki@aist.go.jp

ロジック半導体では、トランジスタ直上のコンタクトプラグや MOL (middle of line) などのローカル配線の微細化が進んでいる。ナノインプリントリソグラフィ (NIL) は消費電力の小さいグリーンなリソグラフィ技術であり、配線工程において、線幅の制御性に優れ、斜め線や折り曲げ線などの 2 次元的に自由形状の設計データに対しても忠実で高精度なパターンニングができることが特徴である。我々はこれまでに NIL でパターンニングした最小 HP24nm の TEG 評価結果を報告した[1]。本研究ではさらなる微細化検証のため、HP19nmL/S の NIL のパターンニングおよびハードマスクの転写エッチングの評価を行った。

Si 基板上に多層膜エッチングマスクとして 25nm 厚のスピノンガラス (SOG) と 95nm 厚のスピノンカーボン (SOC) を成膜し、ナノインプリント半導体製造装置 (FPA-1200NZ2C, Canon) を用いてリソグラフィを行った。形成したパターンをエッチングで除去し下層の SOG/SOC に転写エッチングを行った。図 1(a)に HP19nmL/S の NIL レジストパターンの断面 SEM 画像を示す。パターン倒れ等の欠陥がなく、パターン高さ 34nm のレジストパターンの形成を確認した。図 1(b)は SOG/SOC の 2 層マスクへのエッチング後の断面 SEM 画像を示す。HP19nm と微細なパターンサイズにおいて、アスペクト比 5 のハードマスクへの良好なエッチングを確認した。

[1] 鈴木健太ほか：2025 年第 72 回応用物理学会春季学術講演会予稿集, 17a-K101-5 (2025)

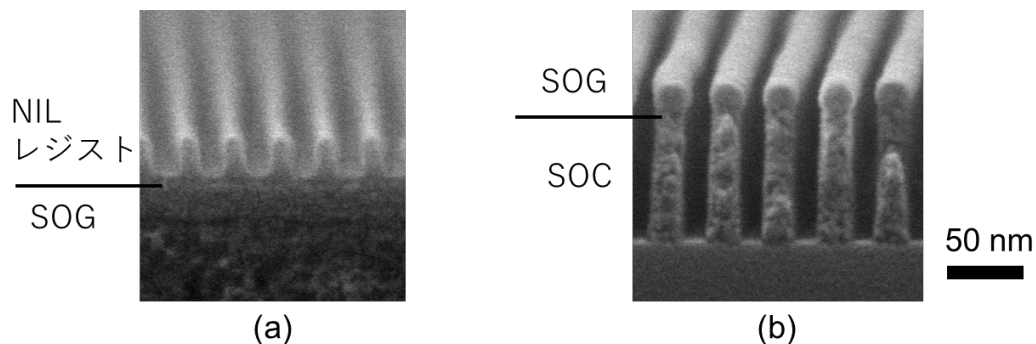


図 1. HP19 nm L/S パターン (a) NIL レジスト, (b) SOG/SOC ハードマスク

この成果は、NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）の「ポスト 5 G 情報通信システム基盤強化研究開発事業」（JPNP20017）の助成事業の結果得られたものです。

酸化による CuAl_2 薄膜の抵抗増大に関する原子論的解析

Atomistic Simulation of Increase in Resistance of Oxidized CuAl_2 Films

慶大理工 ○田中 貴久

Keio Univ.

E-mail: tanaka@elec.keio.ac.jp

現在の集積回路の配線は主に Cu で構成されているが、Cu の拡散・酸化防止や密着性向上に寄与するバリア/ライナー層が必要となっている。Cu は伝導電子の長い平均自由行程から微細化した際に表面散乱の効果で抵抗が上昇しやすい。バリア/ライナー層は Cu 配線の体積を減少させてしまうため、微細化による抵抗上昇をより増大させてしまう。金属間化合物である CuAl_2 はその酸化膜が Cu の拡散・酸化防止や密着性向上に寄与することから、バリア/ライナー層配線材料として注目を集めている [1]。将来の配線材料として用いる際には、ナノスケールの CuAl_2 の抵抗率が酸化によりどの程度上昇するのかを定量的に評価する必要がある。しかし、極薄膜での実験的評価はまだ十分に行われていない。そこで本研究では、ナノスケールの CuAl_2 薄膜の酸化による抵抗の増大を原子論的シミュレーションにより解析した。

原子論的シミュレーションでは、まず CuAl_2 薄膜の酸化を再現する反応力場の構築を行った。Quantum Espresso を用いた密度汎関数法による計算結果をフィッティング時の参照データとした。LAMMPS による反応力場分子動力学計算が参照データのエネルギーを再現するように、反応力場の Cu-Al 間のパラメータを粒子群最適化法により決定した。構築した反応力場を用いた分子動力学計算により CuAl_2 薄膜上に 300 K で酸素を付加し、酸化を再現した。電気抵抗および抵抗率の計算は MD-Landauer 法により行った。 CuAl_2 薄膜の酸化とフォノンによる原子変位を考慮した構造に対して非平衡グリーン関数法により透過率を計算し、電気抵抗を求めた(Fig. 1)。その結果、酸化膜に隣接する層の欠陥により、実効的に伝導に寄与する CuAl_2 の膜厚が減少することを明らかにした。実験的には CuAl_2 の酸化膜は約 1.5-2 nm 程度成長すると報告されており [1, 2]、酸化膜と欠陥をあわせた CuAl_2 の実効膜厚の減少は Cu 配線のバリア/ライナー層と同程度の厚さになることが明らかになった。そのため、 CuAl_2 の配線応用に関しては酸化膜の厚さの制御が重要である。当日は膜厚依存性についても議論する。

謝辞: 本研究の一部は JST CREST(JPMJCR24A4) の助成を受けたものである。

参考文献 [1] L. Chen *et al.*, J. Appl. Phys. **129**, 035301 (2021). [2] T. Kuge *et al.*, IEEE Trans. Device Mater. Reliab. **24**, 14 (2023).

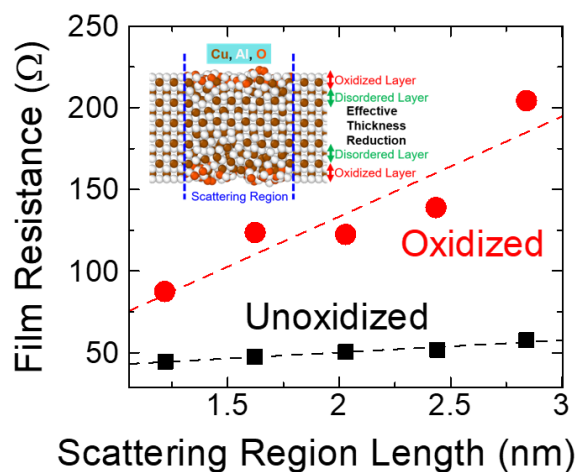


Fig. 1 Resistance of CuAl_2 films with thickness of 2.3 nm.

微細配線応用を目指した CoSn カゴメ金属薄膜の作製

Fabrication of CoSn kagome metal thin films for interconnect applications

NIMS¹ [○]中谷 友也¹, (P)Nattamon Suwannaharn¹, 佐々木 泰佑¹

NIMS¹ [○]Tomoya Nakatani¹, (P)Nattamon Suwannaharn¹, Taisuke Sasaki¹

E-mail: nakatani.tomoya@nims.go.jp

半導体素子において、Cu 配線の微細化とともに Cu の抵抗率(ρ)が増大することが問題となる。これは、Cu は等方的なフェルミ速度分布をもち、伝導電子の平均自由行程が長いため、微細配線において、配線表面での伝導電子の散乱が支配的となるためである。この問題の解決のため、抵抗率が結晶方位に強く依存する異方性導電材料の配線応用が検討されている。CoSn カゴメ合金は、バルク単結晶試料において、 c 軸 ([0001]方位) に対して室温で $\rho \sim 3 \mu\Omega \text{ cm}$ と良導体であるが、それと直交する c 面内では $\rho > 100 \mu\Omega \text{ cm}$ と高抵抗率を示す擬一次元異方性導電材料であり[1]、理論的にも配線材料の有力候補であることが示されている[2]。一方で、CoSn 薄膜において抵抗率の異方性を示した報告はない。本研究では、 c 軸が基板面内を向いた CoSn(10 $\bar{1}$ 0)単結晶薄膜を作製し、抵抗率の結晶方位依存性を調査した。

MgO(110)基板上に bcc-Co₅₀Fe₅₀ (2 nm)/hcp-Co (2 nm)/hcp-Ru(2 nm)をバッファ層としてマグネトロンスパッタリングによって成膜した。Ru は表面が(10 $\bar{1}$ 0)面の単結晶となり、その上に CoSn を基板温度 350 °C 以上でスパッタ成膜すれば CoSn(10 $\bar{1}$ 0)単結晶薄膜が成長した。CoSn は Co および Sn ターゲットからの同時スパッタにより成膜した。

図 1(a)に 400 °C で成膜された CoSn (10 nm)の表面の原子間力顕微鏡 (AFM) 像を示す。CoSn は単結晶であるが、3次元成長しており、peak-to-valley (p-v)の値は 26 nm と極めて表面がラフである。CoSn のラフネス (例えば、CoSn 膜厚 t_{CoSn} に対する p-v の比) は、 t_{CoSn} の増大とともに低下した。図 1(b)に CoSn の室温における抵抗率の t_{CoSn} 依存性を示す。全領域の t_{CoSn} において $\rho_{\parallel c} < \rho_{\parallel a}$ ($\rho_{\parallel c}$ および $\rho_{\parallel a}$ はそれぞれ c 軸および a 軸方向の抵抗率) であり、バルク単結晶の報告同様に CoSn の抵抗率は結晶方位に対して顕著な異方性を示す。 $t_{\text{CoSn}} = 50 \text{ nm}$ では、 $\rho_{\parallel c} = 13 \mu\Omega \text{ cm}$, $\rho_{\parallel a} = 118 \mu\Omega \text{ cm}$ であった。なお、 t_{CoSn} の減少とともに $\rho_{\parallel c}$ は増加するが、これにはラフネスの寄与が含まれており、本結果からは、 $\rho_{\parallel c}$ の本質的な膜厚依存性は議論できないと考えられる。

文献 [1] H. Huang, Phys. Rev. Lett. **128**, 096601 (2022). [2] S. Kumar, Phys. Rev. Mater. **6**, 085002 (2022).

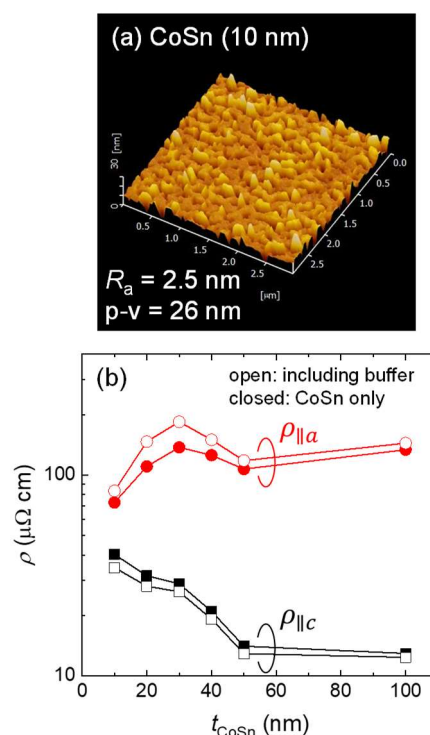


図 1 (a) CoSn (10 nm)の AFM 像。
(b)抵抗率の t_{CoSn} および結晶方位依存性。open symbols はバッファ層を含んだ平均の抵抗率, closed symbols は CoSn のみの抵抗率。

NiAl のエレクトロマイグレーション特性

Electromigration characteristics of NiAl

東北大¹, °(D) 米原 周平¹, 小池 淳一¹

Tohoku Univ.¹, °Shuhei Yonehara¹, Junichi Koike¹

E-mail: yonehara.shuhei.q6@dc.tohoku.ac.jp

背景 ULSI の微細化に伴う電流密度の増加により、Cu 配線のエレクトロマイグレーション(EM)が問題となっている。そこで、Cu 代替材料として金属間化合物が注目されており[1,2]、本研究では、特に電気抵抗率が低く、原子間の結合力が強い NiAl において EM 試験を行い、その挙動と特性について報告する。

実験 図 1 に EM 試験サンプルの概略図を示す。サンプルはフォトリソグラフィとスパッタリングを用いて作製した。初めに、補助導線として TaN を 100 nm 成膜後、Cu 電極(500 nm)を形成し、TaN 上に NiAl を 50 nm 成膜した。EM 試験前に、NiAl を結晶化させるため、400 °C で真空アニールを行った。また、EM 試験は 4 MA/cm²、温度 275 °C ~ 300 °C、試験時間 25 h、真空雰囲気の下で実施した。

結果 図 2(上)に EM 後のカソード側の SEM-EDS 面分析結果を示す。カソード側の表面には 1~2 μm ほどのボイドが観察され、Ni と Al の両方が欠損していた。一方で、図 2(下)の TEM-EDS 結果より、Ni の厚みがカソード端に近いほど薄くなっていることが分かった。ボイド形成においてはその面積から、厚み減少においては EM 前後の厚み変化量より、それぞれドリフト速度を求め、そのアレニウスプロットから活性化エネルギーを算出した。図 3 に NiAl の活性化エネルギーの算出結果を示す。ボイド形成は粒界拡散によるものであり、粒界三重点における原子流束の不均衡で生じたと考えられ、その活性化エネルギーは 1.41 eV、一方で、膜厚減少は界面拡散によると考えられ、活性化エネルギーは 0.75 eV であった。これらの値は Cu の粒界拡散の活性化エネルギー(1.0 eV)、Cu/Co 界面拡散の活性化エネルギー(0.5 eV)よりもそれぞれ高く、NiAl は現状の配線よりも優れた EM 耐性を示した。

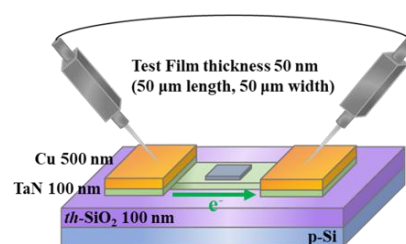


Fig. 1 Sample pad of EM testing.

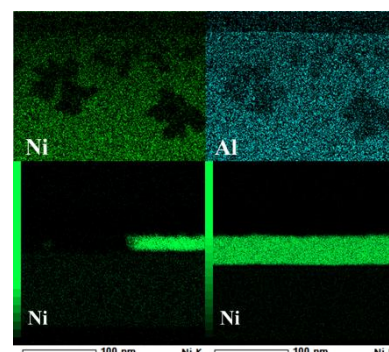


Fig. 2 EDS profile of Ni (upper left) and Al (upper right) at the cathode surface. EDS profile of Ni at 800 nm from the cathode end (lower left) and at 4 μm from the cathode end (lower right) in the cross-section.

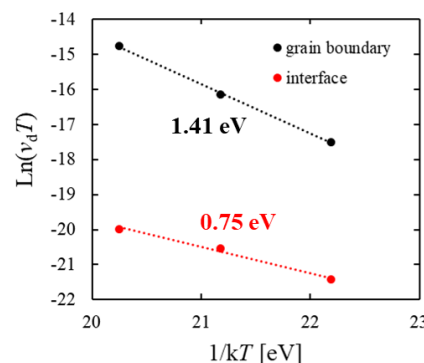


Fig. 3 Activation energy for EM in NiAl.

Reference: [1] L. Chen, D. Ando, Y. Sutou, J. Koike, J. Vac. Sci. Technol. B 37 (2019) 031215.

[2] T. Kuge, M. Yahagi, J. Koike, Journal of Alloys and Compounds 918 (2022) 165615.