

界面欠陥の物理的理解に基づく SiC MOSFET のモデリング

Modeling of SiC MOSFETs based on physical understanding of interface defects

京大院工¹, 日立製作所² ○ 遅 熙倫¹, 伊藤 滉二¹, 須藤 建瑠², 島 明生², 金子 光顕¹, 木本 恒暢¹

Kyoto Univ.¹, Hitachi² ○ X. Chi¹, K. Ito¹, T. Suto², A. Shima², M. Kaneko¹, T. Kimoto¹

E-mail: chixilun@semicon.kuee.kyoto-u.ac.jp

背景・目的 : SiC MOSFET では、界面欠陥による電子捕獲と捕獲された電子によるキャリア散乱が同時に生じ、特性モデリングが困難である。捕獲電子（散乱源）と自由電子の距離が移動度に大きく影響するため[1]、界面欠陥の存在場所を特定することが SiC MOSFET の特性モデリング上、非常に重要である。近年、界面欠陥が主に SiC 側に形成されていると主張する研究が報告された[2-5]が、その存在場所が自由電子移動度 (μ_{free}) に与える影響は解明されていない。本研究では、捕獲電子が SiC 側と MOS 界面ジャストに存在する両ケースを考えた上で μ_{free} を計算し、幅広い実効電界 (E_{eff}) および温度範囲において定量した Hall 移動度 (μ_{Hall}) との比較を行った。捕獲電子が MOS 界面極近傍 SiC 側に存在する場合、 μ_{Hall} の実験結果を数値計算により再現した。この知見をもとに、SiC MOSFET のモデリングを行ったのでその結果について報告する。

デバイス作製・実験方法 : MOSFET のゲート酸化膜は、p 型 4H-SiC(0001)面試料 ($N_A = 3 \times 10^{15} - 1 \times 10^{18} \text{ cm}^{-3}$) に熱酸化+NO アニールを施して作製した (酸化膜厚: 約 50 nm)。作製した試料に対して、200, 296, 400 K において Hall 効果測定を行うことで μ_{Hall} を定量した。

計算方法 : まず、MOS 反転層におけるポテンシャル分布と電子状態 (波動関数とエネルギー) を、有効質量近似に基づく自己無撞着計算により求めた。次に、イオン化不純物・捕獲電子・固定電荷によるクーロン散乱、音響および光学フォノン散乱、表面ラフネス散乱を考慮し、散乱レートを求めた[6]。最後に、得られた電子状態と散乱レートをを用いて、緩和時間近似のもとで μ_{free} を計算した。上記の計算では、界面トラップ密度 (D_{it}) 分布が反転層内の最低量子化準位に追従するものとして、捕獲電子密度 (n_{trap}) を計算した[4]。捕獲電子の存在場所が μ_{free} に与える影響を議論するために、(a)捕獲電子が MOS 界面極近傍 SiC 側に存在する場合と(b)捕獲電子が MOS 界面ジャストに存在する場合の 2 つのケースについて計算した。(a)の場合、捕獲電子は MOS 界面から SiC 側 5 nm 以内にガウス分布で広がるものとして取り扱った[5]。

結果・考察 : 図 1 に $N_A = 3 \times 10^{15} \text{ cm}^{-3}$ の MOSFET の 200~400 K における μ_{Hall} の実験結果と捕獲電子の存在場所を変化させた場合の μ_{free} の計算結果の比較を示す。計算における主なパラメータ (フォノンの変形ポテンシャル、固定電荷密度、表面ラフネスの高さおよび相関長) は、温度によらず一定とした。捕獲電子が SiC 側に存在する場合の計算結果は 200~400 K における実験結果とよく一致している (図 1(a))。一方で、捕獲電子が MOS 界面ジャストに存在する場合の計算結果は実験結果と大きく異なり、 E_{eff} が強くなるほどその乖離が顕著である (図 1(b))。これは、捕獲電子が SiC 側に存在することの妥当性を強く支持する結果である。図 2 に、 $N_A = 3 \times 10^{17} \text{ cm}^{-3}$ の MOSFET の 200~400 K におけるゲート特性の実験結果と捕獲電子が SiC 側に存在する場合の計算結果を示す。計算結果は、 $10^{-10} \sim 10^{-6} \text{ A}$ の広範のドレイン電流範囲で実験結果を精度よく再現できた。このように、捕獲電子が MOS 界面極近傍 SiC 側に存在する効果を考慮することで、散乱機構の物理的理解に基づいた SiC MOSFET のモデルを確立できた。

[1] O. Weber and S. Takagi, *IEEE Trans. Electron Devices* **55**, 2386 (2008). [2] Y. Matsushita et al., *Nano Letters* **17**, 6458 (2017).

[3] T. Kobayashi and Y. Matsushita, *J. Appl. Phys.* **126**, 145302 (2019).

[4] K. Ito et al., *J. Appl. Phys.* **128**, 095702 (2020).

[5] H. Fujii et al., *Appl. Phys. Express* **17**, 041004 (2024).

[6] H. Tanaka and N. Mori, *Jpn. J. Appl. Phys.* **59**, 031006 (2020).

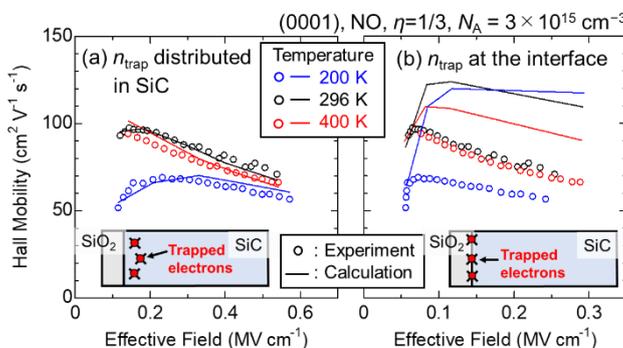


Figure 1: Effective field (E_{eff}) dependence of experimental Hall mobilities (symbols) and the calculated free electron mobilities (solid lines) for a MOSFET with N_A of $3 \times 10^{15} \text{ cm}^{-3}$ at various temperatures, for the case (a) the trapped electrons are distributed within the SiC side of the MOS system and (b) the trapped electrons are located at the MOS interface. The same n_{trap} values are used in both cases. Note that only n_{free} contributes to the E_{eff} in (b).

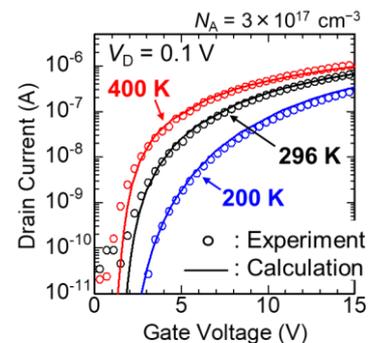


Figure 2: Experimental (symbols) and calculated (solid lines) gate characteristics of MOSFETs with N_A of $3 \times 10^{17} \text{ cm}^{-3}$ at 200, 296, and 400 K.