

Oral presentation | 9 Applied Materials Science : 9.3 Nanoelectronics

📅 Sun. Mar 16, 2025 9:00 AM - 11:45 AM JST | Sun. Mar 16, 2025 12:00 AM - 2:45 AM UTC 🏢 K307
(Lecture Hall Bldg.)

[16a-K307-1~10] 9.3 Nanoelectronics

Shigeru Imai(立命館大), Kensaku Chida(NTT)

9:00 AM - 9:15 AM JST | 12:00 AM - 12:15 AM UTC

[16a-K307-1]

Representation of aggregation process in Diffusion Limited Aggregation model on single-electron circuits

○Ryoga Miyakoshi¹, Takahide Oya^{1,2} (1.Yokohama National Univ., 2.IMS, Yokohama National Univ.)

9:15 AM - 9:30 AM JST | 12:15 AM - 12:30 AM UTC

[16a-K307-2]

New settings of single-electron amoeba circuit for solving Traveling Salesman Problem

○Ryo Takemoto¹, Takahide Oya^{1,2} (1.College of Eng. Sci., Yokohama Nat'l Univ, 2.IMS, Yokohama Nat'l Univ)

9:30 AM - 9:45 AM JST | 12:30 AM - 12:45 AM UTC

[16a-K307-3]

Design of signal amplification circuit and its application to thermal-noise-harnessing single-electron circuit

○(B)Airi Taguchi¹, Takahide Oya^{1,2} (1.College of Eng. Sci., Yokohama Nat'l Univ., 2.IMS, Yokohama Nat'l Univ.)

◆ Presentation by Applicant for JSAP Young Scientists Presentation Award

9:45 AM - 10:00 AM JST | 12:45 AM - 1:00 AM UTC

[16a-K307-4]

Energy Efficiency Limits of DRAM Cells: Dependence on Cell Capacitance

○Takase Shimizu¹, Kensaku Chida¹, Gento Yamahata¹, Katsuhiko Nishiguchi¹ (1.NTT BRL)

10:00 AM - 10:15 AM JST | 1:00 AM - 1:15 AM UTC

[16a-K307-5]

Observation of fluctuating heat current across capacitively-coupled silicon nanometer-scale dots

○Kensaku Chida¹, Antoine Andrieux¹, Katsuhiko Nishiguchi¹ (1.NTT BRL)

10:30 AM - 10:45 AM JST | 1:30 AM - 1:45 AM UTC

[16a-K307-6]

Dependence of nanogap position on gate structure during electromigration

Yuki Tsutsui^{1,2}, Hisashi Shima¹, Hiroyuki Akinaga¹, Hiroshi Suga², OYasuhisa Naitoh¹ (1.AIST, 2.CIT)

10:45 AM - 11:00 AM JST | 1:45 AM - 2:00 AM UTC

[16a-K307-7]

Study on Non-destructive Characterization of Embedded Nano-structure in Si MOSFET Using Machine Learning

○Renxiang Lyu¹, Seiya Kasai¹ (1.RCIQE, Hokkaido Univ.)

◆ English Presentation

11:00 AM - 11:15 AM JST | 2:00 AM - 2:15 AM UTC

[16a-K307-8]

Ortho-para nuclear spin isomer fluctuation of a H₂O molecule in H₂O@C₆₀ single molecule transistors

○Tian Yue¹, Shaoqing Du^{1,3}, Katsushi Hashimoto⁴, Yoshifumi Hashikawa⁵, Murata Yasujiro⁵, Yoshiro Hirayama⁴, Kazuhiko Hirakawa^{1,2} (1.IIS, Univ.of Tokyo, 2.INQIE,Univ.of Tokyo, 3.SIMIT, CAS, 4.Phys. Dept., Tohoku Univ., 5.ICR, Kyoto Univ.)

11:15 AM - 11:30 AM JST | 2:15 AM - 2:30 AM UTC

[16a-K307-9]

Design of new single-electron circuit to count number of electron tunneling occurrence for expression of Prim's algorithm on single-electron circuit

○Shunpei Ishii¹, Takahide Oya^{1,2} (1.Grad. School Eng. Sci, Yokohama Nat'l Univ., 2.IMS, Yokohama Nat'l Univ.)

11:30 AM - 11:45 AM JST | 2:30 AM - 2:45 AM UTC

[16a-K307-10]

Performance improvements of single-electron logic gates inspired from particle computation

○Soki Mizuno¹, Takahide Oya^{1,2} (1.Yokohama National Univ., 2.IMS Yokohama National Univ.)

巡回セールスマン問題を解く単電子粘菌回路の新設定 New settings of single-electron amoeba circuit for solving Traveling Salesman Problem

○竹本 椋¹, 大矢 剛嗣^{1,2} 1 横国大理工, 2 横国大 IMS

○Ryo Takemoto¹, Takahide Oya^{1,2}

1 College of Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.

Email: takemoto-ryo-hn@ynu.jp

【研究背景・目的】

近年、情報化社会の基盤となっているノイマン型コンピュータは、最適化問題等の非線形情報処理を苦手としている。そこで、本研究ではそのような情報処理を行える新たな回路として単電子回路に着目している。

単電子回路は量子効果を利用することで、電子を一個単位で制御可能な回路であり、並列処理等の利点を有する。その一方、未だ最適な情報処理手法が確立されていない。

そこで、自然界の生物である粘菌が情報処理的な挙動を取ることに着目した。粘菌は餌を求めて自らの体を外部に広げる一方、光刺激を受けるとそれを避けるよう体を縮めるといった挙動を取る。これらを利用し、巡回セールスマン問題の最適解が導出可能であることが報告されている^[1]。

本研究では、粘菌による巡回セールスマン問題の求解における一連の流れを単電子回路上で表現し、巡回セールスマン問題の最適解を導出する新たな情報処理回路の実現を目的とする。

【研究内容】

単電子回路上で粘菌による巡回セールスマン問題の求解を表現するにあたって、単電子振動子を二次元上に配列した楕形の回路(Fig. 1)を用いる。回路の左端から外部電圧による電子トンネルが発生する度に、それに基づいた電圧変化の波が右側の各レーンへと拡散する。各レーンは都市とその訪問順に対応しており、経路幅が狭いレーンでは波が伝搬しにくいことが分かっている。本研究ではバイアス電圧を逐次的に変化させることで経路幅を調整し、各レーンの端部に波が到達する回数に差異が生まれ、解が導出される。バイアス電圧の調整には、都市間のコスト、粘菌がレーンに占める体積等を用いるが、粘菌の体積の増減は、定数を用いて表現している。

前回の報告^[1]では、先行研究^[2]において最適解を導出できなかった問題を波の到達回数に一定の基準を設けることで解決した。また、都市数を増加させた場合のシミュレーションでは、10都市の巡

回セールスマン問題で、さらなる性能向上へ改良が必要であった。

この問題における解である巡回路は、出発した都市に戻る経路である。それが表現できていない問題を解決するため、最初に訪れる都市と最後に訪れる都市にも結合のコストを設けることでより適切な解が導出された。

さらに、都市数を N としたとき外部計算がレーン数 N^2 に比例して増加することを考慮して、外部計算を削減した。具体的には、粘菌の体積の増加に、定数ではなく電子トンネルの波の到達回数を導入した。

現在は12都市までの巡回セールスマン問題でシミュレーションを行っており、巡回コストの小ささで上位0.5%以内に入る解が安定して導出されている。詳細は講演にて述べる。

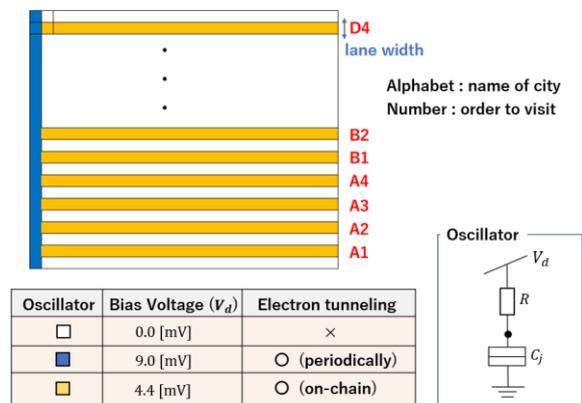


Fig. 1 Design of comb-shaped circuit

【参考文献】

- [1] Liping Zhu et al., Royal Society Open Science, vol. 5, pp. 1-13, (2018).
- [2] 松岡拓哉, 他, 第82回応用物理学会春季学術講演会, 13a-N403-6, (2021).
- [3] 竹本椋, 他, 第85回応用物理学会秋季学術講演会, 19a-D63-4, (2024).

【謝辞】

本研究の一部はJSPS 科研費・基盤研究(A) (JP23H00169)の助成を受け実施された。

熱雑音を利用する単電子回路のための信号増幅回路設計とその応用

Design of signal amplification circuit and its application to thermal-noise-harnessing single-electron circuit

田口 愛梨¹, 大矢 剛嗣^{1,2} (1 横国大理工, 2 横国大 IMS)

Airi Taguchi¹, Takahide Oya^{1,2}

1 College of Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.

E-mail: taguchi-airi-zd@ynu.jp

1. 研究背景・目的

近年ナノテクノロジーが発展し、様々なナノデバイスが開発が進んでいる。その一つに単電子デバイス/回路があるが、ノイズに非常に弱いことが知られている。ノイズはシステムにおいて障害とみなされ、一般的には排除される。しかし、生体では確率共鳴と呼ばれる現象を巧みに利用し、高精度なセンシング等にノイズが活用されている。

本研究では確率共鳴現象を取り入れ、ノイズを利用して動作する単電子回路として、三連単電子箱回路を用いた信号増幅回路の設計、論理回路への応用を目的とする。

2. 研究内容

本研究では、これまでに設計した単電子メモリ対回路にて、ノイズを利用し所望の動作をすること、論理回路への応用展開が可能であることを報告している^[1]。一方で、出力振幅が減少するという課題が残されていた。前回の報告では、単電子箱を三つ相互に作用するよう接続した回路である、三連単電子箱回路を設計した。三連単電子箱回路は三安定性を示し、熱雑音を利用する挙動を確認した^[2]。そこで今回は三連単電子箱回路を用いた信号増幅回路の設計を行い、その応用として、出力振幅減少の課題を克服する全加算器を検討する。

今回設計した信号増幅回路 (Fig. 1) は、三連単電子箱回路に RC 積分回路を接続した構造をとる。RC 積分回路を導入することで出力を安定させることができる。また出力を見る際には Fig. 1 の回路において並列加算ネットワーク^[3]を構成し、25 個の出力の和を見る。Fig. 1 より、入力電圧に対して出力電圧が反転増幅することが確認された。

そこで、これまでに設計された全加算器^[1]に、信号増幅回路を接続し、出力振幅が入力振幅と等しい全加算器へと改良を行った。増幅前後の出力を

比較すると、信号増幅回路によって論理 1 に対応する出力が 20mV まで増幅した (Fig. 2)。全加算器において、論理 1 の入力は 20mV であることから、改良した全加算器が期待通りの動作を示すことを確認できた。詳細は講演にて述べる。

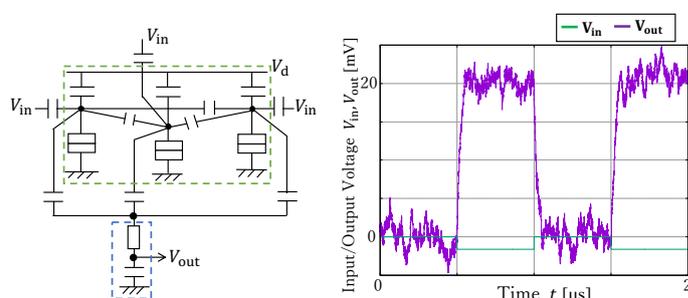


Fig. 1 Signal amplification circuit using triple single-electron box circuit.

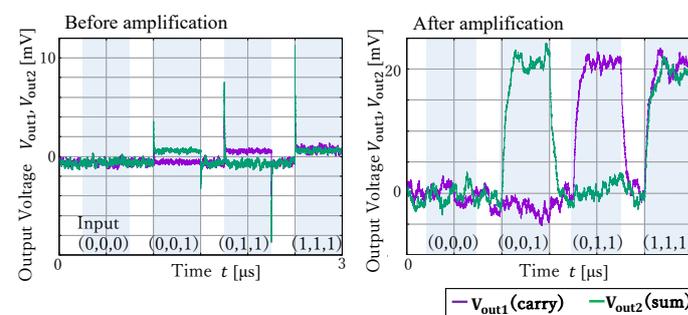


Fig. 2 Simulation result of 1 bit-full adder.

【参考文献】

- [1] R. Kaide, et al., JJP **60**, 085001 (2021).
- [2] 田口愛梨 他, 第 85 回応用物理学会秋季学術講演会, 19a-D63-5, (2024).
- [3] J.J. Collins, et al., Nature **376**, 236 (1995).

【謝辞】

本研究の一部は JSPS 科研費・基盤研究(A)(JP23H00169)の助成を受け実施された。

DRAM セルのエネルギー効率限界：セル容量依存性

Energy Efficiency Limits of DRAM Cells: Dependence on Cell Capacitance

NTT 物性基礎研 ○清水 貴勢, 知田 健作, 山端 元音, 西口 克彦

NTT Basic Research Labs., ○Takase Shimizu, Kensaku Chida, Gento Yamahata, Katsuhiko

Nishiguchi

E-mail: takase.shimizu@ntt.com

Dynamic Random Access Memory (DRAM) は、現在の情報処理システムにおいて最も一般的なメモリであり、そのエネルギー高効率化は重要な課題である。DRAM において 1bit の情報を担う DRAM セル(Fig. 1a)自体の消費エネルギーは、周辺回路と比べれば小さいと考えられているものの、今後の最適化を踏まえて到達し得る DRAM セルの原理的限界を評価することは、MRAM や ReRAM など他のメモリ技術との比較においても意義深い。

我々はこれまで、単一の DRAM セルが到達し得るエネルギー効率の限界について、理論的および実験的に検討してきた[1]。今後、DRAM のセル容量が更に小さくなると予想される中、セル容量がエネルギー効率に与える影響については十分に検討されていない。本発表では、効率とセル容量の関係を明らかにする計算結果を報告する。

本研究では、論理状態「0」「1」が同じ確率で偏りなく書き込まれた DRAM セルを「1」へ書き換える場合(Fig. 1b)を想定してエネルギー効率 $\eta = -k_B T \Delta S / Q$ を求めた。ここで ΔS は書き換えに伴うシャノンエントロピー変化、 Q は発熱(エネルギー消費)、 k_B はボルツマン定数、 T は温度である。なお、 ΔS は書き換えエラー率 ϵ に対する増加関数であり、エラーの熱力学的指標と解釈できる。

さらに、 $\eta = 1$ はランダウア限界と呼ばれ、熱力学第二法則に基づく理想的な最高効率であり、準静的操作で達成可能である。本研究では、理想的な状況として熱ノイズのみが存在し、漏れ電流は無視でき、書き換え操作には無限の時間をかけられる我々独自の DRAM[2]を想定した。その上で、書き換えに伴う放電および充電の各過程における発熱やエントロピー変化を、カノニカル分布等から計算している。

Fig. 1c に、様々な ϵ に対するエネルギー効率 η の、チャージングエネルギー $E_c = e^2/2C$ (C : セル容量) 依存性を示す ($T = 300$ K)。丸印は $E_c = 8.1$ meV の DRAM セルに関する測定結果であり、計算結果との高い一致は本モデルの妥当性を裏付ける。グラフから、 η は E_c に対して単調増加し、エラー ϵ が小さいほど全体的に効率が低下する傾向がみられる。興味深いことに、 E_c が $k_B T$ より十分大きくなると、効率は1に漸近する。これは、系が実質的に二準位系になることでランダウア限界に到達する条件である準静的な書き換え操作が可能となるためと考えられる。本発見は、DRAM セルにおける単電子効果とエネルギー効率の関係を示唆するものであり、DRAM のエネルギー高効率化に向けた新たな方向性を示唆するものである。

[1] 2024 年 第 85 回 応用物理学会 秋季学術講演会 19a-D63-9. [2] K. Nishiguchi et al., Nanotechnol. 25, 275201 (2014).

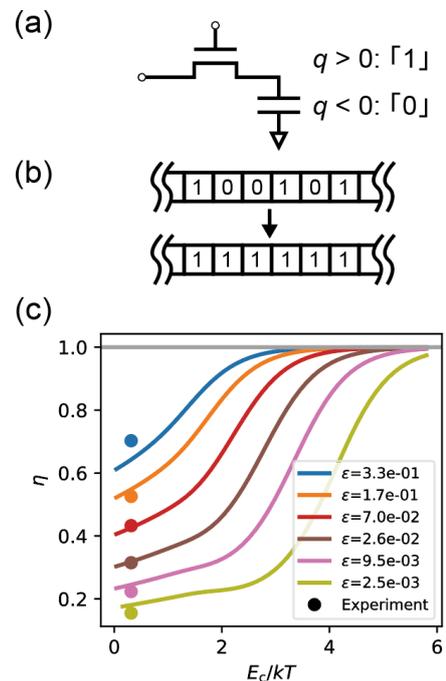


Fig. 1: (a) Circuit diagram of a DRAM cell. (b) Rewrite operation process. (c) Calculated efficiency η as a function of E_c/kT at various error rates ϵ . Markers are experimental data for $E_c = 8.1$ meV.

静電結合したシリコンナノドット間を流れる熱流ゆらぎの観測

Observation of fluctuating heat current across capacitively-coupled silicon nanometer-scale dots

NTT 物性科学基礎研究所 ◦知田 健作, Antoine Andrieux, Katsuhiko Nishiguchi

NTT Basic Research Laboratories

◦Kensaku Chida, Antoine Andrieux, Katsuhiko Nishiguchi

E-mail: kensaku.chida@ntt.com

【概要】 ナノデバイス中の熱流（エネルギーの流れ）はゆらいでおり、その大きさはデバイスの動作効率と密接に関わっている。しかし、ナノデバイスの熱流を外乱なく正確に測定することは極めて困難である。本講演では、単電子ダイナミクス計測によりナノドット間を流れる熱流のゆらぎを観測したので、その手法について報告する。

【理論】 静電結合したナノデバイス中で一連の電子遷移が特定の順番で起こると、静電結合に誘起された熱流が発生する[1]。例えば、Fig. 1 に 1 から 4 で示す電子遷移によりドット内電子数(N_1, N_2)が $(0, 0) \rightarrow (0, 1) \rightarrow (1, 1) \rightarrow (1, 0) \rightarrow (0, 0)$ と変化すると、Dot1 から Dot2 へ向かい $Q = E_{Cm}$ の熱が流れる。ここで、 N_1 (N_2) は Dot1 (Dot2)内電子数、 E_{Cm} はドット間の静電結合強度である。Fig. 1 中の(2) [(3)] は 2 番目 (3 番目) の電子遷移によって Dot1 (Dot2) の電子数が増えた (減った) ことで静電結合により Dot2 (Dot1) のエネルギーがその強度 E_{Cm} だけ増大 (減少) することを表す。電荷はドット間容量 C_m を貫通して移動しないのに対し、エネルギーは Dot1 (Dot2) への電子遷移によって C_m を貫通して Dot2 (Dot1) まで伝わる。そのため、この熱流は電流とは空間的に分離された場所を流れる。

Fig. 2 に電子遷移によって N_1 - N_2 状態空間上に描かれる軌跡の例を示す。Fig. 1 に示される一連の電子遷移は N_1 - N_2 状態空間上では反時計回りの面積 $S = 1$ のループに対応する (Fig. 2 左上)。 E_{Cm} は Q と S を繋ぐ変換係数の役割を担っており、このループが運ぶ Q の絶対値は $|Q| = SE_{Cm}$ である。また、時計回りのループは熱を逆方向 ($Q < 0$) に移動させる (Fig. 2 右上)。この様に、単電子ダイナミクス計測を行って N_1 - N_2 状態空間上に描かれるループの面積と回転方向を求めることで、静電結合に誘起される熱流を計数し、そのゆらぎを計測することができる。

【実験】 実験で用いた素子は Silicon on insulator 基板上に作製された静電結合した二つのナノドット、検出器、ゲート電極、電子溜から構成され (Fig. 3)、検出器電流 I_D は単電子熱運動による N_1 と N_2 の変化に応じて離散的な値を示す (Inset of fig. 3)。 I_D をモニタし N_1 と N_2 をそれぞれ求めることで、単電子熱運動により N_1 - N_2 状態空間上に描かれる軌跡が求められる。また、 E_{Cm} の大きさは軌跡から得られる N_1 と N_2 の相関の大きさから導出した [2]。全ての実験は室温 (300 K) で行った。

当日の講演では、平衡状態にある静電結合したシリコンナノドットを出入りする単電子ダイナミクスから、平均ゼロの熱流がゆらいでいる様子を観測した実験結果について報告する。

【謝辞】 本研究について議論頂きました北大葛西誠也教授と筑波大都倉康弘教授、NTT 林稔晶博士、清水貴勢博士、藤原聡博士に感謝いたします。**【参考文献】** [1] R. Sanchez, and M. Buttiker, *EPL* **100**, 47008 (2012). [2] 知田健作 他 第 85 回応用物理学会秋季学術講演会, 19a-D63-7 (2024).

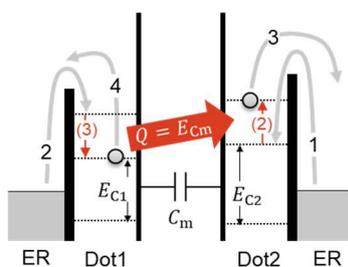


Fig. 1 Schematic illustration of heat current. Through the set of electron transition, heat $Q = E_{Cm}$ transfers from dot1 to dot2. No charge flows through the dots.

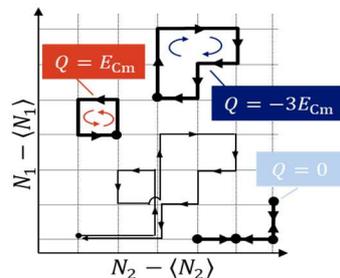


Fig. 2 Schematic illustration of a trajectory on the N_1 - N_2 state space. The area and rotation direction of a loop correspond to the amount and the direction of Q , respectively.

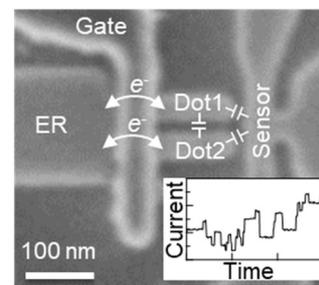


Fig. 3 Scanning electron microscope image of our device. Electrons thermally hop between the dots and ER. (Inset) Sensor current as a function of time.

ゲート電極構造による電界破断位置依存性

Dependence of nanogap position on gate structure during electromigration

産総研¹, 千葉工大² 筒井優貴^{1,2}, 島久¹, 秋永広幸¹, 菅洋志², 内藤泰久¹

AIST¹, CIT² Y. Tsutsui^{1,2}, H. Shima¹, H. Akinaga¹, H. Suga², and Y. Naitoh¹

E-mail: ys-naitou@aist.go.jp

エレクトロマイグレーション (Electromigration: EM) は、電圧印加を厳密に実施することで破断部の大きさをナノスケールに調整できるため、ナノギャップ (nanogap) 構造を作製する重要な技術の一つとして利用されている。一方で、EM は集積回路の不良を引き起こす原因とされ、いかに回避するかが議論されてきた。これは、破断位置が基本的にランダムであり、予期せず入った欠陥がその起点になるなど、制御できない現象であると見なされているためである。Figure(a)(b)の電子顕微鏡 (FESEM) 像のように、金属ナノ配線を破断した際、配線の中央からおおよそ陰極側に破断個所が発生することが知られているが、位置のばらつきは大きい。一方で、EM を誘発する電圧に交流を用いることで、それを中心付近にある程度誘導できるという報告もあるが[1,2]、金属細線の任意位置に対する破断位置制御手法は確立していなかった。

近年、EM 現象は配線表面の最表面原子が輸送される現象が関与していることが報告されている[3]。そのメカニズムを参考に、配線に対抗したゲート電極から外部電界を印加することで、この最表面原子輸送を制御する手法を考案した。

Figure(c)(d)に示すように、ゲート電極構造に局所ノッチ構造を取り入れ、印加する外部電界の大きさを局所的に弱くした Pt 細線に EM を行った後の FESEM 像を示す。その結果、破断位置は下部に配置されたゲート電極構造のノッチ部分に誘導できていることが分かった。この結果は、EM 破断位置の制御や EM 耐性の向上につながる技術として期待できる。講演では、これらの結果の詳細について報告する。

[1] S. D. Sawtelle, *et al.*, *Appl. Phys. Lett.* **113** (2018) 193104.

[2] H. Suga, *et al.*, *ACS Appl. Nano Mater.* **3** (2020) 4077.

[3] Y. Tian, *et al.*, *Appl. Phys. Express* **16** (2023) 085001.

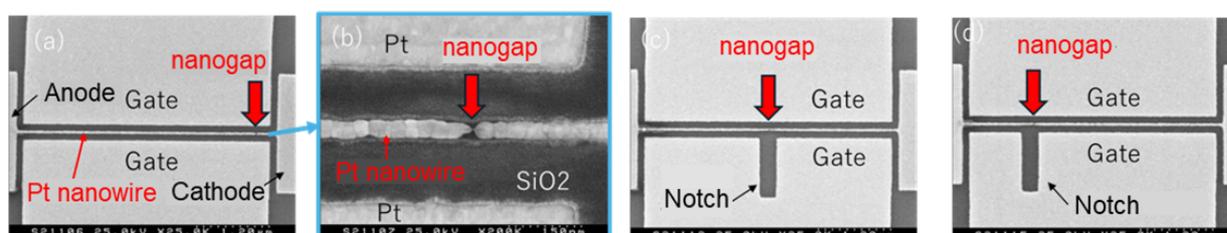


Figure FESEM images of nanogap position by electromigration method without (a)(b) and with notch structure on the lower gate electrode (c)(d).

機械学習を用いた Si MOSFET 埋め込みナノ構造の非破壊評価の検討

Study on Non-destructive Characterization of Embedded Nano-structure in Si MOSFET Using Machine Learning

北大 量集センター¹, 呂任翔¹, 葛西誠也¹

RCIQE, Hokkaido Univ.¹, [○]R. Lyu¹ and S. Kasai¹

E-mail: renxiang.lyu.j8@elms.hokudai.ac.jp

はじめに：ランダムナノ構造を識別子とするナノ人工物メトリクス[1]の実用化に必要な簡便な構造識別法として、我々は Si MOSFET にナノ構造を埋め込み、その電気的特性にナノ構造の特徴を反映させる手法を検討している。現状、デバイスシミュレーションで明確なナノ構造応答が得られているが、試作素子では応答が再現できていない[2]。原因として試作過程において埋め込みナノ構造の断面形状が変化していることが考えられるが、複数の素子について実験的にナノ構造の断面を評価し電気的特性との相関を得ることは容易ではない。そこで本研究では、機械学習を利用することで非破壊的に埋め込んだナノ構造の情報を取得する方法について検討した。

方法：ナノ構造を埋め込んだ Si MOSFET のドレイン電流-電圧 ($I_{DS}-V_{DS}$) 特性を入力として埋め込んだ構造の形状を出力する機械学習モデルを構築し、電流-電圧特性から構造の形状や位置を推論する。今回は、デバイスシミュレータを用いて取得した $I_{DS}-V_{DS}$ 特性を入力、設定したナノ構造を教師データとし、総計 2000 個のノードを持つ 2 層の帰還型ニューラルネット (RNN) を用いて学習を行った。推論した凸構造形状を表す 20 点の座標データを出力させる。コンセプト実証のため素子構造は 2 次元とした。

結果と考察：シミュレーションした素子構造と得られた $I_{DS}-V_{DS}$ 特性を Fig. 1 に示す。埋め込んだ単一ナノ凸構造は幅 $D=100$ nm、高さ $H=50$ nm である。ゲート酸化膜は 10 nm、凸構造の位置はドレイン端から 100 nm である。ナノ構造埋め込みにより $I_{DS}-V_{DS}$ 特性が大きく変化するのがわかる。学習したモデルによって推論されたナノ凸構造と設定構造を Fig. 2 に示す。形状に揺らぎが見られるが構造の幅と高さはほぼ再現されており、 $I_{DS}-V_{DS}$ 特性から埋め込み構造の情報を非破壊で取得できる可能性が示された。一方、推論された構造位置が 60 nm ほどドレイン側にずれており、RNN モデルの学習精度がまだ十分ではないと考えられる。今後 RNN の層数やノード数の最適化、学習データの増加を試みる。

[1] T. Matsumoto *et al.*, *Sci. Rep.* **4**, 6142 (2014).

[2] T. Mitsuya *et al.*, *JJAP* **63** 03SP60 (2024).

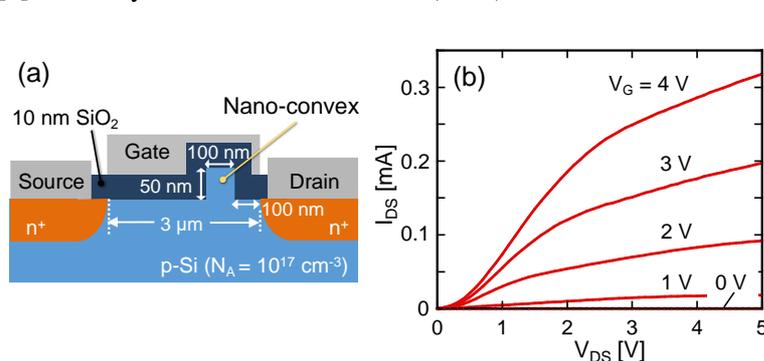


Fig. 1 (a) Simulated nano-convex-embedded Si MOSFET structure and (b) obtained $I_{DS}-V_{DS}$ curve.

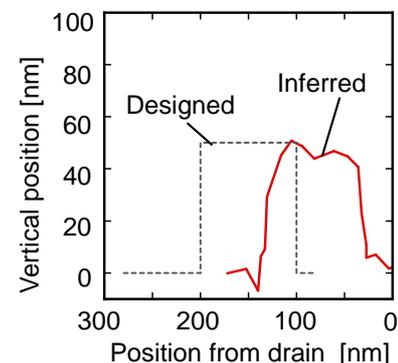


Fig. 2 Comparison between designed and inferred nano-convex structures.

Ortho-para nuclear spin isomer fluctuation of a H₂O molecule in H₂O@C₆₀ single molecule transistors

H₂O@C₆₀ 単一分子トランジスタ中の水分子のオルソ-パラ核スピン異性体間揺らぎ

¹東大生研・²ナノ量子機構・³上海マイクロシステム情報技術研、⁴京大化研、⁵東北大理
田 玥¹, 杜 少卿^{1,3}, 橋本克之⁵, 橋川祥史⁴, 村田靖次郎⁴, 平山祥郎⁵, 平川一彦^{1,2}

¹IIS/INQIE, Univ. of Tokyo, ³SIMIT, CAS, ⁴ICR, Kyoto Univ., ⁵Phys. Dept., Tohoku Univ.

°Yue Tian¹, Shaoqing Du³, Katsushi Hashimoto⁵, Yoshifumi Hashikawa⁴, Yasujiro Murata⁴, Yoshiro Hirayama⁵,
Kazuhiko Hirakawa^{1,2}

E-mail: tianyue@iis.u-tokyo.ac.jp

The nuclear spin isomers of a H₂O molecule in single H₂O@C₆₀ molecule, in which a single water molecule is encapsulated within a C₆₀ fullerene cage, is attractive for its potential applications to quantum memory. In our previous study, we performed tunneling spectroscopy measurements on H₂O@C₆₀ single molecule transistors (SMTs) and observed both para (p)- and ortho (o)-states in tunneling conductance spectra, which suggests that the nuclear spin state of H atoms in the H₂O molecule fluctuates quickly between the p-and o-states [1]. However, systematic investigation on how this o-p fluctuation takes place is still missing.

We propose a "selection rule" for the o-p conversion process in H₂O@C₆₀ SMTs. Figures 1(a), 1(c), and 1(e) show energy diagrams, illustrating possible nuclear spin flip processes. The angular momentum of the system consists of rotational excitation of the H₂O molecule (J), spin of a conduction electron (S), and the nuclear spin (I). During the tunneling process, total angular momentum $F = I + J + S$ needs to be conserved. Figures 1(a), 1(c), and 1(e) respectively illustrate the interactions between I and S , between I and J , and of all I , J , and S . Diagonal transition paths generate different excited states that appear in the Coulomb stability diagrams, shown in Figures 1(b), (d), and (f). Details will be discussed in the presentation.

References [1] S. Du et al., Nano Lett. **21**, 24 (2021).

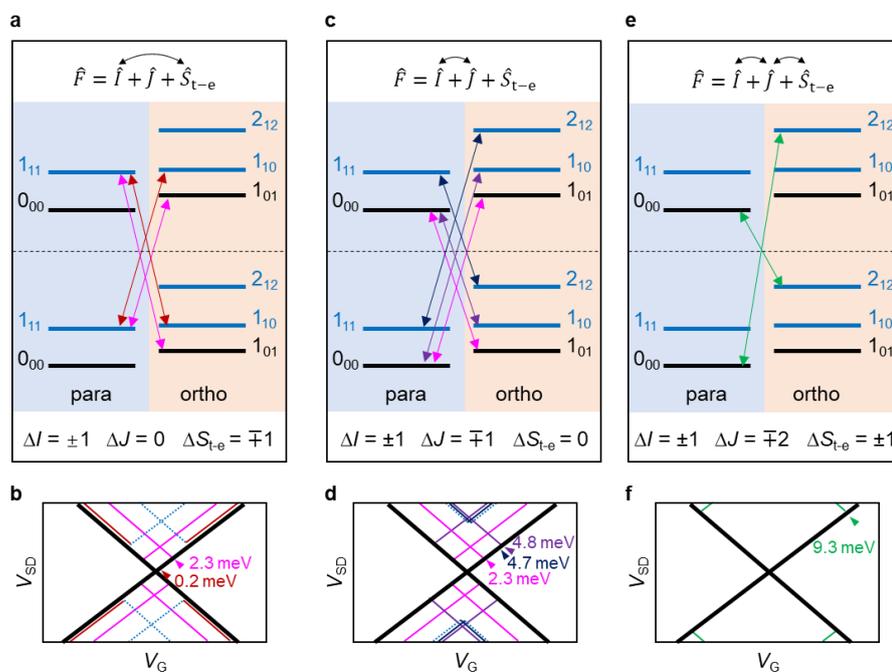


Fig.1 Possible conversion processes between o-H₂O and p-H₂O, involving (a) spin of a conduction electron, (c) rotational excitation of H₂O molecule, and (e) both electron spin and molecule rotation. The corresponding Coulomb stability diagrams are shown in (b), (d), and (f).

単電子回路によるプリム法の表現のための電子トンネルカウント回路

Design of new single-electron circuit to count number of electron tunneling occurrence for expression of Prim's algorithm on single-electron circuit

○石井 峻平¹, 大矢 剛嗣^{1,2} (1 横国大院理工、2 横国大 IMS)

○S. Ishii¹, T. Oya^{1,2} (1 Grad. School Eng. Sci., Yokohama Nat'l Univ., 2 IMS, Yokohama Nat'l Univ.)

Email: ishii-shunpei-ph@ynu.jp

【研究背景・目的】

近年、新たな情報処理手法実現のためのデバイスとしてナノデバイスの研究がなされている。その1つとして単電子回路がある。単電子回路は量子効果を利用することで、電子を1個単位で制御することが可能であり、並列処理に優れているなどの特徴を持つ。そのため、ノイマン型コンピュータが苦手とするタイプの情報処理を実行可能なデバイスとして期待されている。しかし、依然として最適な情報処理手法が確立されていないという課題がある。

そこで最小全域木問題の解法の1つであるプリム法に注目した^[1]。単電子回路の素子の1つである単電子振動子には、二次元マトリクス状に接続することで波の伝搬を表現することができる^[2]。この挙動をプリム法のプロセスと対応付け、単電子回路上でプリム法を表現し、新たな情報処理手法を確立することを目的とする。

【研究内容】

前回の報告では、単電子振動子の二次元配列の持つ経路幅に応じて波の伝搬速度が異なるという特性を応用し、時間経過で動的に経路幅を調整することで、グラフの重みを表現する回路について述べた^[3]。

しかし、前回報告した回路では、電子トンネルの回数を比較することによって、重みの最も小さい辺の探索を行っていたため、電子トンネル回数をカウントする回路が必要となる。そこで、単電子回路の素子の一つである単電子メモリと単電子振動子を組み合わせることで、電子トンネル回数を単電子回路上でカウントすることを試みた。

単電子メモリとはバイアス電圧 V_d 、コンデンサ、トンネル接合二つを直列に接続した素子であり、ヒステリシス特性を持ち、異なる二状態を保持することができるという特徴を持つ (Fig. 1)。このような特徴を持つ単電子メモリと単電子振動子を接続した回路を複数用意することで、電子トンネルの回数をカウ

ントする回路の設計を試みた (Fig. 2)。詳細は講演にて述べる。

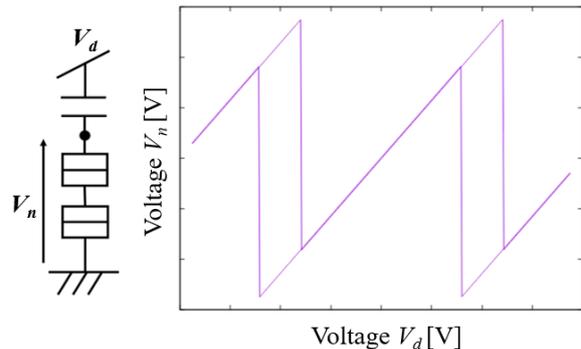


Fig. 1. Circuit structure and sample operation of single-electron memory.

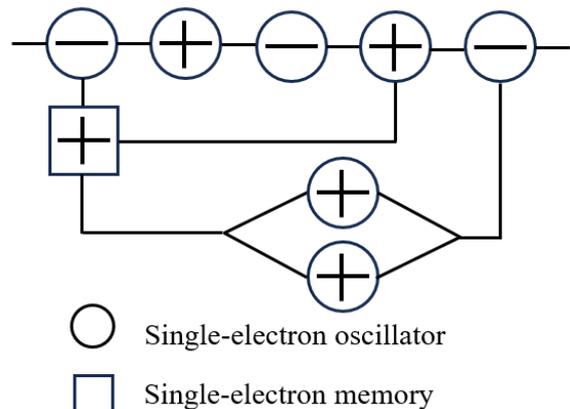


Fig. 2. Designed counting the number of electron tunneling occurrence. "+" and "-" in each symbol indicate polarity of bias voltage.

【参考文献】

- [1] 惠羅 博, 土屋守正, 増補改訂版 グラフ理論, 産業図書, pp. 47-55, (2010).
- [2] T. Oya, et al, Journal of Unconventional Computing, vol.1, pp. 177-194, (2005).
- [3]. 石井 他, 第 85 回応物秋季講演会, 16p-B2-15, (2024).

【謝辞】

本研究の一部は JSPS 科研費・基盤研究 (A)(JP23H00169)の助成を受け実施された。

Particle Computation に学ぶ単電子論理ゲートの課題とその改善策

Performance improvements of single-electron logic gates inspired from particle computation

○水野 創樹¹、大矢 剛嗣^{1,2}

1 横浜国立大学 大学院理工学府, 2 横浜国立大学 総合学術高等研究院

○Soki Mizuno¹, Takahide Oya^{1,2}

1 Graduate School of Engineering Science, Yokohama National University,

2 Institute for Multidisciplinary Sciences, Yokohama National University

Email: mizuno-soki-gb@ynu.jp

1. 研究背景・目的

近年、情報化社会が進展していく中で、非ノイマン型の情報処理デバイスが求められている。その中で、単電子デバイスが注目されている。単電子デバイスは、電子の一個単位での制御、並列処理、非線形動作といった優れた特徴を有している。しかし、単電子回路の最適な情報処理手法は確立されていない。そこで、本研究では粒子と障害物を用いて情報処理を行う Particle Computation^[1](PC)に着目した。PCでは、格子状のマスに粒子と障害物を配置する。配置された粒子に対して“Go Up”(u)、“Go Right”(r)、“Go Down”(d)、“Go Left”(l)という任意の方向へ粒子を移動させる命令を与える。粒子が移動する際に障害物や静止している粒子に衝突した場合、そのマスで静止する。各命令は全粒子が静止するまで実行される。命令を繰り返すことで情報処理が実行され、全ての命令セットを実行した後、最終的な粒子の配置が情報処理の結果となる。PCでは、複雑な論理ゲートの実現が報告されており、さらに様々な応用が期待できる情報処理手法である。本研究では、単電子回路の優れた特徴を生かし、PCを利用した単電子情報処理デバイスの構築を目的とする。

2. 研究内容

前回は二粒子で命令セットが<d, l, u, r, d>である単電子PC回路シミュレーションについて報告した^[2]。今回は現在の回路構成における課題とその解決策について報告する。

単電子PC論理ゲート回路では、粒子を命令方向に移動させる命令方向回路と粒子の静止した位置を記録する衝突判定回路を命令ごとにそれぞれ用意することによって情報処理を実行する。前回の報告では、伝搬する際に粒子が消えてしまう問題を、命令方向回路を次の命令方向回路と接続するという構成を用いて解

決した。しかし、粒子ごとの伝搬速度に差が生まれてしまっており、それぞれの粒子の伝搬に影響を与える可能性が高く、期待通りに動作する確率が極めて低い。そこで、伝搬速度の差を小さくするために多重トンネル接合型の振動子を利用する。トンネル接合が複数あることによって電子トンネルの発生確率が平均化されるため、確率を与える伝搬速度の差が小さくなりやすい。

今回の報告では、多重トンネル接合型の振動子を用いた単電子PC論理ゲート回路(Fig. 1)を設計し、動作確認をシミュレーション上により行った。詳細は講演にて述べる。

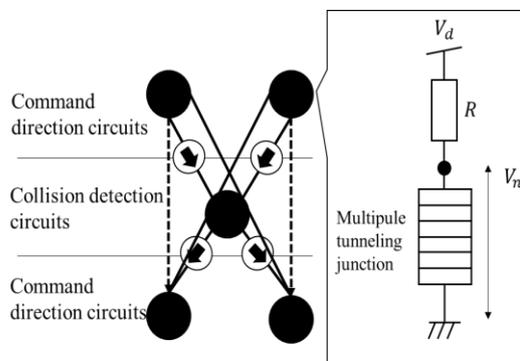


Fig. 1 Single-electron PC circuits with single-electron oscillators using multiple tunneling junctions

【参考文献】

- [1] Becker, A.T., *et al.*, Particle computation: complexity, algorithms, and logic., *Nat Comput* vol.18, pp.181-201, (2019).
 [2] 水野 他, “Particle Computation に学ぶ単電子論理ゲートの改良と進展,” 第85回応用物理学会秋季学術講演会, 19a-D63-1 (2024).

【謝辞】

本研究の一部は JSPS 科研費・基盤研究 (A)(JP23H00169)の助成を受け実施された。