

一般セッション(口頭講演) | 11 超伝導：11.5 接合，回路作製プロセスおよびデジタル応用

2025年3月16日(日) 9:00 ~ 12:00 K209 (講義棟)

[16a-K209-1~11] 11.5 接合，回路作製プロセスおよびデジタル応用

田中 雅光(名大)、知名 史博(産総研)

9:00 ~ 9:15

[16a-K209-1]

インパルス駆動型メモリの高速読み出し化に向けた多入力OR回路

佐藤 太一¹、李 峰¹、田中 雅光¹、○藤巻 朗¹ (1.名大工)

9:15 ~ 9:30

[16a-K209-2]

半磁束量子回路の論理ゲートの静的消費電力の評価

○出口 創万¹、稲垣 賢信¹、佐藤 太一¹、堀 裕貴¹、西崎 海¹、李 峰¹、田中 雅光¹、藤巻 朗¹ (1.名大院工)

9:30 ~ 9:45

[16a-K209-3]

異なる0-0- π SQUIDで構成した半磁束量子回路の動特性評価○稲垣 賢信¹、出口 創万¹、佐藤 太一¹、堀 裕貴¹、西崎 海¹、李 峰¹、田中 雅光¹、藤巻 朗¹ (1.名大院工)

9:45 ~ 10:00

[16a-K209-4]

超伝導乱数生成器を用いたストカスティック数分岐回路の高速動作実証

○山梨 裕希¹、浅香 海斗¹、吉川 信行¹ (1.横国大院理工)

10:00 ~ 10:15

[16a-K209-5]

マルチプレクサを用いない超伝導ストカスティック加算回路の設計

○萬代 結弥¹、吉川 信行^{1,2}、山梨 裕希^{1,2} (1.横国大院理工、2.横国大IAS)

10:15 ~ 10:30

[16a-K209-6]

超伝導ニューラルネットワーク回路のためのReLU出力特性回路の設計

○上野 佑斗¹、弘中 祐樹²、吉川 信行^{1,2}、山梨 裕希^{1,2} (1.横国大理工、2.横国大理工IAS)

10:45 ~ 11:00

[16a-K209-7]

超伝導デジタル回路パラメータの長期間経時変化

○日高 睦夫¹、永沢 秀一¹ (1.産総研)

11:00 ~ 11:15

[16a-K209-8]

新しい動作原理の導入によるJosephson電流比較回路の高速化

○山梨 裕希¹、山中 陸央¹、吉川 信行¹ (1.横国大院理工)

11:15 ~ 11:30

[16a-K209-9]

ジョセフソン接合をインダクタとして用いた超伝導単一磁束量子回路の信号伝搬時間のばらつき抑制

○中村 誓¹、山梨 裕希^{1,2}、吉川 信行^{1,2} (1.横国大院理工、2.横国大IAS)

◆ 奨励賞エントリー

11:30 ~ 11:45

[16a-K209-10]

超伝導Nb共振器Q値改善に向けたNb自然酸化膜のフッ化処理

○(M1)青山 大和¹、大堀 大介¹、藤田 裕一²、浦出 芳郎²、猪股 邦宏²、水林 亘²、遠藤 和彦¹ (1.東北大流体研、2.産総研)

11:45 ~ 12:00

[16a-K209-11]

π 接合を用いた強い結合強度を持つ超伝導磁束量子ビット間結合器の特性評価

堀 裕貴¹、○西崎 海¹、李 峰¹、田中 雅光¹、藤巻 朗¹ (1.名大院工)

インパルス駆動型メモリの高速読み出し化に向けた多入力 OR 回路

Multi-input OR circuit for short readout time in an impulse-driven memory

名大院工 佐藤 太一, 李 峰, 田中 雅光, ◯藤巻 朗

Nagoya Univ., Taichi Sato, Feng Li, Masamitsu Tanaka, and ◯Akira Fujimaki

E-mail: fujimaki.akira.d1@f.mail.nagoya-u.ac.jp

背景 従来のマトリクスメモリは、所望のメモリセルの選択の際に充放電現象を伴っており、これが高速化のボトルネックとなっていた。これに対し、インパルス駆動型メモリ [1] は、光速で伝搬するインパルス信号でセル選択を行うことで、数十 GHz のクロック周波数での動作を可能にする。これまで、インパルスでのセル選択については実証してきたが、メモリセルの読み出しの高速化についての議論はしていなかった。高速化には、メモリセルとそこで発生したインパルスを受信するレーザーとの物理的距離が重要であり、セル占有面積の削減・メモリ集積化は最優先課題となる。

インパルス駆動型メモリは、記憶セルそのものにはバイアス電流は不要である。一方記憶内容 (内部状態) を読み出すセンスゲートはバイアス電流を必要とする。幸い、マトリクスメモリでは、1つの読み出しビット線上では、1つのメモリセルしか選択されない。この性質を利用すると、1つのバイアス電流で駆動される形で複数のセンスゲートを直列接続することが、集積化の上でも解となる方策である。ただし、複数のセンスゲートからのインパルス信号をまとめる多入力 OR 回路が必要となり、各センスゲートからの出力信号の伝搬にも高速性が求められる。本講演では、この条件を満足する多入力 OR 回路を提案する。

回路設計 多入力 OR 回路には、インパルス駆動型メモリが目標とするクロック周期よりも短い周期での動作が求められる。本研究では、メモリの動作周波数を 20GHz と定める。つまり、多入力 OR 回路の動作周期は 50ps 以下が要求される。

数値解析 Fig. 1 に高速読み出し可能なインパルス駆動型メモリの多入力 OR 回路を示す。メモリセルに 1 つ付随するセンスゲートを直列接続した形となっており、集積性にも優れる。回路シミュレータ JoSIM [2] を用いて、上述の多入力 OR 回路の最大入力数、バイアスマージンおよび最小繰り返し周期を求めた。各パラメータは現状使っているレイアウト設計から抽出したものを用了。ここで、セル間の配線の物理的距離は伝搬するインパルス信号の波長に比べ十分小さいことから、集中定数として扱った。解析の結果、入力数は最大で 8bit とれることが明らかになった。センスゲートのバイア

スマージンはレーザーからの距離により大きく変化した (Fig. 2)。これは、グランドとの距離によって、読み出しパルスの波高値が変化することに起因する。また、最小繰り返し周期は、もともと読み出しに時間を要するセンスゲートでも約 30ps と、30GHz 以上の動作が可能であることが示された。以上の結果より、本構成の多入力 OR 回路の導入によりインパルス駆動型メモリの数十 GHz 級高速読み出しが可能であることが示された。

謝辞 本研究は、JSPS 科研費 (JP18H05211, JP23H05447) 及び CREST (JPMJCR20C5) の支援を受けて実施した。

参考文献

- [1] Y. Takeshita et al. IEEE Trans. Appl. Supercond. 31, 1100906, 2021.
- [2] J. A. Delpont et al. IEEE Trans. Appl. Supercond. 29, 1300905, 2019.

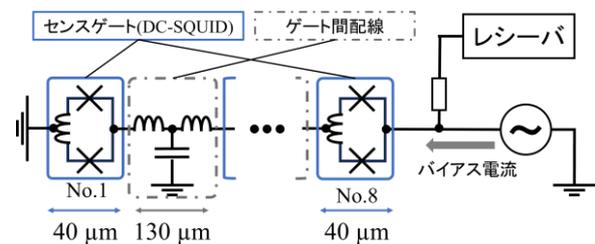


Fig. 1 Schematic diagram of readout circuit

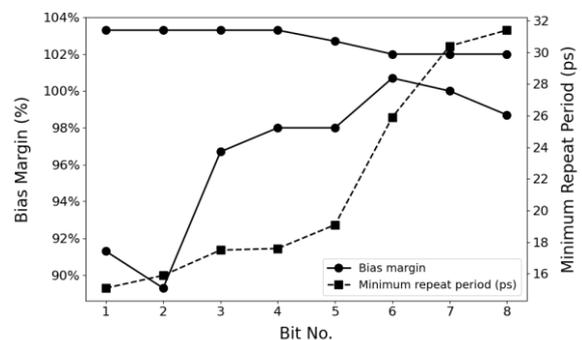


Fig. 2 Bias margin and minimum repeat period of each sense gate

半磁束量子回路の論理ゲートの静的消費電力の評価

Evaluation of Static Power Consumption of Half-Flux-Quantum Logic Gates

名大院工 [○]出口創万, 稲垣賢信, 佐藤太一, 堀裕貴, 西崎海, 李峰, 田中雅光, 藤巻朗
 Nagoya Univ, [○]Soma Deguchi, Kenshin Inagaki, Taichi Sato, Hiroki Hori, Kai Nishizaki,
 Feng Li, Masamitsu Tanaka, and Akira Fujimaki
 E-mail: deguchi@super.nuee.nagoya-u.ac.jp

背景

π 接合を含む SQUID 内部には量子化条件により自発的に周回電流が生じ、見かけの臨界電流値 I_{cn} が下がり、小さな駆動力でスイッチさせることができる。このことを利用した半磁束量子 (HFQ) 回路は、単一磁束量子 (SFQ) 回路よりも低い消費電力で動作する。これまで、HFQ 回路の基本伝搬回路 (HFQ-JTL) の静的消費電力が SFQ 回路の JTL の 1/100 程度となったことが示されている[1]。今回我々はより複雑な各 HFQ 論理ゲートの詳細設計を行い、バイアス電流低減による静的消費電力削減効果の評価を行った。

論理ゲートの設計

本研究では大きな臨界電流値を持つ π 接合をスイッチさせない位相シフタとして用い、2つの0接合をスイッチ素子とする0-0- π SQUIDでHFQ回路を構成する。HFQ回路では磁束量子の1/2が情報担体となり、0-0- π SQUIDをスイッチさせて伝搬、保持、エスケープなどの操作を行うことで、論理ゲートを構成することが可能である。

今回、HFQ回路の論理ゲートとしてAND, OR, NOT, XOR, NORゲートを設計した。動作解析にはJoSIM[2]を使用し、動作マージンが最適になるように回路パラメータの値やバイアス電流量を決定した。回路に用いる最小の0接合の臨界電流値 I_{c0} は $50 \mu\text{A}$ とし、0-0- π SQUIDのループインダクタンスと I_{c0} の積は $0.1 \Phi_0$ とした。

静的消費電力の評価

バイアス供給に用いる抵抗で生じる静的消費電力を計算し、最小の I_c を $100 \mu\text{A}$ で設計したSFQ回路の論理ゲートと比較した結果をTable 1に示す。HFQ回路は電圧をSFQ回路の1/5の0.5mVで設計している。XORゲートではHFQ-JTLと同様の電力削減効果が得られた。ANDとORゲートでは動作マージン拡大のため、0-0- π SQUIDやバイアス線を追加しており、静的消費電力が少し増加した。このようなトレードオフはNOTゲートにおいて顕著であり、動作マージンが2%程度縮小することを許容すれば、静的消費電力を1/100に削減することも可能である。コンフルエンスバッファとNOTを組み合わせたNORゲートでも同様であり、HFQ回路では動作マージンと消費電力の両方の観点から回路パラメータの最適化をする必要を示唆している。

次に、HFQ論理ゲートにおけるバイアス電流量と回路動作の関係性をより詳細に調べた。Fig. 1に今回設計したANDゲートの回路図を示す。S1からS5, S8, S9はHFQを伝搬させる伝搬素子、S6, S7はHFQを回路外へ逃がすエスケープ素子である。エスケープ素子には回路内の位相を調整する $\pi/2$ 位相シフタを追加した。図2は、各SQUIDに印加されているバイアス量を基本伝搬路のSQUIDに印加されているバイアス量で規格化した図で、SFQ回路のANDゲートで対応する電流量を比較のため示している。動作安定化のために0-0- π SQUIDを1つ追加した影響でS7からS9は差が大きくなっているが、他の場所は概ねHFQ-JTLと似た動作点で動作しており、比較的複雑なHFQ論理ゲ

トにおいても同様のバイアス電流低減による静的消費電力削減効果が起きていることが示された。

謝辞

本研究は、JSPS 科研費 (JP18H05211、JP23H05447、22H01548) 及びCREST(JPMJCR20C5)の支援を受けて実施したものである。

参考文献

- [1] F. Li et al., Supercond. Sci. Technol., 34, 025013, 2021.
 [2] J. A. Delpont et al., IEEE Trans. Appl. Supercond., 29, 5, pp. 1-5, 2019.

Static power consumption [nW]	AND	OR	NOT	XOR	NOR
HFQ circuit	39.4	47.5	21.5	26.9	43.3
SFQ circuit	3563.2	3229.6	1062.0	2675.9	3406.7
Ratio	90.5	68.0	49.4	99.3	78.6

Table 1 Comparison of static power consumption of HFQ and SFQ logic gates

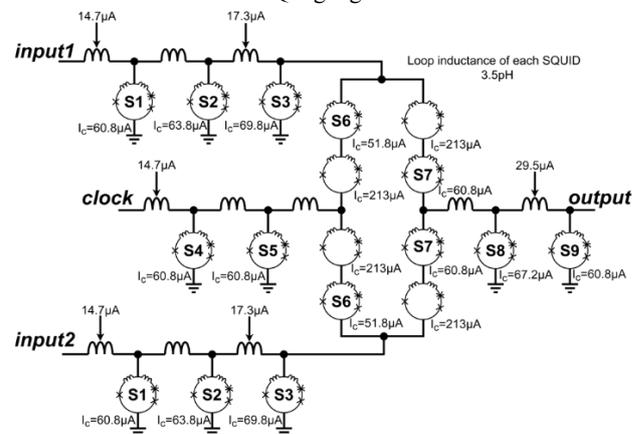


Fig.1 AND circuit

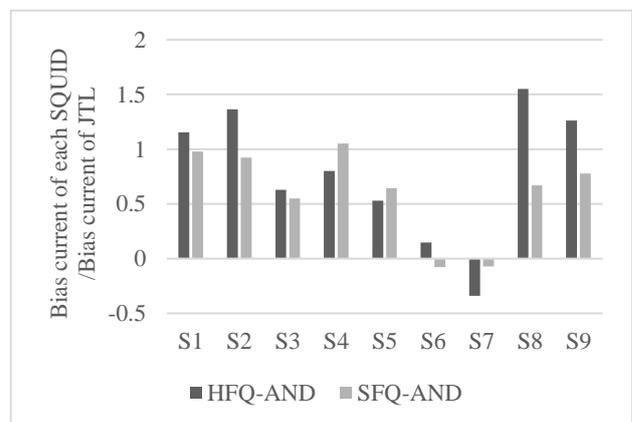


Fig.2 Bias current of each SQUID / Bias current of JTL

異なる 0-0- π SQUID で構成した半磁束量子回路の動特性評価Evaluation of Dynamic Characteristic of Half-Flux-Quantum Circuits Using Different 0-0- π SQUIDs

名大院工 ○稲垣賢信, 出口創万, 佐藤太一, 堀裕貴, 西崎海, 李峰, 田中雅光, 藤巻朗

Nagoya Univ., °K. Inagaki, S. Deguchi, T. Sato, H.Hori, K.Nishizaki, F.Li, M.Tanaka, A.Fujimaki

E-mail: inagaki@super.nuee.nagoya-u.ac.jp

背景 我々は通常のジョセフソン接合 (0 接合) と π 接合から構成される SQUID (0- π SQUID) をスイッチ素子として用いる半磁束量子 (HFQ) 回路[1]の研究を行っている。0- π SQUID には量子化条件により内部に自発的に周回電流が生じ、接合の臨界電流値 I_c よりも小さい見かけの臨界電流値 I_{cn} でスイッチすることで低消費電力動作が可能となるが、 I_{cn} の値は 0- π SQUID のループインダクタンス L_{loop} と I_c の積で調整できる。ただし、 I_{cn} の等しい 0- π SQUID で構成された HFQ 回路においても、その動特性の違いによって回路動作に差が生じる可能性がある。今回は異なる $L_{loop}I_c$ 積を持つ 0- π SQUID の振る舞いを数値計算により調査した。

シミュレーション 本研究では大きな臨界電流値を持つ π 接合を位相シフタとして用い、0 接合をスイッチ素子とする 0-0- π SQUID で構成した信号伝送回路 (HFQ-JTL) を対象とし、回路シミュレータ JoSIM [2] を用いて解析を行った。 (I_c, L_{loop}) の組み合わせは (100 μ A, 0.35 pH), (60 μ A, 1.00 pH), (40 μ A, 2.27 pH), (20 μ A, 9.46 pH) の 3 種類とし、いずれも I_{cn} は 5.66 μ A となる。接合には $I_c R_s = 0.773$ mV となるようにシャント抵抗 R_s を接続した。シミュレーションでは、128 個の 0-0- π SQUID で構成した HFQ-JTL に信号を伝搬させ、バイアス電流に対する動作マージンを調べた。

結果と考察 Fig. 1 に等価回路図を示す。0-0- π SQUID 間のインダクタンス L_{jtl} は、半磁束量子を情報担体として扱うことと、SQUID の L_{loop} を考慮して、 $(L_{jtl}/2 + L_{loop})I_c = \Phi_0/4$ を満たすようにそれぞれで設定した。Fig. 2 にそれぞれの (I_c, L_{loop}) の組み合わせにおけるバイアスマージンを示す。このバイアスマージンは I_{cn} で規格化している。 I_c が小さいときほどバイアスマージンの下限が広がることが分かった。この結果を Fig. 3 の 0- π SQUID に対応する振り子モデルを利用して考察する。振り子モデルにおいては、ジョセフソン接合の位相が回転角、 I_c がおもりの質量に対応し、 π 接合は π 位相シフトにより反重力が作用すると考える。二つの振り子をつなぐ弾性力のあるねじれ棒がループインダクタンスとなる。Fig. 3 は 2 つの振り子が安定した状態を示す (状態①とする)。2 つの振り子の回転角が $-\theta_1, -\theta_2$ のときはもう一つの安定状態 (状態②) となり、0- π SQUID がスイッチしたときにこの 2 つの状態に交互に切り替わる。振り子が反時計回りに回ると考えると、①から②へのスイッチの際には、0 接合の振り子が大きく位相が変化し、②から①は π 接合の位相が大きく変化する。 I_c が小さな SQUID のほうが少ないバイアス電流でもスイッチさせることが可能であることは、質量の小さい振り子の方が少しの力で回転させやすいことから理解でき、このときスイッチ速度も速

くなることをシミュレーションで確認している。より小さいバイアス電流で動作することは静的消費電力の削減にも直接寄与するが、 I_c が小さいことにより熱雑音の影響を受けやすくなる可能性もあり、より詳細な解析を進める予定である。

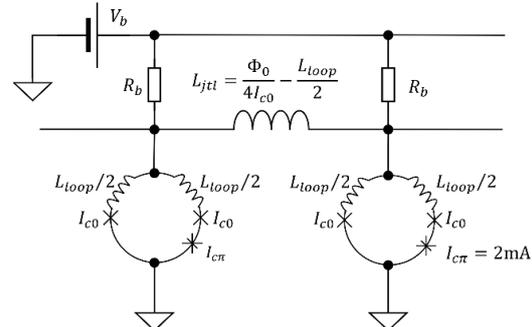


Fig.1 The parameter of HFQ-JTL

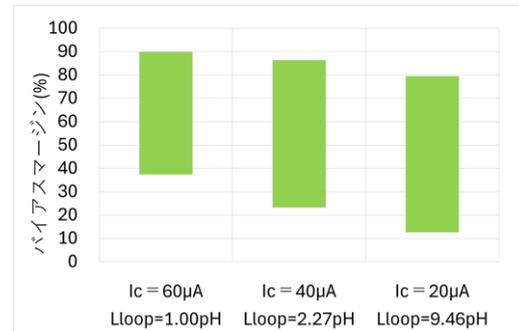
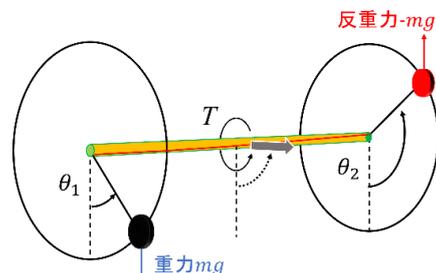


Fig.2 Bias margin

Fig.3 Pendulum model of 0- π SQUID**謝辞**

本研究は、JSPS 科研費 (JP18H05211, JP23H05447, 22H01548) 及び CREST (JPMJCR20C5) の支援を受けて実施したものである。

参考文献

- [1] T. Kamiya et al. IEICE Trans. Electron. E101-C, 385, 2018.
- [2] J. A. Delpert et al. IEEE Trans. Appl. Supercond. 29, 1300905, 2019.

超伝導乱数生成器を用いたストカスティック数分岐回路の高速動作実証

Demonstration of High-Speed Operation in a Stochastic Number Splitter Composed of Superconductor Random Number Generators

横国大院理工¹, 横国大 IAS², 横国大 IMS³ °山梨 裕希^{1,2,3}, 浅香 海斗¹, 吉川 信行^{1,2,3}

Yokohama National Univ., °Yuki Yamanashi, Kaito Asaka, Nobuyuki Yoshikawa

E-mail: yamanashi-yuki-kr@ynu.ac.jp

ストカスティック計算 (Stochastic Computing: SC) はビット列中の“1”の確率を数値表現 (ストカスティック数と呼ぶ) に用いる近似計算の一種である。SC では特定の演算回路を少数の論理ゲートで効率的に実装できる一方、演算精度を高めるためにはビット列を長くする必要があり、処理速度が低下する。これまでに我々は超高速動作が可能な超伝導単一磁束量子回路によるストカスティック行列積演算回路の動作を実証した[1]。

SC では入力するストカスティック数に相関がある場合、演算精度が悪化することが知られている。我々は並列に接続された超伝導乱数生成器[2]に周波数同期[3]を適用したストカスティック数分岐回路を提案した[4]。このストカスティック数分岐回路は超伝導乱数生成器により入力と同じ“1”の確率を持つビット列を生成することで、無相関なストカスティック数を多数出力することができる。

産業技術総合研究所の 10 kA/cm² Nb High-Speed Standard Process を用いてストカスティック数 4 分岐回路を設計した。図 1 にそのテスト回路のチップ写真を示す。入力ストカスティック数は“1”の出力確率が制御可能な超伝導乱数生成器にクロック発生回路から高速クロックを入力することで生成した。入力および出力ストカスティック数は、ジョセフソン伝送線路中のジョセフソン接合に発生する平均電圧により測定した。図 2 に得られた測定波形の例を示す。この時、クロック発生回路の周波数は 19.8 GHz である。クロック発生回路が動作している間のみ、入力と出力に同じ大きさの電圧が得られた。入力ストカスティック数を任意に変化させたときも、正しい出力が得られ、ストカスティック数 4 分岐回路の高速動作実証に成功した。

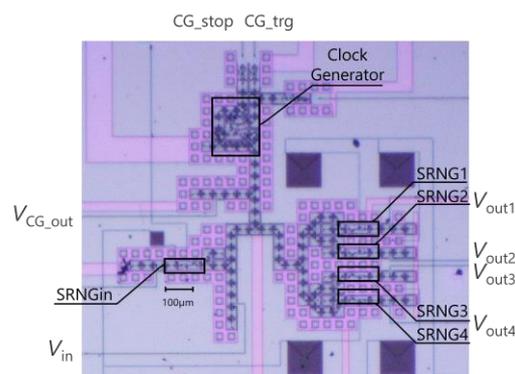


図 1 テスト回路のチップ写真。SRNG は超伝導乱数生成器。

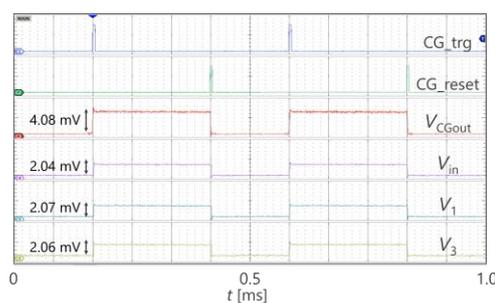


図 2 測定波形の例。V_{in}、V₁、V₃ はそれぞれ入力ストカスティック数の平均電圧、1 つ目と 3 つ目の出力電圧

謝辞

本研究は JSPS 科研費 JP22H01542 と JP24H00311 の助成を受けたものです。本研究で使用された回路は、国立研究開発法人産業技術総合研究所の超伝導量子回路試作施設 (Qufab) において作製された。

- [1] Y. Yamanashi et al., *Supercond. Sci. Technol.*, vol. 37, 115024, 2024.
- [2] Y. Yamanashi et al., *Supercond. Sci. Technol.*, vol. 34, 105004, 2021.
- [3] R. Yamanaka et al., *IEEE Access*, vol. 12, pp. 129081–129086, 2024.
- [4] 浅香ほか、電子情報通信学会総合大会, 2023 年 3 月.

マルチプレクサを用いない超伝導ストカスティック加算回路の設計

Design of Superconducting Stochastic Adder Circuit without Using Multiplexer

横国大院理工¹, 横国大 IAS² ◯萬代 結弥¹, 吉川 信行^{1,2}, 山梨 裕希^{1,2}

Yokohama Nat'l Univ.¹, Yokohama Nat'l Univ. IAS²,

◯Yuya Mandai¹, Nobuyuki Yoshikawa^{1,2}, Yuki Yamanashi^{1,2}

E-mail: mandai-yuya-cs@ynu.jp

ストカスティックコンピューティング (Stochastic Computing : SC) は、ビット列の中の「1」の確率で値を表現する演算手法である。SC の利点は、少ない論理ゲート数で基本的な計算ができることや、ビット列における各ビットの重みが同じであるためビット反転エラーが計算誤差に与える影響が小さい事などである。しかし、長いビット列で値を表現するため演算時間が長くなるなどの欠点がある。そこで、高速で動作する超伝導を用いた単一磁束量子 (Single Flux Quantum : SFQ) 回路で SC 演算回路を設計すると、演算時間が長い SC の問題を解決できる。従来の SC 加算はマルチプレクサによって行われている。この手法では、制御信号に入力するランダムなビット列の「1」の確率が有限のビット数において 1/2 に収束しないことにより、計算誤差が大きくなる。そのため、CMOS 回路の先行研究では外部からの制御信号を必要としない SC 加算回路[1]が提案されている。図 1 に外部からの制御信号を必要としない SC 加算回路の回路図を示す。

本研究では、先行研究[1]で提案された SC 加算回路を SFQ 回路に適用することで高精度かつ低面積な SFQ 加算器を実現する。図 2 に設計した回路の回路図を示す。A と B からの入力を直接 AND ゲートに接続することで、NOT ゲートが削減でき、SFQ 回路における Toggle Flip-Flop (TFF) は出力が入力に同期しているため、AND ゲートが削減できる。この SC 加

算回路は、産総研の 10 kA/cm² Nb 高速プロセス[2]を用いて、動作周波数 50 GHz を目標に設計した。ジョセフソン接合数は 79 個、回路面積は 0.24 mm×0.2 mm であり、マルチプレクサによる SC 加算回路より回路面積を約 4 割削減した。回路シミュレーションを行い、設計した回路が 50 GHz で正しく動作することを確認した。この SC 加算回路の計算誤差は、マルチプレクサによる SC 加算回路より大幅に減少した。設計した回路を用いることで、SFQ 回路による SC 演算回路がより効率的に設計できる。

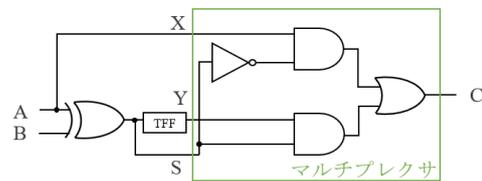


図 1 制御信号を必要としない SC 加算回路[1]

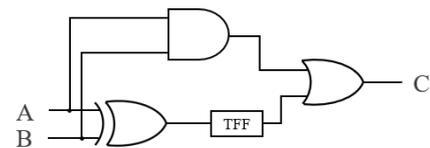


図 2 本研究で設計した SC 加算回路

謝辞

本研究で使用された回路は、国立研究開発法人産業技術総合研究所の超伝導量子回路試作施設 (Qufab) において作製された。本研究は JSPS 科研費 JP22H01542 の助成を受けたものです。

参考文献

- [1] V. T. Lee, et al., *DATE*, 2017
 [2] M. Hidaka and S. Nagasawa, *IEICE Trans. Electron.*, vol. E104-C, pp. 405-410, Sep. 2021.

超伝導ニューラルネットワーク回路のための ReLU 出力特性回路の設計

Design of ReLU Output Characteristic Circuit for Superconducting Neural Networks

上野 佑斗¹, 弘中 祐樹², 吉川 信行^{1,2}, 山梨 裕希^{1,2}

Yokohama National Univ.¹, Yokohama National Univ. IAS²

Yuto Ueno, Yuki Hironaka, Nobuyuki Yoshikawa, Yuki Yamanashi

E-mail: ueno-yuto-vv@ynu.jp

1. はじめに

近年の人工知能 (Artificial Intelligence) の発展は目覚ましく、画像認識やテキスト生成、質疑応答などの様々な用途で用いられている。これを可能にしている学習モデルの一つとして人工ニューラルネットワーク (Artificial Neural Network: ANN) がある。この ANN によってテキストや画像などの分析が難しい分野においても判別が可能になった。しかし、ANN を汎用プロセッサにおいてプログラム上で実装すると処理時間が長くなるという欠点がある。そこで超伝導単一磁束量子 (Single Flux Quantum: SFQ) 回路を用いて ANN 専用回路を作成することで処理時間を短くする試みがなされている[1]。SFQ 回路を用いて活性化関数を模擬する系としてシグモイド関数が作製された[2]。しかし、回路面積が大きい点やシグモイド関数を活性化関数としたときに、層が増加していくと活性化関数の勾配が小さくなっていき重みの更新量が小さくなるといった問題点が存在する。活性化関数に ReLU (Rectified Linear Unit) を使用することでこれらを改善することが可能である。本研究では ReLU 出力特性をもつ SFQ 回路を作成した。

2. ReLU 出力特性回路の設計

Fig.1 に設計した ReLU 出力特性回路の構成図を示す。エスケープ付き Delay Flip-Flop (DFFE) とリセット機能付き Delay Flip-Flop (RDFF) を用いた。2 入力 1 出力であり、周期的に磁束量子を。正しい出力は input, cancel からの入力周波数を f_{in} , f_{can} , 出力周波数を f_{out} とすると $0 < f_{in} < f_{can}$ のとき $f_{out} = 0$ GHz, $f_{can} \leq f_{in}$ のとき $f_{out} = f_{in} - f_{can}$ と表せる。周波数は単位時間内に入力される磁束量子個数と考えられる。したがって、 $f_{in} - f_{can}$ は、cancel に入力されたパルスが input から入力された磁束を打ち消し、打ち消されなかつ

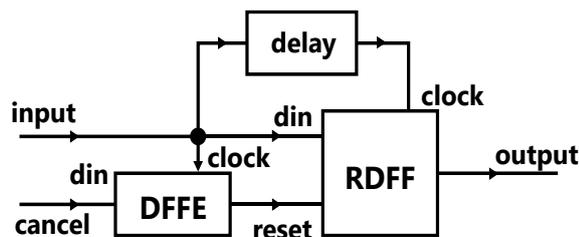


Figure 1 Circuit configuration diagram implementing ReLU output characteristics

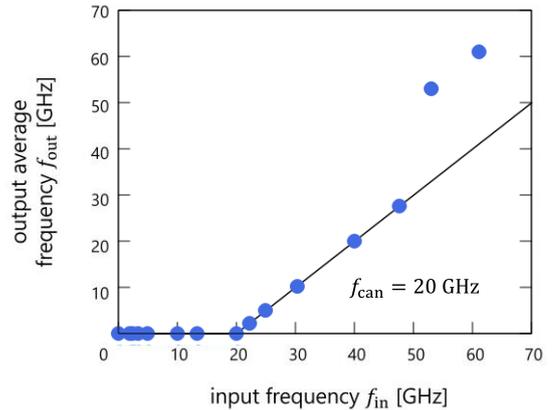


Figure 2 Circuit Input-Output Characteristics

た input からの入力パルスがそのまま出力すれば表現できる。cancel に入力があった後に input から入力があった時には RDFF の内部状態をリセットすることで入力を打ち消し、cancel からの入力がなければ input をそのまま出力するように回路を構成した。

Fig.2 にシミュレーションでの出力特性を示す。Fig.2 に示す線が理想出力でありシミュレーション値を点で示す。約 50 GHz まで理想的な出力を得られている。

現在、産業技術総合研究所の 10 kA/cm² Nb High-speed Standard Process (HSTP) による回路試作及び動作実証を行っている。

3. 謝辞

本研究は JSPS 科研費 JP22H01542 と JP24H00311 の助成を受けたものです。本研究で使用された回路は、国立研究開発法人産業技術総合研究所の超伝導量子回路試作施設 (Qufab) において作製された。

参考文献

- [1] M. A. Karamuftuoglu, B. Z. Ucpinar, S. Razmkhah, M. Kamal and M. Pedram, "Unsupervised SFQ-Based Spiking Neural Network," *IEEE Trans. Appl. Supercond.*, vol. 34, No 3, p 1300708, May 2024
- [2] Y. Yamanashi, K. Umeda, and N. Yoshikawa, "Pseudo Sigmoid Function Generator for a Superconductive Neural Network", *IEEE Trans. Appl. Supercond.* vol 23, No 3, p 1701004, June 2013

超伝導デジタル回路パラメータの長期間経時変化

Changes of Parameters in Superconducting Digital Circuits over Long Time.

産総研 [○]日高 睦夫, 永沢 秀一

AIST, [○]Mutsuo Hidaka, and Shuichi Nagasawa

E-mail: m-hidaka@aist.go.jp

一般的な超伝導デジタル回路はシリコンウエハ上に多層の Nb 配線、Mo 抵抗、Nb/Al-AlO_x/Nb ジョセフソン接合および SiO₂ 層間絶縁膜を用いて構成されている[1]。このデバイスの臨界電流値 (I_c) や抵抗値、インダクタンス値などのパラメータが長期間の保存後も不変であるかどうかはこれまで調べられてこなかった。我々は 40 年にわたってこの構造の超伝導デジタル回路作製を行っており、 I_c などの基本特性は作製後直ぐに測定されてきた。今回過去に測定されたチップと測定データ両方が残っているデバイスの再測定を行うことで、これらのパラメータの長期間にわたる経時変化を調べた。チップは室温で大気中に保存されていた。

図 1 に臨界電流密度(J_c)の経時変化を示す。測定間隔は最長 15 年半である。 J_c の変化率に接合面積依存性が観察されなかったことから、 J_c が変化しているものと判断し作図を行った。 J_c は時間の経過とともに減少し、10 年で $J_c=2.5$ kA/cm² の接合では 3~4%、 $J_c=10$ kA/cm² の接合では 4~6% 程度の減少が観察された。赤丸で示したデータはデバイス作製直後に 180°C、20 分間のアニールを行ったチップのものである。アニールを行ったチップの J_c 変化は測定誤差の範囲で不変であり J_c 減少は観察されなかった。この結果から J_c 減少の原因はアニールと同じ現象が長期間の間に起きているのではないかと推察される。

長期間保存による J_c 減少は 10 年間で 5% 程度と小さいことから回路動作に深刻な影響を与えるものではないと考えられるが、超伝導デジタル回路研究者・開発者は知っておくべき重要な知見だと思われる。今後の超伝導デジタル回路実用化を見据えて適切に対処する必要がある。

抵抗値は 10 年保存で約 2% 上昇が観察された。こちらも線幅依存性は観察されなかったので、

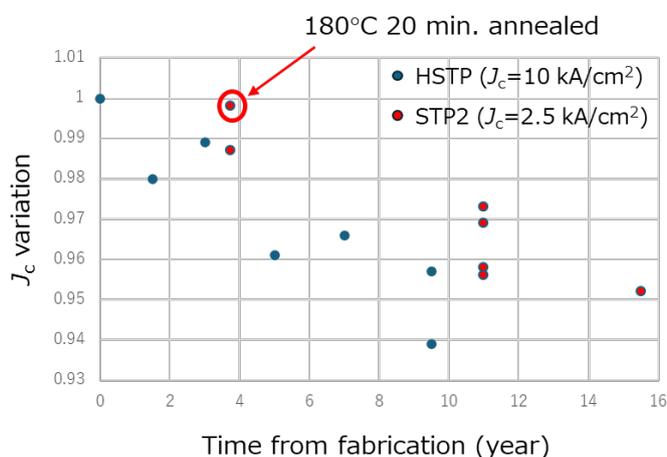


図 1 Change of J_c over log time.

この程度の変化であれば回路動作に影響はないものと考えられる。インダクタンス値に明らかな変化は観察されなかった。

謝辞 本研究は JST、CREST

JPMJCR20C5 の支援を受けて実施されたものである。

参考文献

[1] M. Hidaka, and S. Nagasawa, IEICE Trans. Electron. **E-104C**, 405 (2021).

新しい動作原理の導入による Josephson 電流比較回路の高速化

Improvement of Operating Speed of a Josephson Current Comparator

by Introducing a New Operating Principle

横国大院理工¹, 横国大 IAS², 横国大 IMS³ °山梨 裕希^{1,2,3}, 山中 陸央¹, 吉川 信行^{1,2,3}

Yokohama National Univ., °Yuki Yamanashi, Rikuo Yamanaka, Nobuyuki Yoshikawa

E-mail: yamanashi-yuki-kr@ynu.ac.jp

Josephson 比較回路 (Josephson comparator: JC) は直列に接続された 2 つの Josephson 接合から成る超伝導回路の基本要素である。入力電流が閾値より大きい場合はクロック入力に同期して“1”出力が得られ、入力電流が閾値より小さい場合は出力が得られない (“0”出力が得られる)。我々はこれまでに JC を用いた超伝導乱数生成器を提案し[1]、その応用回路の研究開発を進めている[2,3]。超伝導乱数生成器は 30 Gbps を超える超高速な乱数生成が可能であるが、その速度は通常の超伝導単一磁束量子論理ゲートの動作より低い。このため超伝導乱数生成器の応用回路の速度は超伝導乱数生成器、すなわち JC の遅延時間で制限される。本研究では JC の高速動作化のために、新しい動作原理を導入することを試みた。

図 1 に従来の JC と本研究で提案する JC の回路図を示す。従来の JC では、クロック入力時に Josephson 接合 J_2 がスイッチすれば“1”出力が得られ、 J_1 がスイッチすれば“0”出力が得られるという、2 つの Josephson 接合のどちらかがスイッチするという動作原理であった。この動作では、両方の Josephson 接合が同時にスイッチすることを防ぎ片方の接合のみをスイッチさせるために、Josephson 接合のダンピングを強めたり JC 前段のクロック入力回路の駆動力を弱めたりする必要がある。特に“1”の出力確率が 0.5 付近となる時、遅延時間が増加する。我々の提案回路では“1”が出力される時は 2 つの Josephson 接合の両方がスイッチする。この際、クロック入力端子方面に磁束量子が逆流するが、逆流する磁束量子は J_{esc} がスイッチすることで回路外に逃がす。この動作では、Josephson 接合のダンピングを弱め、クロック入力回路の駆動力を大きくすることができるため、JC の高速動作が可能になる。

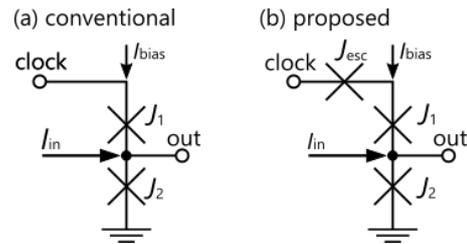


図 1 従来の JC と提案 JC の回路図

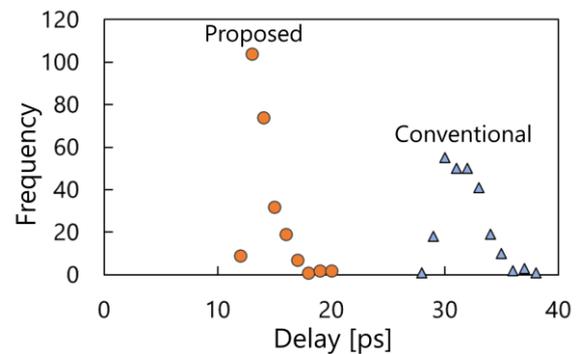


図 2. 従来の JC と提案する JC の“1”出力確率が 0.5 の時の“1”出力遅延時間の分布

図 2 に産総研の Nb 10 kA/cm² プロセスの使用、4.2 K 動作を仮定した、従来および今回提案した JC の“1”出力時の遅延時間の分布を示す。提案回路は従来回路に比べ、出力までに要する時間を 20 ps 程短くできることがわかった。

謝辞

本研究は JSPS 科研費 JP22H01542 と 24K07103 の助成を受けたものです。

- [1] Y. Yamanashi and N. Yoshikawa, *IEEE Trans. Appl. Supercond.*, vol. 19, pp. 630–633, 2009.
- [2] Y. Yamanashi et al., *Supercond. Sci. Technol.*, vol. 37, 115024, 2024.
- [3] R. Yamanaka et al., *IEEE Access*, vol. 12, pp. 129081–129086, 2024.

ジョセフソン接合をインダクタとして用いた 超伝導単一磁束量子回路の信号伝搬時間のばらつきの抑制

Suppression of signal propagation time variation in
superconducting single flux quantum circuits using Josephson junctions as inductors

横国大院理工¹, 横国大 IAS² °中村 誓¹, 山梨 裕希^{1,2}, 吉川 信行^{1,2}

Yokohama Nat'l Univ.¹, Yokohama Nat'l Univ. IAS², °Chikai Nakamura¹, Yuki Yamanashi^{1,2},

Nobuyuki Yoshikawa^{1,2}

E-mail: nakamura-chikai-np@ynu.jp

半導体集積(CMOS)回路が微細化や消費電力の増大に限界を迎えるなか、高速動作性や低消費電力性より単一磁束量子(SFQ)回路が注目されている。SFQ 回路は超伝導体を用いた回路である。約 4.2K の極低温状態でジョセフソン接合をスイッチング素子として用いる。ジョセフソンインダクタ(JI)は従来スイッチング素子として用いられるジョセフソン接合をインダクタとして利用する素子である。JI を用いた回路は従来回路と比較し、回路面積が小さい特徴をもつ[1]。ジョセフソン接合の臨界電流値(I_c)は設計時のばらつきにより変化することがあり、回路の信号伝搬時間も変動してしまう。しかし JI は回路の信号伝搬時間の変動に対して抑制効果があることを発見した。 I_c が変化しても回路の信号伝搬時間の変動が抑制される JI を用いた回路を提案する。

図 1 に JI を用いた Josephson Transmission Line (JTL)の回路図を示す。 I_c が大きくなると、スイッチング素子のジョセフソン接合はスイッチするまで時間がかかり、信号伝搬時間が大きくなる。JI のインダクタンスは小さくなり、信号伝搬時間が小さくなる。この二つの影響が相殺することで信号伝搬時間の変動が抑制できる。 I_c が小さくなる場合は上記と逆のことが起き、同様に相殺される。

図 2 に図 1 の回路で I_c が 5% 変動した時の信号伝搬時間の変動を示す。従来回路と比較し約 10% 変動が小さくなることがわかった。

謝辞

本研究は JSPS 科研費 JP22H01542 の助成を受けたものです。

参考文献

[1] M. A. Castellanos-Beltran et al., *IEEE Trans. Appl. Supercond.*, vol. 29, 1300705, 2019.

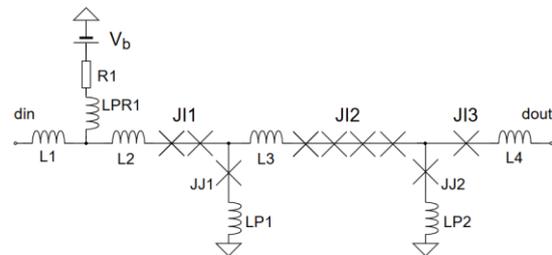


図 1 JI を用いた JTL の回路図

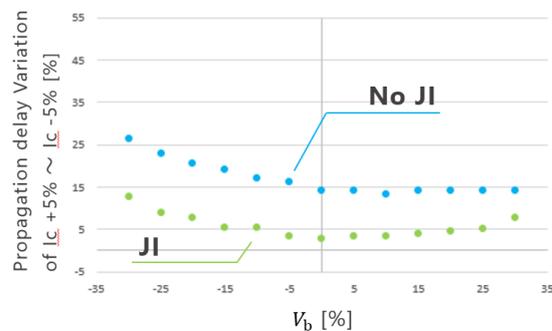


図 2 I_c が 5% 変動した時の各バイアス電圧値における信号伝搬時間の変動。初期バイアス電圧値、初期 I_c の信号伝搬時間で規格化している。NO JI は従来回路、JI は提案回路の結果を示す。

超伝導 Nb 共振器 Q 値改善に向けた Nb 自然酸化膜のフッ化処理Fluorination of native Nb oxide to improve the Q factor of superconducting resonators東北大学流体研¹, 産総研²○(M1) 青山 大和¹, 大堀 大介¹, 藤田 裕一², 浦出 芳郎², 猪股 邦宏², 水林 亘², 遠藤 和彦¹,
IFS, Tohoku Univ¹, AIST²○Y. Aoyama¹, D. Ohori¹, Y. Fujita², Y. Urade², K. Inomata², W. Mizubayashi², K. Endo¹

E-mail: aoyama.yamato.s2@dc.tohoku.ac.jp

【緒言】

フォンノイマン型コンピュータに代わる高速な計算方法として量子計算が提案されている。量子ビットは、その量子計算を担う情報の最小単位として知られ、中でも超伝導を応用した超伝導量子ビットは、量子コンピュータを実現し得る最も有力な量子ビットとして、世界各国で精力的に研究が進められている。超伝導量子ビットやその状態読み出し用の超伝導共振器には、Al や Nb、Ta などの超伝導材料が採用されている^[1]。その中でも Nb は、成膜や加工プロセスが比較的容易であることから広く用いられる超伝導材料である。一方で、空気暴露で容易に表面が酸化し、絶縁体である Nb₂O₅ のみならず、金属的な性質の NbO、NbO₂ といった低級酸化物が生成される^[2]。これらの表面酸化膜は量子ビットや共振器の損失源となり、Nb 超伝導共振器の Q 値劣化につながるため、表面酸化膜の除去および酸化防止が鍵となる。従来、Nb 酸化膜の除去には HF 溶液等が用いられており、加工後に露出している Si の酸化膜と同時に除去してきた。しかしながら、その後、再び大気暴露されるため再酸化防止は容易ではない。そこで、ドライプロセスによって Nb 表面の酸化膜の除去とパッシベーションを in-situ で行うことで再酸化を抑制し、高 Q 値の超伝導共振器の作製を目指す。酸化膜除去プロセスとして、Nb_xO_y をより低エネルギーで脱離する NbF₅ へフッ化し、Nb から選択的な脱離を試みた。本研究では、Nb 自然酸化膜に対して 3 フッ化窒素 (NF₃) ガスを水素ラジカルで反応させることで、酸化膜のフッ化処理およびその脱離過程を調査した。

【実験方法と結果】

試料は、Si(100)基板上に 200nm の Nb 膜を室温 Ar スパッタで成膜した。Nb 自然酸化膜のフッ化処理を行うために、試料温度は室温で NF₃ ガス雰囲気中に水素ラジカルを照射した(反応過程)。さらに、フッ化処理をした後、水素雰囲気中で 150°C の熱処理によって反応生成物を脱離させた(脱離過程)。反応過程および脱離過程後の Nb 試料表面における化学組成の変化を、X 線光電子分光(XPS)により測定した。Fig.1 に処理前と各過程における Nb3d ピークのフィッティング結果から見積もった化合物組成比を示す。反応過程によって Nb 酸化物の一部がフッ化することが分かった。また、脱離過程後に Nb フッ化物の組成比が減少していることから、フッ化物の一部が脱離していることを確認した。

【まとめ】

反応過程によって Nb 酸化物の一部がフッ化物に改質され、酸素が除去される反応を確認した。また、脱離過程によって生成されたフッ化物の一部が脱離していることが分かった。

【謝辞】

本講演で発表した研究の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られた。

【参考文献】

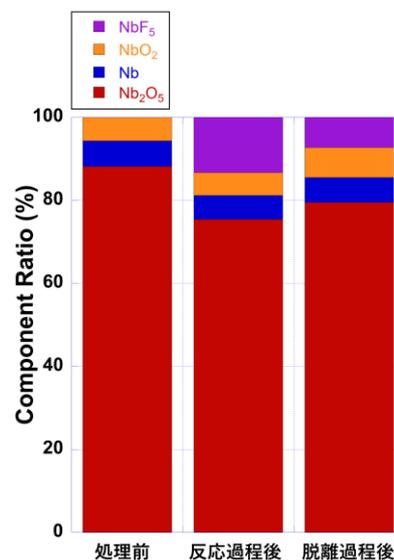
[1] Y. Urade, et al., *APL Mater.* **12**, 021132 (2024).[2] G. V. Chandrashekar, et al., *J. Solid State Chem.* **2**, 528 (1970).

Fig.1 Nb 3d の表面組成比

π 接合を用いた強い結合強度を持つ 超伝導磁束量子ビット間結合器の特性評価

Evaluation of π -junction-based strong coupler for an quantum annealer using superconducting flux qubits

名大院工 堀裕貴、[○]西崎海、李峰、田中雅光、藤巻朗

Nagoya Univ, Hiroki Hori, [○]Kai Nishizaki, Feng Li, Masamitsu Tanaka,
and Akira Fujimaki

E-mail: nishizaki.kai.e8@s.mail.nagoya-u.ac.jp

背景

量子アニーリング方式は、組合せ最適化問題を高速に解く手法として注目されている。しかし、スピンに対応する量子ビット間を結合する結合器内の電流が結合距離に伴い減衰し、結合強度が低下することが扱える問題規模の制約となっている。我々は、この課題を解決するために π 接合を導入した磁束伝送回路 (以下、 π -FTC) を結合器として用いることを検討している。 π -FTC は、 π 接合の負性インダクタンス特性により従来の限界を超える磁束伝送係数を実現できることが実験により確認されている [1]。また、 π -FTC に存在する π 接合の臨界電流値とループインダクタンスの積 β の制約を多段接続により回避し、長距離で高い磁束伝送係数を実現することも示されている [2]。これらの実験は電流源を入力として実施されたものである。本稿では、量子ビット間結合距離向上に向け、 π -FTC による結合強度向上の実証を目的とし、結合したスピンの状態確率を調査した。

実験

Fig.1 に、 π 接合を用いた疑似的な量子ビットであるスピン2つを π -FTC で結合した等価回路図を示す。我々は今回、産業技術総合研究所 Qufab の Nb 四層プロセス ($J_c = 10\text{kA/cm}^2$) 上に π 接合 (Nb/Pd₈₉Ni₁₁/Nb) [3] を作製し、2つのスピンを π -FTC によって結合した回路を作成した (Fig.2)。 π 接合の臨界電流値を精密に制御することが困難であるため、 π 接合の臨界電流値よりも十分小さい $I_c = 49\mu\text{A}$ である従来のジョセフソン接合 (以下、0 接合) を π 接合に直列に挿入し、 β の制御を行った。これは臨界電流値 $49\mu\text{A}$ の一つの等価的な π 接合とみなせる。設計したスピンの β は 1.6、 π -FTC の β は 0.67 である。実験は 4.2K の液体ヘリウム環境下で行った。スピンの DC-SQUID 部に台形波電流 I_k を印加してアニーリング操作を実施した。これはスピンの2つの状態間のエネルギー障壁を下げ、熱雑音による状態遷移を誘起し、障壁を再び上げて状態を確定する操作に相当する。また、スピンのループインダクタンス部にバイアス電流 I_h を印加し、2つの状態のどちらかをとりやすくする強制力を加えた。Fig.3 は、 $I_{h1} = 0\mu\text{A}$ に固定し、 I_{h2} を増加させた際の2つのスピン状態確率を示す。“U” および “D” はスピンの2状態を表し、 I_{h2} の増加は “D” 状態への強制力の増加を意味する。通常の FTC では、 I_{h2} の増加に伴い “DD” および “UD” の確率が増加したが、 π -FTC では “DD” の確率のみが増加した。スピンの作用する強制力のオフセットについてはさらなる議論が必要であるが、この結果は π -FTC が通常の FTC より強いスピン間結合を実現できることを示している。

謝辞

本研究は、JSPS 科研費 (23H05447, 18H05211, 22H01548, 23K13376) 及びの支援を受けて実施した。

参考文献

- [1] M. Higashi et al., *Supercond.Sci.Technol.* 37(2024) 4, 045003.
- [2] 堀裕貴ほか, 第 85 回応用物理学会秋季学術講演会, 2024.
- [3] A. Fujimaki et al. *IEICE Trans. Electron.* in press.

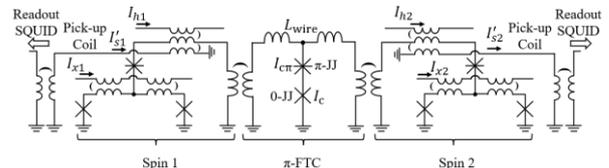


Fig. 1 The equivalent circuit of two spins coupled by π -FTC.

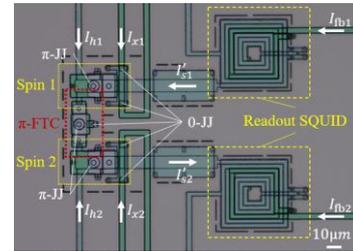


Fig. 2 The photograph of the fabricated circuit.

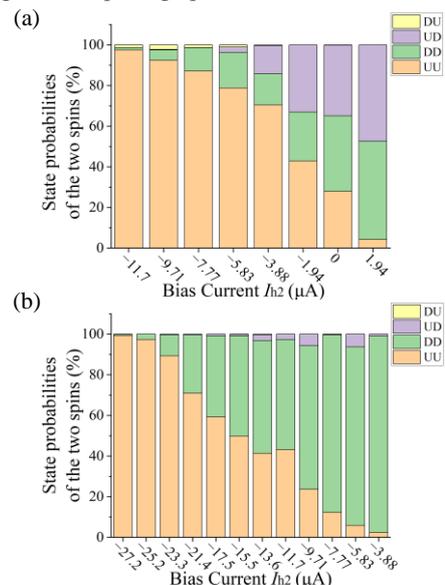


Fig. 3 Bias dependence of the two spin state probabilities.

I_{h1} is fixed at $0\mu\text{A}$.

(a) Coupling by normal FTC. (b) Coupling by π -FTC.