

## 極低温動作 Si n-MOSFET における低周波ノイズの起源： 絶縁膜界面の影響

### Origin of Low-Frequency Noise in Si n-MOSFET at Cryogenic Temperatures: The Effect of Interface Quality

1 産総研 2 慶応大理工 <sup>○</sup>岡 博史<sup>1</sup>, 稲葉 工<sup>1</sup>, 下方 駿佑<sup>1,2</sup>, 加藤 公彦<sup>1</sup>, 飯塚 将太<sup>1</sup>,  
浅井 栄大<sup>1</sup>, 更田 裕司<sup>1</sup>, 森 貴洋<sup>1</sup>

1 AIST 2 Keio Univ. <sup>○</sup>H. Oka<sup>1</sup>, T. Inaba<sup>1</sup>, S. Shitakata<sup>1,2</sup>, K. Kato<sup>1</sup>, S. Iizuka<sup>1</sup>, H. Asai<sup>1</sup>,  
H. Fuketa<sup>1</sup>, and T. Mori<sup>1</sup>

E-mail: oka.hiroshi@aist.go.jp

シリコン量子コンピュータの高性能化には、基本素子であるシリコンスピン量子ビットの量子状態の保持時間（コヒーレンス時間）を改善する必要がある。シリコンスピン量子ビットにおいてコヒーレンス時間を制限する最大の要因は、量子ドットの母材となるシリコン基板に含まれる核スピンとの相互作用から生じる磁気ノイズである。磁気ノイズの影響は核スピンをもたない<sup>28</sup>Siの純度を高める同位体制御によって排除することが可能であり[1]、同技術によるコヒーレンス時間の改善が報告されている[2]。近年、同位体制御シリコンを用いたスピン量子ビットの評価実験を通して、磁気ノイズ排除下でのコヒーレンス時間は電荷ノイズによって制限されることが明らかとなった[2,3]。コヒーレンス時間のさらなる改善には電荷ノイズの低減を進める必要があるが、その起源は十分理解されていない。シリコンスピン量子ビットは MOS ゲート構造を有するため、酸化膜中や界面での電荷のトラップ現象や移動度揺らぎが電荷ノイズの要因となりうる。しかし、シリコンスピン量子ビットは複数の MOS ゲートを有するために構造・電圧条件の複雑さがあり、スピン量子ビット測定から電荷ノイズの物理的起源まで切り分けることは容易ではない。本受賞論文[4]では、シリコンスピン量子ビットの基本構造が MOSFET と同一であることに着目し、MOSFET のドレイン電流揺らぎの解析から、極低温で MOS ゲート構造に生じるノイズの起源解明を試みた。MOSFET を対象としたノイズ研究は膨大な報告例があるが[5]、シリコンスピン量子ビットの動作温度である数 K 以下でのノイズ解析例は極めて少ない[6,7]。本実験では、300 K から 2.5 K の温度範囲で界面準位が MOSFET のノイズに与える影響を系統的に評価し、その結果、極低温で生じるノイズの起源が絶縁膜界面欠陥に由来したバンド端付近の局在準位であることを明らかにした。講演当日はノイズの温度依存性やノイズ発生機構の理解も含めた本受賞論文の内容を紹介する。

【謝辞】本研究は、NEDO の委託業務 (JPNP16007) および文部科学省 Q-LEAP (JPMXS0118069228) の助成を受けて実施した研究の結果、得られたものである。

【参考文献】 [1] K. M. Itoh *et al.*, MRS Commun. **4**, 143 (2014). [2] J. Yoneda *et al.*, Nature Nanotechnol. **13**, 102 (2018). [3] T. Struck *et al.*, npj Quantum Inf. **6**, 40 (2020) [4] H. Oka *et al.*, IEEE Access **11**, 121567 (2023). [5] E. Simoen *et al.*, Solid-State Electron. **43**, 865 (1999). [6] J. Chang *et al.*, IEEE Trans. Electron Dev. **41**, 1965 (1994). [7] D. Boudier *et al.*, 2018 EUROSIOI-ULIS, 1 (2018).