

超伝導量子ビット制御用クライオ CMOS における 高電圧 nMOSFET の低温特性

Evaluation of Low-Temperature Characteristics of High-Voltage Transistors in Cryo-CMOS for Superconducting Qubit Control

慶大理工¹, 東大² ○押尾世文¹, 小林瑞月¹, 安達和喜¹, 林凌佑¹, 吉永啓人², 内田建², 多田宗弘¹

Keio Univ.¹, Univ. of Tokyo², Seibun Oshio¹, Mizuki Ogawa, Ryosuke Hayashi, Kazuki Adachi,

Keito Yoshinaga², Ken Uchida², Munehiro Tada¹

E-mail: oshio@tada.sd.keio.ac.jp

背景: 超伝導量子コンピュータの開発には、量子アルゴリズムや量子ビットだけでなく、冷凍機内で量子ビットを制御するためのクライオ CMOS の利用が期待されている。特に制御回路は超伝導量子ビットの近くに配置されることが望ましく、4 K ステージでの利用が検討されている。低電圧駆動 (0.8~1.2V) のコアトランジスタの低温特性は一部報告がある[1-2]が、IO 用の高電圧トランジスタ (HV トランジスタ: 1.8~3.3V) の低温特性評価は未解明の部分が多い。本研究では、65nm CMOS の Bulk-nMOSFET について、HV トランジスタの極低温特性を評価した。

結果: 図 1 に定格 2.5V の HV-nMOSFET について 30% 電源変動を想定してオーバードライブさせた場合の(a)室温と(b)4K での I_d - V_d 特性を示す。低温では I_d が増加するが、 V_g が閾値電圧付近において飽和電流が異常増加した。この増加はインパクトイオン化と基板のフリーズアウトによる高抵抗化に起因すると考えられる。低温では高電界により加速された電子がドレイン近傍でシリコン原子に衝突し、正孔と電子が生成される。基板が高抵抗化しているため、生成された正孔が基板にトラップされ、正のボディバイアス効果で閾値電圧が低下したためと考えられる。この現象は I_d と I_s の電流収支が一致していることから確認できる。図 2 の I_d - V_g 特性では、低温で低リーク・高 V_{th} ・低 SS 等の低温特有の特性が確認されるが、 V_d が定格電圧に対して高い場合に、ヒステリシスが発生した。これは戻り測定時には、電流が十分に流れることで Joule heating により温度上昇し、基板でのトラップが抑制されたためと考えられる。

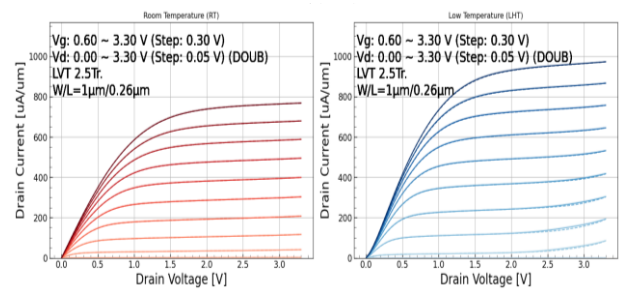


図 1 . 2.5V-nMOSFET の I_d - V_d 特性
(a)室温、(b)4K

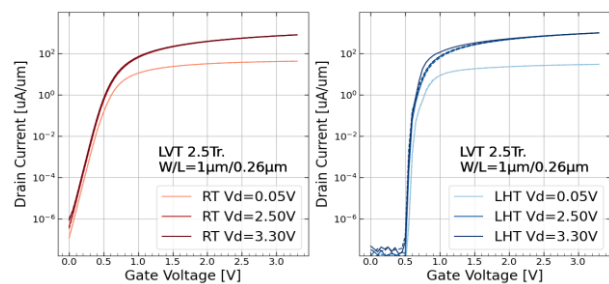


図 2. 2.5V-nMOSFET の I_d - V_g 特性
(a)室温、(b)4K

参考文献: [1] A. Becker et al. "Cryogenic MOS Transistor Model", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 65, NO. 9, SEPTEMBER 2018, [2] H. Oka. "Milli-Kelvin Analysis Revealing the Role of Band-edge States in Cryogenic MOSFETs", 2023 International Electron Devices Meeting (IEDM).

謝辞: 本研究は、JST【ムーンショット型研究開発事業】グラント番号【JPMJMS2067】の支援を受けたものです。