

SiO₂/Al₂O₃ 多層膜を用いたダイヤモンド MOS 構造の形成(2)

Fabrication of diamond MOS structure using SiO₂/Al₂O₃ bilayer thin film (2)

金沢大自然研 (M1)中川龍一、(B4)斎藤泰地、松本 翼、徳田規夫、川江 健

Grad. School of Natural Sci & Tech. Kanazawa Univ.

R. Nakagawa, T. Saito, T. Matsumoto, N. Tokuda, and T. Kawae

E-mail: kawae@ec.t.kanazawa-u.ac.jp

【はじめに】

ダイヤモンド MOSFET の安定動作に関して、従来から広く用いられる Al₂O₃ を上回るバンドギャップを持つ SiO₂ をゲート絶縁膜とする構造が望ましい。これまでに我々は、SiO₂/極薄 Al₂O₃ 積層構造をゲート絶縁膜としたダイヤモンド MOS 構造の形成を試み、SiO₂ 堆積条件の最適化および電圧ストレスを利用した Forming 処理により、MOS 構造中の固定電荷や界面準位に起因すると考えられるリーク電流や C-V 特性のヒステリシスの改善について報告してきた^[1]。今回、動作電圧の低減を念頭に Al₂O₃ 膜の更なる極薄膜化を目指したダイヤモンド上 SiO₂/極薄 Al₂O₃ 積層膜形成条件に関する検討を行った。

【実験方法】

(111)ダイヤモンド基板上に MPCVD 法で p/p⁺層をホモエピ成長させた試料に対し、ウェットアニール (500°C, 90min) による p 層表面の OH 終端化を行った。つぎに、サーマル ALD (基板温度: 300°C) を用いて 1.5~3nm 厚の Al₂O₃ を堆積した後、PLD 法を用いて 5.0×10⁻⁶Torr、100°C の雰囲気下で SiO₂ を堆積させた。なお、SiO₂ の膜厚は絶縁膜の総膜厚が約 20nm となるように試料毎に調整した。最後に、真空蒸着法により Au 電極を形成し、ダイヤモンド MOS 構造を作製した。

作製した試料の C-V 特性の評価を行う際、試料に対する Forming 処理として、作製したダイヤモンド MOS 構造が絶縁破壊を生じないバイアス範囲で電圧ストレスを与えた後に測定・評価を行った。

【結果と考察】

Fig.1.に作製した試料の C-V 特性を示す。また、比較のため、Multi-Dielectric Energy Band diagram program により求めた 20nm 厚の Al₂O₃ をゲート絶縁膜としたダイヤモンド MOS 構造の理想 C-V 特性を示す。いずれの試料もヒステリシス特性および理想特性に対するフラットバンド電圧シフトが抑制されたものである事を確認した。一方、2 および 3nm 厚の Al₂O₃ 試料に対し、Al₂O₃ の厚さを 1.5nm とした試料では C-V 特性における空乏領域の大幅な拡大が観測された。これは、SiO₂ 堆積時における高エネルギー粒子に対し、1.5nm 厚の Al₂O₃ はバリア層としての機能が不十分であり、Al₂O₃/ダイヤモンド界面に形成した OH 終端構造が破壊された事による界面準位の顕著な増加が考えられる^[2]。

今後は Al₂O₃ 表面への SiO₂ 初期層堆積エネルギーの低減や PMA 処理などのプロセス条件を検討する。

【参考文献】

- [1] 中川 他, 第 85 回応用物理学会秋季学術講演会講演予稿集, 19p-B3-22
- [2] X. Zhang *et al.*, AIP Advances **14**, 035323 (2024)

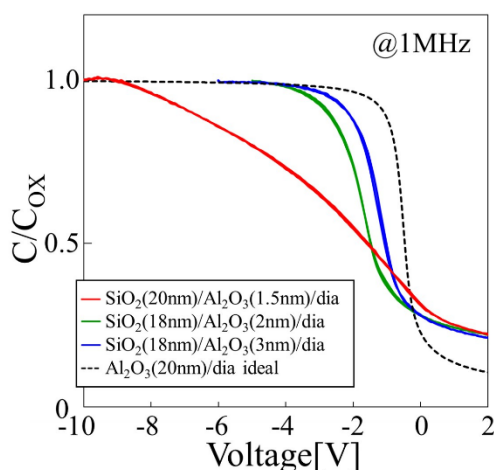


Fig.1. C-V curves of prepared diamond MOS structure