

Agile-chip platform を用いた半導体教育入門用学生実験の実践

An Example of Student Experiments for Entry of the Semiconductor Education with Agile-chip platform

東大工 ○(M1) 霜田 龍成, 天野 英晴, 小菅 敦文

Univ. Tokyo, °Ryusei Shimoda, Hideharu Amano, Atsutake Kosuge

E-mail: shimoda@nano.iis.u-tokyo.ac.jp

1. はじめに

一般に、半導体チップの設計から製造、測定を行うには長い時間を要し、学生が短期間で一連の流れを体験することは困難である。Agile-chip platform では、最上位配線層以外が作り込まれたベースチップが用意されており、学生は求める回路機能を満たすよう、最上位配線層のみ設計すれば良い。本稿は一連の実験の詳細、感想を述べる。

2. 実験詳細

実験では 61 段のリングオシレーターを作成した。前述のベースチップには、Fig. 1 に示すトランジスタ構造がアレイ状に配置されている。これらのピンを最上位配線層で繋ぐことで設計を行う。設計フローは Fig. 2 に示されており、回路シミュレーション時には予想される寄生容量も盛り込み、発振周期は 5.6ns であった。

設計して得られた GDS ファイルを元に製造する。ベースチップは最上位配線層に用いる金属層が成膜済みであり、レジスト塗布、レーザー露光、現像、ドライエッチング、レジスト除去を行うことで最上位配線層が完成する。ダイシング、トリートメントされた 3 チップの内、光学顕微鏡で見て欠陥のないものを選択し、業者にボンディングを発注する。

完成した基板に自らコネクタと電源プラグを半田付けし、測定を行った。Fig. 3 は基板の写真、Fig. 4 は波形の写真である。発振周期は 7ns であった。

3. 感想

Agile-chip platform を用いて、実働 3 日間で設計、製造、測定という半導体チップ開発の一連の流れを体験することができた。業者によるチップと基板のボンディングに要した時間も一週間ほどである。予め定められたリングオシレーターという繰り返し箇所の多い題材、最上位配線層のプロセスのみを扱うことで短期間を成し得た。

筆者は設計を行う研究室、プロセスを行う研究室どちらも経験があるのだが、本実験は設計や製造の経験がない学生でも取り組むことができる一方、体験して初めて分かるエッセンスを感じることができる、初学者と経験者の橋渡しの実験であると感じた。

今回は使用していないが、ベースチップには RISC-V CPU、SRAM、AD/DAC 等が搭載されており、ゲートアレイの配線を工夫すればより高度な設計が可能である。実験時には立ち上げが未完だったミニマルファブを用いれば、プロセス時間の短縮が期待される。

謝辞

本実験は、文部科学省・次世代 X-nics 半導体創成拠点形成事業(JPJ011438)により行われた。また、論理合成および物理設計は、東京大学大規模集積システム設計教育研究センター(VDEC)により、Cadence 社の CAD を利用して行われた。

参考文献

- [1] 天野、小菅、島本、最上、井上、落合、角、池田、井上、三田, Agile-chip platform を用いた半導体教育入門用学生実験の提案と試行, 電子情報通信学会 VLD 研究会 (デザインガイア 2024)
- [2] A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, H. Amano, T. Mogami, Y. Mita, M. Ikeda, T. Kuroda, Agile-X: A Structured-ASIC Created with a Mask-less Lithography System Enabling Low-Cost and Agile Chip Fabrication, IEEE Transactions on Very Large Scale Integration Systems

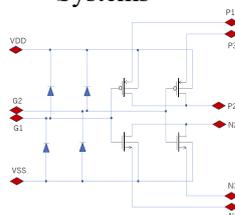


Fig. 1 Schematic of Gate Array Cell [1]

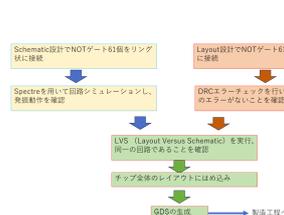


Fig. 2 Design Flow [1]



Fig. 3 Substrate

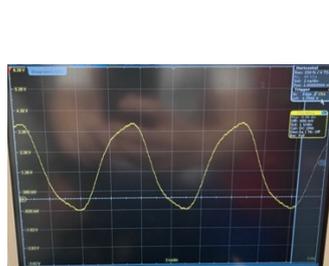


Fig. 4 Waveform