

GAA ナノシート型 Si チャンネルにおけるトラップ電荷誘起の電流変動

Current variation in gate-all-around nanosheet channel

induced by trapped charges at oxide/Si interface

産総研 先端半導体研究センター¹ ○神岡 武文¹, 岡田 直也¹, 福田 浩一¹SFRC, AIST¹, °Takefumi Kamioka¹, Naoya Okada¹, Koichi Fukuda¹

E-mail: kamioka-take@aist.go.jp

【背景・目的】次世代トランジスタの有力候補としてナノシート (NS) MOSFET の研究開発が盛んに進められている。従来の微細 FET と同様に、NS FET における静特性ばらつきは集積回路の動作不良や動作マージン低下の原因となるため重要な問題であるが、実験・シミュレーションともにほとんど報告がない。ばらつきの主要因としてゲート絶縁膜界面/膜中の欠陥に由来したトラップ電荷による電流変動が挙げられる。極微細チャンネルではトラップ電荷は数えられる程度にしか存在しないため、シミュレーションにおいては空間に一様分布した濃度としてではなく離散的なトラップ電荷として扱う必要がある。そこで本研究では、物理的な Si 厚が同程度の SOI FET と比較しつつ、NS FET におけるトラップ電荷による電流変動の影響を TCAD シミュレーションにより検討した結果を報告する。

【シミュレーション方法】産総研が独自開発した 3 次元 TCAD (impulse TCAD) [1]を用いてシミュレーションを行った。今回は古典的なドリフト拡散モデルを用いており、量子力学的な効果を考慮したモデルは組み込んでいない。NS および SOI の Si 層厚さを変えた FET をデバイスモデルとして、トラップ電荷を点電荷としてゲート絶縁膜/Si 界面に配置した。トラップ電荷は Si 層の上部・下部界面に各 1 個ずつ計 2 個を配置し ($\sim 2 \times 10^{11} \text{ cm}^{-2}$ 相当)、各界面内における位置はランダムなものとして 100 条件を準備した。このとき得られる電流値 (I) とトラップのない場合の電流値 (I_0) との差分 $\Delta I = I - I_0$ として、電流変動率 ($\Delta I/I_0$) を評価した。

【結果・考察】SOI と NS FET における電流変動率 $\Delta I/I_0$ (100 サンプルの平均) を Fig. 1 に示す。両デバイスともに Si 層が薄くなると $\Delta I/I_0$ が增大するが、同程度の Si 層厚では NS FET の方が SOI よりも $\Delta I/I_0$ が大きい。SOI は単一 (トップ) ゲートであり表側にのみチャンネルが存在するのに対し、NS は GAA 構造であり裏面側トラップ電荷に近接してチャンネルが存在するため、より大きな影響を受けると考えられる。Fig. 1 では変動率の平均を示しているが、特定のトラップ電荷配置では変動率がより大きくなる。一例として変動率が最大となる一例を Fig. 2 に示す。トラップ電荷 2 個がチャンネルのほぼ同一断面上に配置される場合であり、実効的にチャンネル断面積を大きく減少するためと考えられる。【参考文献】 [1] T. Ikegami et al., J. Comput. Electron. **18**, 534 (2019).

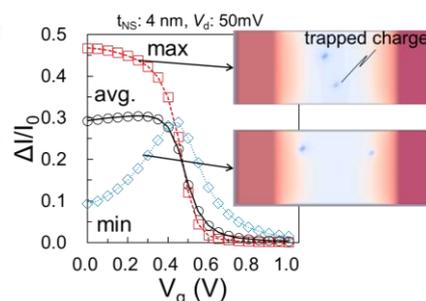
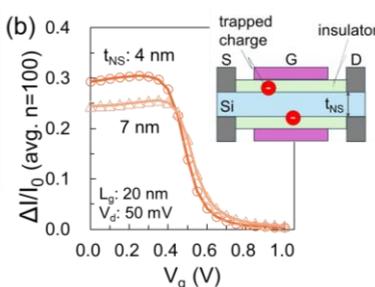
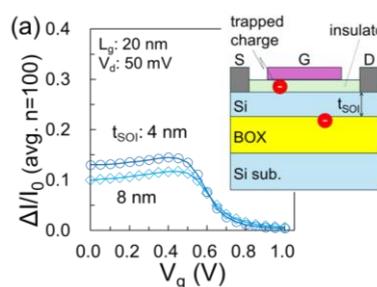


Fig. 1 Averaged current variation ratio as a function of V_g for (a) SOI FET and (b) NS FET.

Fig. 2 Relation between $\Delta I/I_0$ and trapped charge distributions