

高周波パワーアンプ向け3次元インダクタ素子に関する 層間膜プロセスの開発

Development of ILD process for 3D-inductor on RF power amplifier

住友電気工業株式会社 ◯新江定憲, 高山大希, 辻幸洋, 中田健

Sumitomo Electric Industries

◯Sadanori Arae, Daiki Takayama, Yukihiro Tsuji, Ken Nakata

E-mail: arae-sadanori@sei.co.jp

【はじめに】 移動通信、衛星通信やレーダーなどに SiC 基板上に形成された GaN HEMT を用いた高周波パワーアンプが広く使われている。そのような高周波パワーアンプには GaN HEMT だけでなく、整合回路やバイアス回路などの大面積の回路を要する。近年、アプリケーション側で周波数の上昇に伴い低損失な構成実態である MMIC (Monolithic Microwave Integrated Circuit) が求められる一方、半導体基板としては比較的高価な SiC 基板を用いることからコストが課題となる。そのため低損失かつ、回路の小型化による低コストを実現することは重要である。そこで我々は小型化に有利な 3 次元構造を有するインダクタ素子 (Fig.1) に注目した。デバイスの層間膜として 3 次元構造が形成しやすい SiO₂ と低誘電率で高周波特性に有利なポリイミド樹脂をそれぞれ用いて 3 次元インダクタ素子を試作し、検証を行った。

【実験方法】 絶縁性基板上に 4 層配線プロセスを用いて 3 次元インダクタ素子の作製を行った。各配線層は Au メッキにより形成し、総配線膜厚は 4~8 μm である。また、層間膜は SiO₂ とポリイミド樹脂を用いており、各層間膜厚は 2 μm としている。それぞれのインダクタ素子の特性を評価した。

【結果・考察】 Fig.2 に層間膜をそれぞれ SiO₂ とポリイミド樹脂を用いた、4 層配線による総配線膜厚が 4 μm、配線幅が 10 μm、面積が 50 μm × 50 μm の 3 次元インダクタ素子のインダクタンスと Q 値の結果を示す。周波数 20GHz 以降でポリイミド樹脂の方が高い Q 値が得られており、これは材料自体の誘電率の差であると思われる。一方、それぞれのプロセスの違いから SiO₂ では特性の歩留まりが高いことが確認でき、それぞれの層間膜の取り組むべき課題について報告する。また、試作した 3 次元インダクタ素子は従来の同一面に形成されたインダクタ素子と比較して低損失であることも確認でき、低コストとの実現に向けて有効な技術となりえる。

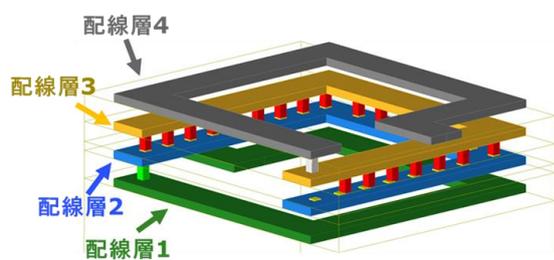


Fig.1 The 3D-Inductor with BEOL of 4 metal layers

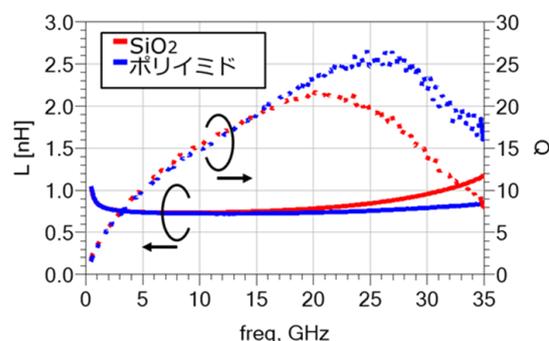


Fig.2 Measured inductance, Quality factor vs. frequency for the 3D-Inductor

【謝辞】 この成果は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の助成事業「ポスト 5G 情報通信システム基盤強化研究開発事業」(JPNP20017) の結果得られたものです。