

3次元スピン量子ビット構造の TCAD による解析

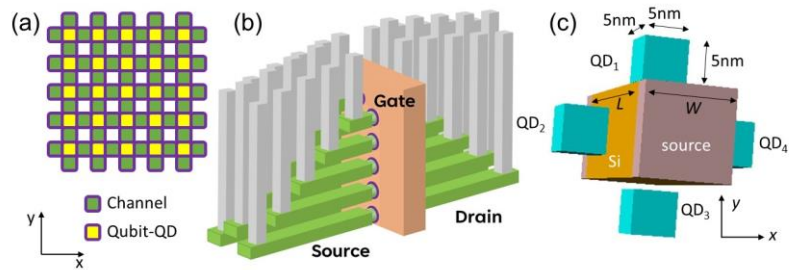
3D stacked spin qubit and TCAD simulations

帝京大理工, °棚本哲史

Teikyo Univ., °Tetsufumi Tanamoto,

E-mail: tanamoto@ics.teikyo-u.ac.jp

量子コンピューターの研究開発が世界中で進められている。量子計算機を実現するには、量子ビットを二次元的に並べた表面符号構造が必要とされている (図 1(a))。我々は、図 1(b)に示すように拡張されたナノシート構造を持つ積層量子ビットとして表面符号コードの実装を提案している[1]。スピン量子ビットの入る量子ドット(QD)は、GAA トランジスタのチャネル部分の周囲に配置される。スピン量子ビットとなる電子は、QD の周囲のゲート電極に印加電圧を印加することによって QD に挿入される。文献[1]では、配列量子ビット構造の読み出しエラーの確率が 1% 未満であることを理論的に示した。ここでは、この構造を現実的なトランジスタに実装するための最初のステップとして、シルバコ アトラスを使用



して TCAD シミュレーションを実行し、GAA 構造における過剰電荷分布をチャネル電流の変化として検出できるかどうかを検討した (図 1 (c))。

TCAD シミュレーションにおいて、QD は均一に帯電した絶縁材料によって表し、QD とチャネルの間にトンネル現象は無しとした。チャネルの周りの 4 つの QD の状態について、以下の 4 種類の電荷分布を設定し

た：(1) 電子なし、(2) 1 つ QD に 1 つの電子、(3) 2 つの QD に 2 つの電子、(4) 4 つの QD に対して 4 つの電子あり。5 nm 正方形の QD が $L=15\text{nm}$ から 1nm SiO₂ を介して配置されており、 $W=10\text{nm}$ GAA チャネル構造を仮定した場合の I_D - V_D 特性と I_D - V_G 特性の計算結果を図 3 に示す。異なる電荷分布に応じて、異なる I_D 値を取得できることがわかる[2]。

[1] T. Tanamoto and K. Ono, J. Appl. Phys. 134, 214402 (2023).

[2] T. Tanamoto, 2024 IEEE International 3D Systems Integration Conference (3DIC), Sendai, Japan, 2024.

本講演で発表する研究の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものです。

図 1: (a) 表面コード。(b)量子ビット QD が共通のゲート電極に覆われた積層量子ビット構造[1]。(c) 4 つの QD に囲まれた GAA。SiO₂ 及び Gate によって囲まれている。

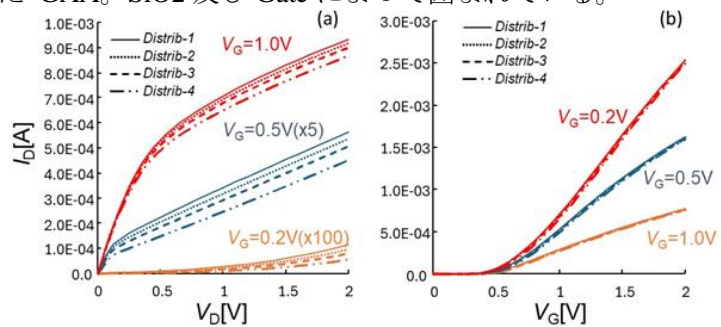


図 2: (a) ID- V_D 特性。(b) ID- V_G 特性 $T=300\text{K}$ 。