

## MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (14) -平均的 CP 電流-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (14) -Averaged CP current-

静大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法をツールとして欠陥における電子の挙動を抽出し欠陥物理の進展を目指してきた。はじめに、ナノ MOSFET に存在する MOS 界面欠陥の単一性の判定法を確立し、単一欠陥からの CP 電流  $I_{CPS}$  が  $0 \sim 2fq$  ( $f$ :ゲートパルス周波数,  $q$ :電気素量) の様々な値を示すことを発見した[1]。これにより単一欠陥が 2 電子準位を有していることを実証し、すべての  $I_{CPS}$  値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1)。なお、 $I_{CPS}=fq$  一定を大前提としている従来 CP 理論を本質的に改訂した[2]。さらに、単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し、既報[3]の ESR による  $P_{b0}$  センターの DOS との一致性を示した。そして、各準位における伝導帯電子の捕獲時定数の実測[4]、および、各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5]、これらの値を考察してこの 2 電子準位がドナー型 (D-like) とアクセプタ型 (A-like) の両性を有することに整合することを実証した。以上の結果から、界面欠陥が  $P_{b0}$  センターであることを単一欠陥単位 (原子スケール) ではじめて実証した。さらに、D-および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から、D-like 準位が電子捕獲した直後に何らかの電子状態緩和が起きていることの直接観測に成功した[6][7]。また、両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から、A-like 準位の捕獲電子が再結合した直後にも欠陥の電子状態緩和が起きていることの直接観測に成功した[8]。さらに、電子捕獲過程における緩和時定数と、再結合過程における緩和時定数との間に強い正の相関関係があることを発見し、電子捕獲・再結合過程における可逆的な電子状態緩和過程の存在を発見した。

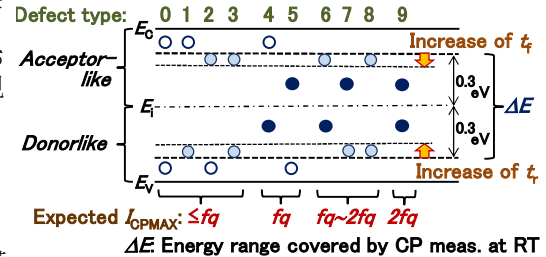


Fig. 1 Classification of single amphoteric Si/SiO<sub>2</sub> interface-defects [1, 2].

本件ではツールとしての CP 法に立ち戻り、CP 法によって多数の界面欠陥を含む MOSFET の欠陥数導出法について考察する。従来 CP 理論では各界面欠陥は 1 電子準位を有すると仮定しているため、欠陥 1 個当たりの CP 電流  $I_{CPS}$  は一定値  $fq$  であり、試料の最大 CP 電流  $I_{CPMAX}$  の測定値を用いて、界面欠陥数  $N=I_{CPMAX}/(fq)$  として簡便に導出されてきた。しかし、前述のように実際には室温での  $I_{CPS}$  は欠陥タイプによって  $0 \sim 2fq$  の様々な値を有するため、この式は成立しない。そこで、仮に試料内の多数の界面欠陥の  $I_{CPS}$  の平均値  $I_{CPSAV}$  を導出でき、それが普遍的な値であれば  $I_{CPMAX}/(I_{CPSAV})$  によって界面欠陥数を導出できて実用的に有用と考えられる。本件ではそのような  $I_{CPSAV}$  値の導出を試みる。

前述のように、ランダムに検出した単一欠陥の欠陥タイプ別個数分布から DOS を導出し、それが ESR で得られていた大面積 MOS に含まれている  $P_{b0}$  の DOS と良く一致することを見出した。このことは、製法も異なる大面積 MOS に含まれていた界面欠陥の欠陥タイプ別個数分布が、我々が得た単一欠陥の欠陥タイプ別個数分布にほぼ等しいことを意味していると言える。そこで実際に上記のランダム検出した 27 個の界面欠陥から  $I_{CPSAV}$  を求めたところ驚くべきことに  $I_{CPSAV}=1.1fq$  となり、従来 CP 理論で用いてきた  $I_{CPS}=fq$  に極めて近い値となった。ただし、従来 CP 理論では  $\Delta E$  (CP で検出できる Si バンドギャップ内のエネルギー範囲) 内の界面欠陥数  $N$  に等しいとしていた  $I_{CPMAX}/(fq)$  は正しくは  $\Delta E$  内の電子準位数を表しているのに対して、 $I_{CPMAX}/(I_{CPSAV})$  はバンドギャップ全域内の界面欠陥数  $N_T$  を表しており物理的な意味は異なる。 $I_{CPSAV}$  は  $\Delta E$  範囲外の電子準位も加味されている値だからである (なお、低温化により  $I_{CPSAV}$  は  $2fq$  に漸近する。また、室温で  $N=I_{CPMAX}/(fq)$  と  $N_T=I_{CPMAX}/(I_{CPSAV})$  がほぼ等しくなる理由とその応用についても当日述べる)。

ただし、 $I_{CPSAV}=1.1fq$  を用いて  $I_{CPMAX}/(I_{CPSAV})$  から導出された  $N_T$  が妥当なのは、電子捕獲・放出に及ぼす欠陥間の相互作用が無視できる場合である。これまでの検討から、欠陥間の間隔が約 50 nm 以下になると相互作用が顕在化し  $I_{CPS}$  は減少する[2]。この 50 nm の欠陥間隔は欠陥面密度  $N_{it}$  に換算すると  $1.4 \times 10^{10}/\text{cm}^2$  となる。したがって、測定で得られた  $N_{it}$  ( $=N_T/A_G$ ,  $A_G$  はゲート面積) の値が  $1.4 \times 10^{10}/\text{cm}^2$  以下であればその値は妥当であるが、 $1.4 \times 10^{10}/\text{cm}^2$  以上であれば過小評価していることになる。

以上により、多数の界面欠陥を含む MOSFET の  $N_{it}$  や  $N_T$  を簡便な室温 CP 法によって、条件付きではあるものの概算可能になったと言える。

本研究の一部は科研費 No. 24K00942 の助成を受けて行われた。

### 参考文献

- [1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015. [2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.  
[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001. [4] 土屋 他, 第 69 回春応物 23p-E307-18~20, 2022.  
[5] 土屋 他, 第 84 回秋応物 21a-A304-10~11, 2023. [6] 土屋 他, 第 83 回秋応物 22a-A102-1~2, 2022.  
[7] 土屋 他, 第 70 回春応物 16a-A403-9~10, 2023. [8] 土屋 他, 第 71 回春応物 23a-12J-5~6, 2024.