

## MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (15) -DOS の分析 (I)-

Direct observation of electron capture processes in amphoteric defect states achieved by  
charge pumping in individual defects at MOS interface (15) -DOS analysis (I)-

静岡大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法をツールとして欠陥における電子の挙動を抽出し欠陥物理の進展を目指してきた。はじめに、ナノ MOSFET に存在する MOS 界面欠陥の単一性の判定法を確立し、単一欠陥からの CP 電流  $I_{CPS}$  が  $0 \sim 2fq$  ( $f$ :ゲートパルス周波数,  $q$ :電気素量) の様々な値を示すことを発見した[1]。これにより単一欠陥が 2 電子準位を有していることを実証し、すべての  $I_{CPS}$  値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1)。なお、 $I_{CPS}=fq$  一定を大前提としている従来 CP 理論を本質的に改訂した[2]。さらに、単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し、既報[3]の ESR による  $P_{b0}$  センターの DOS との一致性を示した。そして、各準位における伝導帯電子の捕獲時定数の実測[4]、および、各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5]、これらの値を考察してこの 2 電子準位がドナー型 (D-like) とアクセプタ型 (A-like) の両性を有することに整合することを実証した。以上の結果から、界面欠陥が  $P_{b0}$  センターであることを単一欠陥単位 (原子スケール) ではじめて実証した。さらに、D-および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から、D-like 準位が電子捕獲した直後に何らかの電子状態緩和が起きていることの直接観測に成功した[6][7]。また、両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から、A-like 準位の捕獲電子が再結合した直後にも欠陥の電子状態緩和が起きていることの直接観測に成功した[8]。さらに、電子捕獲過程における緩和時定数と、再結合過程における緩和時定数との間に強い正の相関関係があることを発見し、電子捕獲・再結合過程における可逆的な電子状態緩和過程の存在を発見した。

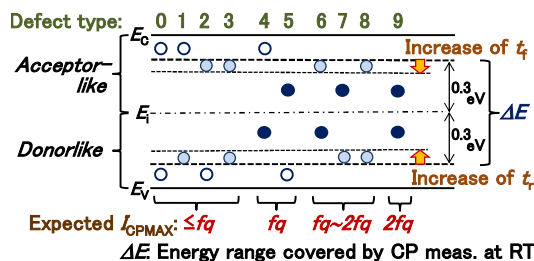


Fig. 1 Classification of single amphoteric Si/SiO<sub>2</sub> interface-defects [1, 2].

本件では次の講演「DOS の分析 (II)」の前段として、(100)Si/SiO<sub>2</sub> 界面トラップの DOS、および、(100)Si/SiO<sub>2</sub> 界面の  $P_b$  センターに関する背景を述べ、認識を共有したい。界面トラップの DOS については主に CV 法による報告例が 1960-1990 年代に多くなされた。一方、EPR community による ESR を用いた  $P_b$  の DOS や界面トラップ量との対応に関する報告例も多い。しかし、MOS community では  $P_b$  は界面トラップのごく一部にしか過ぎないと認識が強く、EPR community との communication 不足も指摘された[9]。界面トラップの DOS 分布は「U-shape」という認識が強く、バイブル的な「Physic of Semiconductor Devices」4<sup>th</sup> Edition (2021) においても代表的な例として「U-shape」の DOS が紹介されている。しかし、J. T. Ryan らは 2011 年に、清浄な sub- $\mu$ m MOSFET を用いて CP 法による界面トラップ DOS を求め、「U-shape」ではなく「double peak」を有することを示し、界面トラップは  $P_b$  であるとして矛盾はないと報告している[10]。我々も同様に sub- $\mu$ m MOSFET を用いた CP 法による「double peak」の界面トラップ DOS を報告し、さらに、ナノ MOSFET を用いた CP 法による単一界面欠陥の 2 電子準位の DOS と、 $P_{b0}$  の double-peak DOS との一致性を原子スケールで示した[2]。従って、界面トラップの DOS は「U-shape」ではなく、 $P_b$  に対応した「double peak」の分布を有している。なお、「double peak」の界面トラップとは別に、界面構造不規則性に起因した電子準位がバンド端に存在することは留意したい[11]。

次に(100)Si/SiO<sub>2</sub> 界面の  $P_b$  ( $P_{b0}$  と  $P_{b1}$ ) に関して、 $P_{b0}$  については現状かなり良く理解されていると言える ( $P_{b0}$  は trivalent Si ( $\cdot$ Si=Si<sub>3</sub>), 化学的には(111)Si/SiO<sub>2</sub> 界面の  $P_b$  と同一, amphoteric nature, double-peak DOS, 相関エネルギー  $U=0.6 \sim 0.7$  eV)。しかし、 $P_{b1}$  については、電気的に不活性で Si バンドギャップ内に準位は無いとする報告[12]と、 $U=0.3 \sim 0.4$  eV の「double-peak」を有する DOS がギャップ中心より下部のギャップ内に存在するとの報告[13]があり、誌上論争[14]もされたが未決着な状況にある。

### 参考文献

- [1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015. [2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.  
[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001. [4] 土屋 他, 第 69 回春応物 23p-E307-18~20, 2022.  
[5] 土屋 他, 第 84 回秋応物 21a-A304-10~11, 2023. [6] 土屋 他, 第 83 回秋応物 22a-A102-1~2, 2022.  
[7] 土屋 他, 第 70 回春応物 16a-A403-9~10, 2023. [8] 土屋 他, 第 71 回春応物 23a-12J-5~6, 2024.  
[9] P. M. Lenahan et al., J. Vac. Sci. Tech. B 16(4), 2134 (1998). [10] J. T. Ryan et al., JAP 98, 233502 (2011).  
[11] J. Singh and A. Madhukar, APL 38, 884 (1981). [12] A. Stesmans and V. V. Afanas'ev, Phys. Rev. B 57, 10030 (1998).  
[13] T. D. Mishima et al., IEEE T-NS 47, 3771 (2000). [14] Stesmans & Mishima et al., APL 78, 1451 & 1453 (2001).