

## SiGe 超薄膜界面層による Si 薄膜の熱伝導率低減

## Thermal Conductivity Reduction by SiGe Super-thin Film Interface Layers

東大生研<sup>1</sup>, 東京都市大<sup>2</sup>, °小田島 綾華<sup>1,2</sup>, 柳澤 亮人<sup>1</sup>, 澤野 憲太郎<sup>1,2</sup>, 野村 政宏<sup>1</sup>IIS Univ. of Tokyo<sup>1</sup>, Tokyo City Univ.<sup>2</sup>, °A. Odashima<sup>1,2</sup>, R. Yanagisawa<sup>1</sup>, K. Sawano<sup>1,2</sup>, M. Nomura<sup>1</sup>

E-mail: g2491202@tcu.ac.jp

**背景・目的**：超スマート社会の実現に向け、Si 基板上の熱電デバイスの高性能化が期待されている。熱電性能向上のために Si 材料の高い電気伝導と熱伝導率低減が非常に重要であり、基板構造に SiGe ヘテロ構造を導入することで、熱伝導率の低減が期待されている[1]。これまで円孔配列の Si フォノンニックナノ構造を用いた Si ナノ熱電デバイスを開発し熱伝導率の低減によって高い性能を実現した[2]。本発表では、より電気抵抗の低いデバイス開発に向けて、SiGe 超薄膜界面層を持つ Si 薄膜について、SiGe 界面層のピッチを変化させたときの薄膜面内方向の熱伝導率 $\kappa$ と電気伝導率 $\sigma$ を評価した結果について報告する。

**手法・結果**：SOI 基板上の厚さ~40 nm の単結晶 Si 層の上に、固体ソース MBE を用いて成長温度 500°C で P をドーピングしながら、厚さ 20, 30, 60 nm のシリコン膜 9, 6, 3 層と厚さ~2 nm の  $\text{Si}_{0.8}\text{Ge}_{0.2}$  薄膜 8, 5, 2 層を交互にエピタキシャル成長し、異なるピッチを持つ厚さ~220 nm の超格子構造を作製した (図 1 (a))。Hall 測定により、キャリア濃度  $1.3 \sim 1.8 \times 10^{19} \text{ cm}^{-3}$  を得た。電子線描画とレーザーソグラフィにより作製した、 $\mu$ -TDTR 法と4端子測定法による面内方向の $\kappa$ 測定と $\sigma$ 測定が可能な試料構造を図 1 (b)に示す。図 1 (c)に示すように、今回作製した Si/SiGe 超格子構造はどれも、同じ厚さの単結晶 Si と比較して低い $\kappa$ が得られ、SiGe 界面層のピッチが短いほど低い $\kappa$ が得られた。SiGe 界面層のピッチが 20 nm の構造では、 $25 \text{ Wm}^{-1}\text{K}^{-1}$  まで $\kappa$ を低減させることができた。今回得られた結果は、厚い膜においても SiGe 薄膜界面層によって効果的に $\kappa$ を低減できることを示唆しており、低電気抵抗で高効率な熱電デバイス応用に有望であると言える。

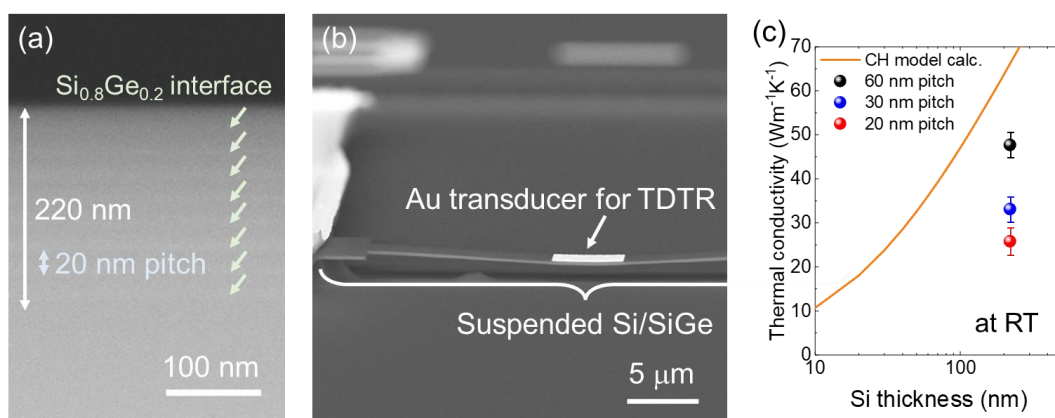


Figure 1 (a) Cross-sectional SEM image of Si/SiGe multilayer structure. (b) SEM image of fabricated micro-bridge structure for  $\mu$ -TDTR and 4 probes measurements. (c) Measured thermal conductivity of Si/SiGe multilayer structures as a function of Si thickness.

**謝辞**：本研究は、JST 未来社会創造事業 (JPMJMI19A1)、および科学研究費補助金 (21H04635) の支援により遂行された。**参考文献**：[1] T. Taniguchi *et al.*, ACS Appl. Mater. Interfaces **12**, 25428 (2020). [2] R. Yanagisawa *et al.*, Mater. Today Phys. **45**, 101452 (2024).