



半導体スピントロニクスのための高濃度 p 型 Si 層の作製・評価

Fabrication and evaluation of heavily-doped p -type Si layer for semiconductor-based spin devices

日大工 〇(M1C) 李 奕禧, (B) 谷口 柁, (B) 阿部 智瑛, 石川 瑞恵

Nihon Univ. College of Engineering, 〇Yixi Li, Shu Taniguchi, Tomoaki Abe, Mizue Ishikawa

E-mail: ceeek24016@g.nihon-u.ac.jp

半導体エレクトロニクスにおいて、更なる高性能化を実現するためスピントロニクスが注目されている。そのスピントロニクスを利用したスピントロニクスを実現するためには、スピン信号の観測が不可欠である。スピン信号を観測するためには、強磁性体からスピン偏極した電子をシリコン(Si)のような半導体へ効率良く注入する必要がある。これまでの研究より、高濃度 Si 層の表面粗さがスピン信号に影響することを明らかにしてきた。^[1]そこで本研究では、高濃度 p 型 Si 層(p^+ -Si)に着目し、その作製条件と表面粗さの関係を評価することを目的とした。

p^+ -Si 層の作製には、基板洗浄した Silicon on Insulator(SOI)基板(117 nm)上に、PBF 液を塗布し拡散アニールによって不純物ドーピングを行った。次に、Spin on Glass(SOG)膜を剝離し、窒素雰囲気中で活性化アニール(980°C)を行った。作製した p^+ -Si 層の電気抵抗率を四探針法により測定し不純物濃度 n を算出した。また Atomic Force Microscope(AFM)を用いて、 p^+ -Si 層の表面形状評価を行った。

Fig. 1 に作製した p^+ -Si 層における n のアニール温度(T_a)依存性を示す。これまで作製してきた高濃度 n 型 Si 層(n^+ -Si)は T_a を 750°C から 950°C まで大きくすると n が高くなっていく傾向がみられていたが、今回作製した p^+ -Si 層も T_a が上昇するとともに、 n が高くなっている(Fig. 1 参照)。よって、 p^+ -Si 層と n^+ -Si 層の n は T_a に対して同じ傾向を持っていることがわかる。

Table. 1 に作製した p^+ -Si 層における n と表面粗さ(R_a)の T_a 依存性を示す。Table. 1 より、 T_a が高くなるにつれ n が高くなっていき、 R_a も大きくなっていくことがわかる。よって、スピン散乱を抑制するための平坦な p^+ -Si 層の作製には、低 T_a で作製する必要がある。一方、 T_a が 600°C と 750°C の場合を比較すると、 R_a はいずれも同じであるが、 n は 750°C のほうが大きいことがわかる。 p^+ -Si 層を作製するためには、 R_a を抑制しつつ高純度な Si 層を作製しなければならない。そこで、高濃度かつ平坦な Si 層を作製するため、 T_a を 750°C に固定して 2 回アニールを行うことにした。Fig. 2 は T_a を 750°C で 1 回アニールした場合[Fig. 2(a)]と 2 回アニールした場合[Fig. 2(b)]の p^+ -Si 層の表面 AFM 像を示す。1 回アニールした場合と 2 回アニールした場合の n は、それぞれ 1.54×10^{18} [cm^{-3}] と 2.78×10^{18} [cm^{-3}] であった。よって、2 回アニールした n は 1 回アニールした場合に比べて約 2 倍の値となっていることがわかる。また、2 回アニールした場合の R_a はほぼ変化していない。以上より、平坦な p^+ -Si 層を作製するためには、 T_a を抑制しつつ複数回アニールする方法が利用できると考えられる。

本研究の一部は、科学研究費補助金(24K17326)の支援を受けて行われた。

[1] M. Ishikawa *et al.*, MMM2014(2014)

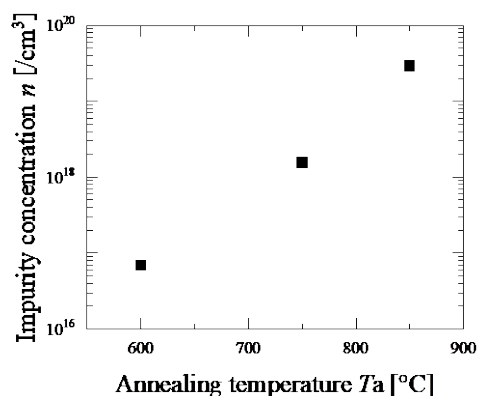


Fig. 1 Annealing temperature (T_a) dependence of impurity concentration (n) in the fabricated p^+ -Si layer.

Table. 1 Annealing temperature (T_a) dependence of impurity concentration (n) and surface roughness (R_a) in the fabricated p^+ -Si layer.

T_a [°C]	n [cm^{-3}]	R_a [nm]
non-dope	—	0.055
600	6.87×10^{16}	0.093
750	1.54×10^{18}	0.093
850	2.91×10^{19}	0.113

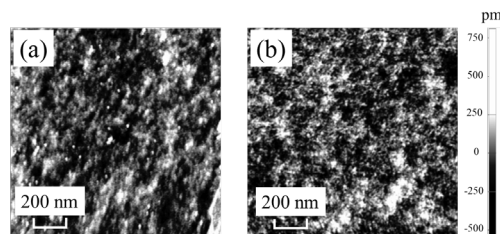


Fig. 2 AFM image after annealing at 750°C. [(a) Si annealed once (b) Si annealed twice]