

SiC 相補型 JFET の 350°C 動作実証および性能向上に向けた基礎研究

350°C operation of a SiC complementary JFET and basic study on its performance improvement

京大院工、[○]金子 光顕、木本 恒暢
 Kyoto Univ., [○]Mitsuaki Kaneko, Tsunenobu Kimoto
 E-mail: kaneko@semicon.kuee.kyoto-u.ac.jp

近年、高温・放射線暴露といった厳環境で動作可能な集積回路に注目が集まっている。ワイドギャップ半導体はシリコンの材料限界を打破する半導体として注目を集めており、集積回路分野においても例外ではない。中でも、炭化ケイ素 (SiC) はイオン注入により広範囲の p、n 型の伝導性制御が可能のため、厳環境動作集積回路に適した材料として期待されている。本発表では、SiC JFET を用いた相補型回路の概要について紹介する。

SiC JFET は酸化膜をデバイス構造に使用しておらず、高温環境で動作可能な論理回路形成用の素子として有望視されている。著者らは、n チャネル JFET (nJFET) と pJFET を組み合わせた相補型 JFET (CJFET) による集積回路の作製を提案している[1-3]。CJFET の構成には、同一基板上にノーマリーオフ型の n および pJFET を作製する必要があるが、エピ層をチャンネルとした従来の構造では実現が困難である。そこで本研究では、JFET のデバイス構造全てをイオン注入により作製することを提案した。室温~350°Cにおける CJFET インバータの電圧伝達特性を図 1 に示す。いずれの温度でも良好なインバータ特性が得られている。室温~350°Cにおける論理閾値電圧シフトは約 0.2 V と非常に小さく抑えられている。一方、室温~200°Cでは rail-to-rail 出力が得られているものの、300°C以上では 0 V 入力時の出力電圧がわずかに減少している。これは、300°C以上の高温域で pJFET のソース (電源) から nJFET のソース (接地) へ流れるリーク電流が増大することが原因であり、このリーク電流の抑制がさらなる高温動作実現に向けた課題となる。

リーク電流低減に向けた取り組みとして、ソース・ドレイン間の電気的絶縁性を向上させたダブルウェル構造を有する JFET を n 型エピ層上に作製した[4]。図 2 に本研究で n 型エピ層上に作製した p-JFET の模式図を示す。p-well 中の n-well によって素子分離が行われるダブルウェル構造を有する。図 3 に室温から 873 K において測定したゲート特性を示す。873 K においても正常なトランジスタ動作が確認でき、 I_{ON}/I_{OFF} は 10^3 以上であった。発表では SiC CJFET 性能向上に向けたその他の取り組みを説明する。また、他機関の JFET を使用したロジック回路の最新の研究状況についても報告する。

[1] M. Kaneko and T. Kimoto, IEEE EDL **39**, 723 (2018). [2] M. Nakajima et al., IEEE EDL **40**, 866 (2019).
 [3] M. Kaneko et al., IEEE EDL **43**, 997 (2022). [4] 金子他, 第 85 回応用物理学会秋季講演会(2024), 18a-P06-16.

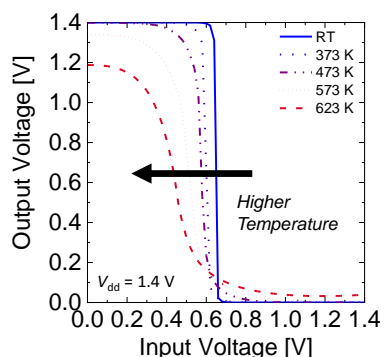


Fig. 1: Temperature dependence of the voltage transfer characteristics of a SiC CJFET fabricated in this study.

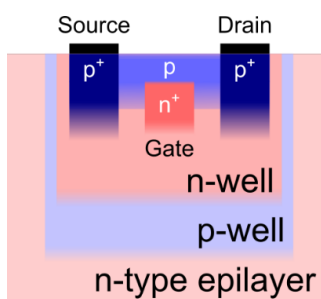


Fig. 2: Schematic structure of p-JFET with double-well structure fabricated on an n-type epilayer.

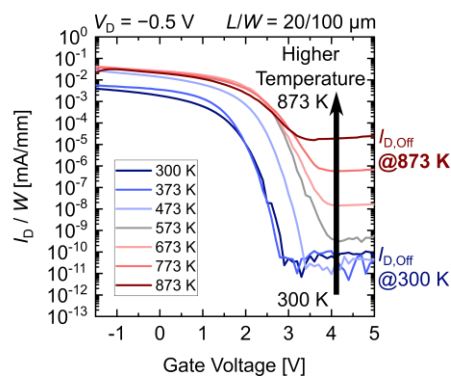


Fig.3: $I_D - V_G$ curves of the p-JFET with double-well structure fabricated on an n-type epilayer measured from RT to 873 K.