

酸化物半導体トランジスタの微細化に関する研究

Research on device scaling for oxide semiconductor transistors

東大 d. lab¹, 東大生研² 小林 正治^{1,2}

Univ. Tokyo, d.lab¹, Univ. Tokyo, IIS²

E-mail: masa-kobayashi@nano.iis.u-tokyo.ac.jp

IGZO をはじめとする酸化物半導体を用いたトランジスタ技術[1]は、低温形成可能、ワイドバンドギャップで透明、低リーク電流、高移動度などの特徴を有し、現在ディスプレイ応用で量産化されている。これらの特徴を有する酸化物半導体は現在、集積デバイスへの応用が期待されている[2]。集積デバイス応用に向けてはトランジスタのナノスケールへの微細化が必須であり、そのためには成膜技術の確立とデバイス物理の理解が不可欠である。私たちは、微細化に欠かせないナノ薄膜の酸化物半導体の成膜方法と、ナノスケールの酸化物半導体トランジスタのキャリア輸送特性および特性ばらつきに関する研究を行ってきた。本講演ではその内容について報告する。

微細化のためにはチャンネル材料の薄膜化が不可欠であり、膜厚 10nm 以下の酸化物半導体の均一な成膜と、三次元構造へのコンフォーマルな成膜が求められ、酸化物半導体の原子層堆積(ALD)法が必要となる。私たちは組成・膜厚を調整可能な ALD 成膜方法を確立し、薄膜トランジスタを試作、系統的な特性の解析を行った。その結果、ALD 法に特有な事として、スパッタ法に比べて強い酸化反応を伴うため、膜中に過剰酸素が入りやすく、それによりバイアスストレスでの閾値電圧シフトが起りやすいことを見出した。この課題に対して、成膜条件を最適化し、ダブルゲート構造を採用することで、高性能・ノーマリーオフ動作・高信頼性を同時に実現した(Fig.1)[3]。

酸化物半導体トランジスタに関して、低電界輸送特性については多くが明らかになってきている一方、微細なトランジスタでの高電界キャリア輸送特性についてはほとんど報告例がない。私たちは、ゲート長を 50nm 程度まで微細化した酸化物半導体トランジスタを試作し、その高電界輸送特性を調査した。その結果、シリコントランジスタと比較して速度飽和現象が起らず、ゲート長に対して線形に電流が増加し続けることがわかった。これにより微細化することでシリコントランジスタの性能とのギャップを縮められる可能性があり、酸化物半導体トランジスタの微細化のメリットを示した(Fig.2)[4]。また約 1000 個の微細トランジスタを高歩留まりで試作し特性ばらつきを評価したところ、ナノシート構造の採用とドナー濃度の低減により、シリコントランジスタに対して閾値電圧、DIBL、オン電流において特性ばらつきを小さく抑えられることがわかった。これにより酸化物半導体トランジスタの高集積化が可能であることを示した。

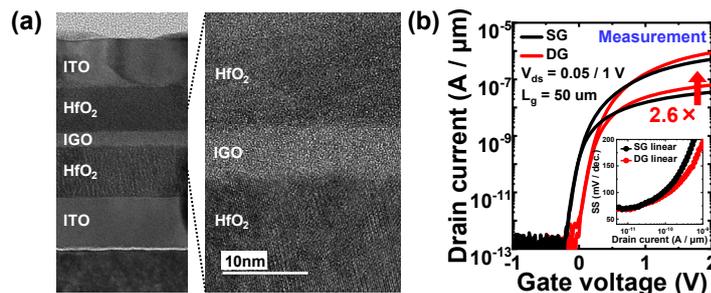


Fig. 1 (a)ダブルゲートトランジスタの断面 TEM 像、(b)ダブルゲート(DG)およびシングルゲート(SG)トランジスタの電流伝達特性の比較

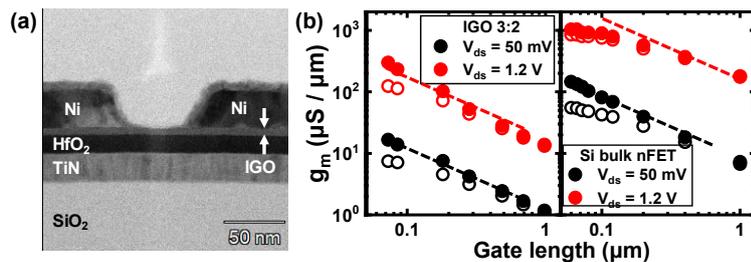


Fig. 2 (a)短チャネルトランジスタの断面 TEM 像、(b)酸化物半導体およびシリコントランジスタのトランスコンダクタンスのゲート長依存性

謝辞

東大生研の平本俊郎教授、更屋拓哉助手、水谷朋子研究員、奈良先端大の浦岡行治教授、高橋崇典助教、産総研の上沼睦典研究員の研究協力に感謝いたします。

- JST CREST (23830112)
- JST ASPIRE (23836464)
- 科研費(21H04549, 24H00309)
- TSMC Advanced Semiconductor Research Project

による研究支援に感謝いたします。

参考文献

- [1] K. Nomura et al., Applied Physics Letter, 85, 1993 (2004).
- [2] H. Kunitake et al., IEDM pp.312-315 (2018).
- [3] K. Hikake et al., IEEE Transactions on Electron Devices, 71, 4, 2373 (2024).
- [4] X. Huang et al., IEEE Transactions on Electron Devices, Accepted on Sep. 27 (2024).