

## 結晶シリコンセル表面を導電層で部分被覆した太陽電池モジュールの シャント型電圧誘起劣化挙動

Shunting-type potential-induced degradation behavior of photovoltaic modules with  
crystalline silicon cell surfaces partially covered with a conductive layer

新潟大自然研<sup>1</sup>, 大阪大<sup>2</sup>, 北陸先端大<sup>3</sup>, 新潟大 IRCNT<sup>4</sup>

○(M2)米本 旭<sup>1</sup>, (D)秦 禎明<sup>1</sup>, (B)西野 耕平<sup>1</sup>, Marwan Dhamrin<sup>2</sup>, 大平 圭介<sup>3</sup>,  
後藤 和泰<sup>1,4</sup>, 増田 淳<sup>1,4</sup>

Grad. School Sci. Tech., Niigata Univ.<sup>1</sup>, Osaka Univ.<sup>2</sup>, JAIST<sup>3</sup>, IRCNT, Niigata Univ.<sup>4</sup>

°Asahi Yonemoto<sup>1</sup>, Yiming Qin<sup>1</sup>, Kohei Nishino<sup>1</sup>, Marwan Dhamrin<sup>2</sup>, Keisuke Ohdaira<sup>3</sup>,  
Kazuhiro Gotoh<sup>1,4</sup>, Atsushi Masuda<sup>1,4</sup>

E-mail: f23c088h@mail.cc.niigata-u.ac.jp

シャント型電圧誘起劣化(shunting-type potential-induced degradation: PID-s)現象では、カバーガラスとセル間に発電時に発生する電界とりわけ反射防止膜(ARC)に印加される電界[1]により、カバーガラス中の Na イオンがセル表面のエミッタ層まで到達しセル内に侵入し、セル性能が低下する。これまでに、ARC 表面を導電層で完全被覆することで ARC 内での電界の発生を防ぎ、PID-s を完全抑止できることが報告されている[2]。本研究では、導電層が ARC を部分的に被覆している場合の PID-s の挙動を調査するため、Ag ナノワイヤ(Ag NW)を結晶 Si セル表面にスピコートした太陽電池モジュールに対して PID 試験を実施した。

セル表面に Ag NW の IPA 懸濁液(0.5 wt %)を 100  $\mu$ L 滴下し、回転速度 200~1000 rpm でスピコートした後に、90°Cで 90 s 間アニールした。それらのセルを用いて作製したモジュールと、Ag NW を含まない Control モジュールにおいて、65°Cの試験槽内で p, n 電極間を短絡したセルに対して-1000 V を印加することで 240 h の PID 試験を実施した。

Fig. 1 には初期短絡電流密度( $J_{sc}$ )と PID 試験後の変換効率(PCE)の低下率を示す。Fig. 1 から、初期  $J_{sc}$  が小さいモジュールの方が PID-s の発現による PCE の低下が少ない傾向にあることがわかる。また、初期  $J_{sc}$  が 26.9 mA/cm<sup>2</sup> のモジュールは PID 試験 240 h でも性能低下を示さず、PID-s の発現が完全抑止された。

このことから、ARC 表面に堆積された Ag NW 間に入射光が透過できる空隙が存在する一方で、Ag NW 導電層が三次元ネットワークを組むことで電界を遮蔽し、Na イオンのセルへの侵入を抑止可能であることが示唆された。

[1] S. Jonai et al., Proc. 46th IEEE PVSC, 2019, p. 1969.

[2] 城内 紗千子他、特許第 7158024 号、2022.

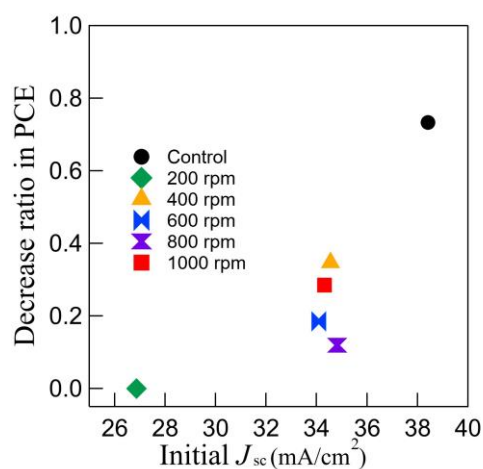


Fig. 1. PCE decrease ratio after 240 h of PID test against initial  $J_{sc}$ .