

Si 量子ドット多重集積構造における二次元電子伝導

Two-Dimensional Electron Transport Through Multiple-Stacked Si Quantum Dot

¹名大工,²名大院工,³愛知工大 ⁰¹窪田 遥斗,²白 鍾銀,³田岡 紀之,²牧原 克典¹Nagoya Univ.,²Grad. Nagoya Univ.,³Aichi Inst. Tech. ⁰¹Haruto Kubota,²Jongeun Baek,³Noriyuki Taoka,²Katsunori Makihara

E-mail: makihara.katsunori.n6@f.mail.nagoya-u.ac.jp

序 > 少数電子・少数光子を使って高度な知能情報処理を室温且つ高エネルギー効率で実現するために、半導体量子ドットや金属ナノドットを活用した研究が盛んに行われている。これまでに我々は、SiH₄-LPCVD を精密に制御することで、OH 終端した熱 SiO₂ 表面に Si 量子ドットを形成できることを報告した[1]。本研究では、サイズを精密制御した Si 量子ドットの多重集積構造において、面内方向における電気伝導特性を評価した。

実験 > 1000°C ドライ酸化によって p-Si(100)基板上に膜厚~35nm の SiO₂ 膜を形成した。その後、SiH₄-LPCVD により Si 量子ドットを自己組織化形成した。ドット形成後、800°C ドライ酸化によりドット表面を~1.8nm 酸化し、これらのプロセスを 5 回繰り返すことで、多重集積構造を形成した。また、LPCVD はガス圧力 100Pa、基板温度 580°C および 700Pa、490°C で行い、サイズの異なるドットを形成した。ドット多重集積構造を形成した後、コプラナー型の Al 電極(電極間距離 2mm)を真空蒸着により形成し、電気伝導評価を室温で行った。

結果および考察 > SiH₄-LPCVD

を 5 回繰り返した後の AFM 表面形状像から、ドット高さ~20nm および~8nm の Si 量子ドットが面密度~10¹¹cm⁻² で出来ていることが確認できる(Fig. 1)。尚、ドット高さ~20nm の構造において、電圧を 0V から 20V まで電圧掃引(2.0V/s)した場合、印加電圧の増加に伴い大幅な電流の増大が認められ、電圧掃引後、20V から 0V まで引き続き電圧掃引した場合においても、電流レベルに顕著な差は認められなかった(Fig. 2(a))。また、電流値を V² でプロットした結果、10V 以上の電界領域では電流値が直線的に増加するため、電子伝導メカニズムは空間電荷制限電流が示唆される。一方、ドット高さ~8nm の試料では、明瞭なヒステリシスが室温で認められた(Fig. 2(b))。0V から 20V の電圧掃引では、~10V までは電流値が検出限界以下であるが、10V 以上で急激に増加する。しかしながら、20V から 0V の掃引では、低抵抗状態のまま電流が低減している。この結果は、0V からの電圧掃引時において、Si 量子ドットを介して作られる電流パス(パーコレーションパス)近傍の中性ドットに電子が捕獲される時、その帯電効果により近傍のパーコレーションパス中のドット間トンネル過程を変調した結果として解釈できる。20V から 0V の掃引では、トンネル伝導でフィッティングできることから、保持された電子のトンネル伝導が支配的になっていると解釈できる。

結論 > サイズを精密制御した Si 量子ドット多重集積構造において、ドットへの電子注入・保持を制御することで、明瞭なヒステリシスが認められ、リザーバ演算に応用できることが分かった。

文献 > [1] S. Miyazaki et al., Thin Solid Films 369, 55 (2000).

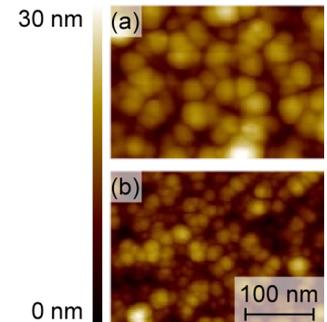


Fig. 1 AFM images of multiple-stacked Si-QDs with average height of (a) ~20 nm and (b) ~8 nm formed after five cycles of SiH₄-LPCVD processes.

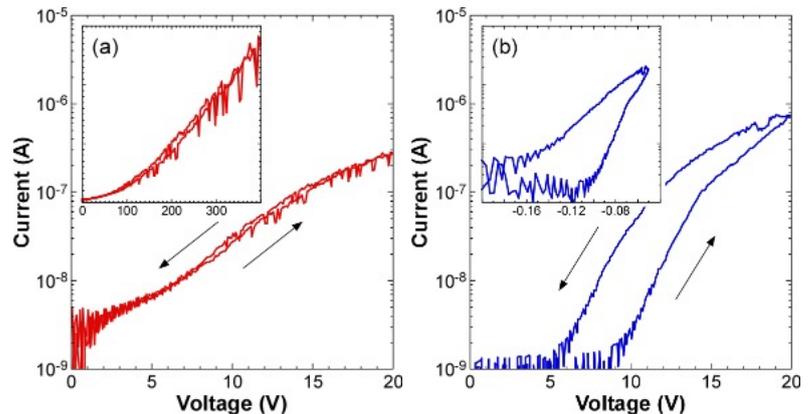


Fig. 2 In-plane I-V characteristics of multiple-stacked Si-QDs with average height of (a) ~20 nm and (b) ~8 nm. In the inset of (a), the current is plotted as a function of the square of the voltage, and in the inset of (b), the current divided by the square of the voltage is plotted as a function of $-1/V$.