

## Dual Gate PN-Body Tied SOI-FET を用いたニューラルエンコーダの検討 Examination of neural encoder using Dual Gate PN-Body Tied SOI-FET

金沢工大, °(M2) 小林 真樹, 森 貴之, 井田 次郎

Kanazawa Inst. of Tech., °Masaki Kobayashi, Takayuki Mori, Jiro Ida

E-mail: b1914100@planet.kanazawa-it.ac.jp

**はじめに：** 現在、AI 技術の発展に向けて、スパイク信号で情報処理を行うニューロモーフィックコンピュータの研究が行われている。ニューロモーフィック技術のひとつであるニューラルエンコーディングは、デジタル信号やアナログ信号などの非スパイク信号をスパイク信号に変換する技術である。ニューラルネットワークにおけるニューラルエンコーダの位置づけを図 1 に示す。我々はこれまでに、研究室で考案した Single Gate (SG) PN-Body Tied SOI-FET(PNBT SOI-FET)を用いたニューラルエンコーダを提案している[1]。本研究では、さらなる低電圧化を狙い SG PNBT SOI-FET に第 2 ゲート端子を追加した、Dual Gate (DG) PNBT SOI-FET を用いたニューラルエンコーダの検討を行った。

**実験結果：** 図 2 に本研究で用いた DG PNBT SOI-FET の構造を示す。図 3 のドレイン電流とボディ電圧の関係を見て分かるように、DG は第 2 ゲート電圧の最適化によって、SG より低いボディ電圧でドレイン電流を立ち上げることが可能である。本研究では、スパイク信号を発生させるために、ボディ端子へ抵抗器を接続し、ステップ波形のボディ電圧を入力した。ボディは 1-2.3 V、ドレインは 1 V、第 1 ゲートは 0.1 V、第 2 ゲートは 1 V を入力した。抵抗器を接続することによって分圧比でデバイスに掛かる電圧を調整し、ON と OFF を繰り返させることでスパイク信号の発生を目指した。図 4 の結果より、ドレイン電流がスパイク波形で出力されていることが分かる。また、図 5 のスパイク周波数と入力ボディ電圧の関係から、DG PNBT SOI-FET は、電圧値の変化をスパイク周波数の変化としてとらえるニューラルエンコーダとして機能することが分かる。

**謝辞：** 本研究はJSPS 科研費JP21K14216 及びJST-CREST JPMJCR20Q1 の助成を受けたものである。また、東京大学VDEC 活動を通して、日本シノプシス合同会社及びメンター・グラフィックス・ジャパン株式会社の協力で行われたものである。

**参考文献：** [1]M. Kobayashi et al., 2024 IEEE Silicon Nanoelectronics Workshop, pp. 1-2, P2-2, 2024

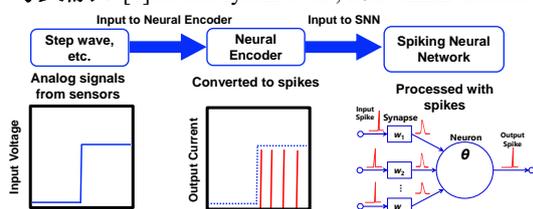


Fig. 1 Information processing of SNN

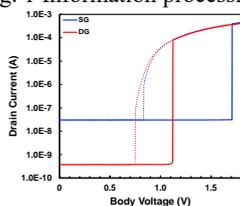


Fig. 3  $I_D$ - $I_B$  diagram

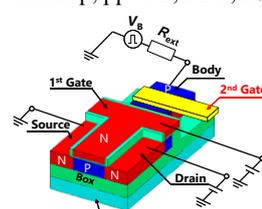


Fig. 2 Bird's-eye view of DG PNBT SOI-FET

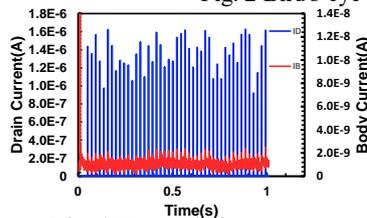


Fig. 4 Output drain current

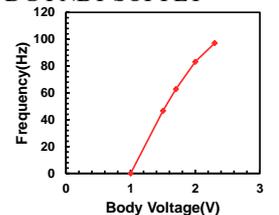


Fig. 5 Spike frequency- $I_B$