

Ge MOS 界面の前酸化と後アニール条件最適化による遅い準位の除去

Elimination of slow traps in Ge MOS interface by optimizing pre-oxidization and post annealing

島根大学 総合理工学部 °(B)高木 駿翼, 葉 文昌

Shimane Univ., °Takaki Shunsuke, Yeh Wenchang

E-mail: yeh@riko.shimane-u.ac.jp

はじめに Ge は次世代 MOSFET 材料として期待されているが、ゲートスタックの界面準位、特に遅い界面準位が課題となっている。界面準位の低減には、熱酸/窒化界面層の挿入や、後アニールが有効であることが報告されている。本研究では Al/スパッタ SiO₂/nGe MOS 構造について、熱酸/窒化膜条件および後アニール条件により遅い界面準位密度を除去できることを示す。

実験方法 0.06-0.21Ωcm の(001)nGe 基板(AXT 社製)をオゾン水洗浄と 1%HF 水溶液処理した後に 100nmSiO₂膜をスパッタ堆積し、Al 電極を熱蒸着して MOS 構造を形成した。SiO₂堆積前の insitu 処理には、330°C酸素プラズマ酸化(PO)、100Pa450°C熱酸化(TO)、100Pa450°C熱窒化(TN)を、堆積後の exsitu 処理には 600°C真空アニール(VA)を、更に MOS 形成後には 380°Cフォーミングガスアニール(FGA)/260°C9.3atm 水蒸気アニール(HPSA)/FGA(FHF処理)を行った。フラットバンド電圧 V_{FB} の 1MHz でのヒステリシス Δ V_{FB} を遅い界面準位に依存するとして評価した。

実験結果 Fig. 1に代表的なMOSCAPのCV特性を示す。様々な前後処理後の V_{FB}と Δ V_{FB}を Fig2 にまとめた。後アニールなしでは Δ V_{FB} はPN→TN→TO の順に改善した。後アニールのFHF処理によりどれも大幅に良くなるがTOが最もよかった。TO試料の後アニール依存性については、VAは効果的で、更にFHFを行うことで Δ V_{FB}=0 となった。FGAかHPSAの単独処理では効果は限定的だった。Δ V_{FB}=0 となった試料では、界面準位密度 D_{it}も最も良くなった。

結論 Ge MOS 界面の前酸化と後アニール条件最適化を行った。前処理ではTO、後処理では VA と FHF を行うことで Δ V_{FB}をなくすことに成功した。

文献 [1] A.Toriumi and T.Nishimura, Jpn. J. Appl. Phys. 57 (2018) 010101, [2] M.Ke et al.,IEDM18-791

謝辞 本研究の一部は葉文昌寄付金によりなされた。東大の鳥海 明先生、高木信一先生、西村知紀先生からのGeウェーハご提供に感謝します。

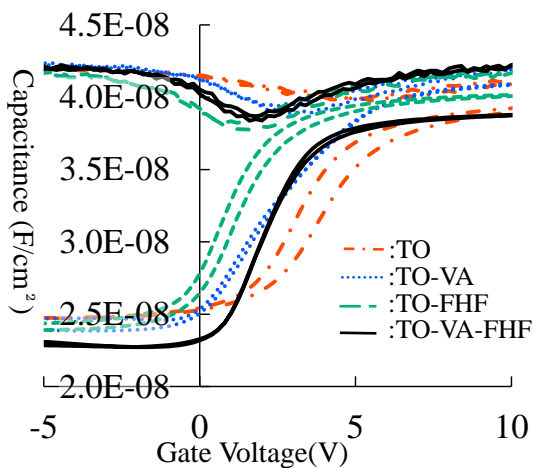


Fig.1 MOS-CV(1kHz-1MHz)

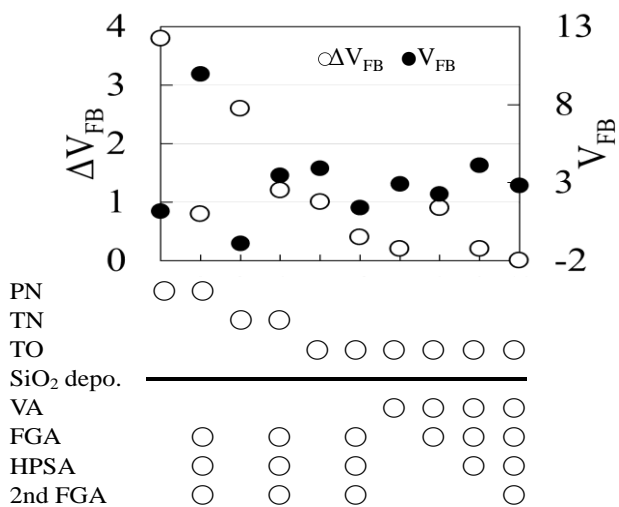


Fig.2 Δ V_{FB} V_{FB} のプロセス依存性