

シンポジウム(ポスター講演) | シンポジウム：次世代半導体創生に向けた研究・人財育成活動シンポジウム

2025年3月14日(金) 16:00 ~ 18:00 会場 P10 (森戸記念体育館)

**[14p-P10-1~25] 次世代半導体創生に向けた研究・人財育成活動シンポジウム**

[14p-P10-1]

埋め込み型フォトダイオードを有するSiCアクティブピクセルセンサへの4MGyガンマ線照射効果

○(M1)谷川 宗磨<sup>1</sup>、目黒 達也<sup>1</sup>、武山 昭憲<sup>2</sup>、大島 武<sup>2</sup>、児島 一聡<sup>3</sup>、田中 保宣<sup>3</sup>、黒木 伸一郎<sup>1</sup> (1.広島大 RISE、2.量研、3.産総研)

[14p-P10-2]

電位検出型 CMOS においセンサの作製と検出特性評価

○代継 海斗<sup>1</sup>、加古 香里<sup>1</sup>、稲田 尚子<sup>1</sup>、崔 容俊<sup>1</sup>、高橋 一浩<sup>1</sup>、澤田 和明<sup>1</sup>、野田 俊彦<sup>1</sup> (1.豊橋技科大)

[14p-P10-3]

てんかん発作予兆計測に向けた脳深部刺入型マルチモーダルセンサの設計

○(M2)中村 優斗<sup>1</sup>、木村 安行<sup>1</sup>、土井 英生<sup>1</sup>、堀尾 智子<sup>1</sup>、崔 容俊<sup>1</sup>、高橋 一浩<sup>1</sup>、野田 俊彦<sup>1</sup>、澤田 和明<sup>1</sup> (1.豊橋技科大)

[14p-P10-4]

Impact of the Statistical Properties of Random Telegraph Noises Generated by Stochastic Magnetic Tunnel Junctions on Probabilistic Computing Performance

○金子 遥南<sup>1,2</sup>、金井 駿<sup>1,2,3,4,5,6,7</sup>、大野 英男<sup>5,8</sup>、深見 俊輔<sup>1,2,5,6,8,9</sup> (1.東北大通研、2.東北大工学研究科、3.JSTさきがけ、4.東北大DEFS、5.東北大CSIS、6.東北大WPI-AIMR、7.QST、8.東北大CIES、9.稲盛科学研究機構)

◆ 英語発表

[14p-P10-5]

Tunnel magnetoresistance in magnetic tunnel junctions with a metastable cubic GaN barrier

○Hyeokjin Kwon<sup>1,2</sup>、Kenya Suzuki<sup>1,2</sup>、Kumar Deepak<sup>2</sup>、Masafumi Tsujikawa<sup>3</sup>、Tufan Roy<sup>4</sup>、Masafumi Shirai<sup>3,4</sup>、Shigemi Mizukami<sup>2,4</sup> (1.Tohoku Univ., 2.WPI-AIMR, 3.RIEC, 4.CSIS)

[14p-P10-6]

Pd/Co<sub>2</sub>MnGa垂直磁化膜における磁壁に作用する電流誘起有効磁場の面内磁場による変調○(DC)小山 貴也<sup>1</sup>、西岡 優輝<sup>1</sup>、植村 哲也<sup>1</sup>、山ノ内 路彦<sup>1</sup> (1.北大情報)

◆ 英語発表

[14p-P10-7]

Strain induced reversible sign change of the anomalous Hall effect in transition metal multilayers

○Toshiaki Morita<sup>1</sup>、Tomohiro Koyama<sup>1,2,3,4</sup>、Daichi Chiba<sup>1,2,3,5</sup> (1.SANKEN, Osaka Univ., 2.CSRN, Osaka Univ., 3.OTRI, Osaka Univ., 4.PRESTO, JST, 5.SRIS, Tohoku Univ.)

[14p-P10-8]

サブミクロンFe-Ni-Bアモルファス微粒子の磁気特性と磁区構造に関する研究

○(D)若林 和志<sup>1</sup>、室賀 翔<sup>1</sup>、宮崎 孝道<sup>1</sup>、神田 哲典<sup>2</sup>、遠藤 恭<sup>1</sup> (1.東北大工、2.大島商船高等専門学校)

[14p-P10-9]

Co/Ni 多層磁性細線によるレーストラックメモリの動作に関する研究

○長谷川 博一<sup>1</sup>、黒川 雄一郎<sup>1</sup>、湯浅 裕美<sup>1</sup> (1.九大シス情)

---

[14p-P10-10]

交代磁性ワイル半金属における円偏光スピン光ガルバノ効果の量子化

○(DC)吉田 拓暉<sup>1</sup>、Šmejkal Libor<sup>3</sup>、村上 修一<sup>1,2</sup> (1.科学大理、2.広島大SKCM2、3.MPI-PKS)

---

◆ 英語発表

[14p-P10-11]

Design and Measurement of a Receiver for a Spin-wave Detection System

○(M2)Jiaao Yu<sup>1</sup>, Yuyang Zhu<sup>1</sup>, Zhenyu Cheng<sup>1</sup>, Yuanxin Jia<sup>1</sup>, Md Shamim Sarker<sup>1</sup>, Hiroyasu Yamahara<sup>1</sup>, Munetoshi Seki<sup>1</sup>, Hitoshi Tabata<sup>1</sup>, Tetsuya Iizuka<sup>1</sup> (1.The univ. of Tokyo)

---

◆ 英語発表

[14p-P10-12]

Research on Differential Type STT-MRAM Cell for Accelerator Based on Low-Power Digital CiM Architecture

○Yongcheng Wang<sup>1,2</sup>, Tao Li<sup>1,3</sup>, Tetsuo Endoh<sup>1,3,2</sup> (1.Tohoku Univ., 2.TU GP-Spin, 3.TU CIES)

---

◆ 英語発表

[14p-P10-13]

A Via-Programmable Neuron Array for Wearable AI-IoT Applications

○Jaewon Shin<sup>1</sup>, Rei Sumikawa<sup>1</sup>, Dongzhu Li<sup>1</sup>, Mototsugu Hamada<sup>1</sup>, Atsutake Kosuge<sup>1</sup> (1.UTokyo)

---

◆ 英語発表

[14p-P10-14]

Accelerating DNN Models with DPU: A Hardware-Software Co-Design Approach

○JIawei Yu<sup>1</sup>, Atsutake Kosuge<sup>1</sup>, Hunga Amano<sup>1</sup> (1.Kosuge Lab)

---

[14p-P10-15]

Agile-chip platformを用いた半導体教育入門用学生実験の実践

○(M1)霜田 龍成<sup>1</sup>、天野 英晴<sup>1</sup>、小菅 敦丈<sup>1</sup> (1.東大工)

---

◆ 英語発表

[14p-P10-16]

Hardware Acceleration Design for Object Detector in Semiconductor Design Hackathon

○Yuxuan Pan<sup>1</sup>, Atsutake Kosuge<sup>1</sup>, Hideharu Amano<sup>1</sup> (1.Univ. Tokyo)

---

◆ 英語発表

[14p-P10-17]

Comparative Analysis of High-Speed Time-Interleaved Digital-to-Analog Converters

○(M2)Yunjie Chen<sup>1</sup>, Koji Asami<sup>2</sup>, Zolboo Byambadorj<sup>1</sup>, Akio Higo<sup>1</sup>, Tetsuya Iizuka<sup>1</sup> (1.The Univ. of Tokyo, 2.Advantest Corp.)

---

[14p-P10-18]

FIPS205(SLH-DSA)署名生成ハードウェア向けSHA2演算の最適化

○竹島 優太<sup>1</sup>、池田 誠<sup>1</sup> (1.東京大学)

---

[14p-P10-19]

ペアリング演算の安全性およびハードウェア実装コストの自動設計手法による見積もり評価

○福田 桃子<sup>1</sup>、池田 誠<sup>1</sup> (1.東大工)

---

[14p-P10-20]

## GAAナノシート型Siチャネルにおけるトラップ電荷誘起の電流変動

○神岡 武文<sup>1</sup>、岡田 直也<sup>1</sup>、福田 浩一<sup>1</sup> (1.産総研 SFRC)

---

[14p-P10-21]

Cold wall中H<sub>2</sub>SアニールによるPVD-MoS<sub>2</sub>膜残留硫黄抑制

○松永 尚樹<sup>1</sup>、堀 敦<sup>1</sup>、若林 整<sup>1</sup> (1.東京科学大学)

---

◆ 英語発表

[14p-P10-22]

Fabrication of FeFET with ferroelectric AlScN film and In<sub>2</sub>O<sub>3</sub> channel

○JiaHong Lin<sup>1,2</sup>, TingTzu Kuo<sup>1,2</sup>, SiMeng Chen<sup>1</sup>, Hirofumi Nishida<sup>1</sup>, An Li<sup>1</sup>, Takuya Hoshii<sup>1</sup>, Hitoshi Wakabayashi<sup>1</sup>, TingChang Chang<sup>2</sup>, Kuniyuki Kakushima<sup>1</sup> (1.Institute of Science Tokyo, 2.National Sun Yat-sen University)

---

[14p-P10-23]

ルテニウムの Area Selective Atomic Layer Deposition に関する研究

○奥川 昭悟<sup>1</sup>、ラーマン ガギ タウヒドゥル<sup>1</sup>、横川 凌<sup>1,2</sup>、雨宮 嘉照<sup>2</sup>、寺本 章伸<sup>1,2,3</sup> (1.広大先進理工、2.広大 RISE、3.広大 HiSOR)

---

[14p-P10-24]

高周波パワーアンプ向け3次元インダクタ素子に関する層間膜プロセスの開発

○新江 定憲<sup>1</sup>、高山 大希<sup>1</sup>、辻 幸洋<sup>1</sup>、中田 健<sup>1</sup> (1.住友電工)

---

◆ 英語発表

[14p-P10-25]

Die-Level 3D-IC Fabrication Technology for 3D Heterogeneous Chiplet Integration

○(D)jiayi Shen<sup>1</sup>, Chang Liu<sup>1</sup>, Tetsu Tanaka<sup>1,2</sup>, Takafumi Fukushima<sup>1,2</sup> (1.Graduate School of Engineering, Tohoku Univ., 2.Graduate School of Biomedical Engineering, Tohoku Univ.)

---

## 埋め込み型フォトダイオードを有する SiC アクティブピクセルセンサへの 4 MGy ガンマ線照射効果

4 MGy Gamma-ray radiation effects on 4H-SiC active pixel sensors with Embedded UV Photodiode

広島大 RISE<sup>1</sup>, 量研<sup>2</sup>, 産総研<sup>3</sup>,

○(M1)谷川宗磨<sup>1, a</sup>, 目黒達也<sup>1</sup>, 武山昭憲<sup>2</sup>, 大島武<sup>2</sup>, 児島一聡<sup>3</sup>, 田中保宣<sup>3</sup>, 黒木伸一郎<sup>1, b</sup>

RISE, Hiroshima Univ.<sup>1</sup>, QST<sup>2</sup>, AIST<sup>3</sup>,

°Kazuma Tanigawa<sup>1</sup>, Tatsuya Meguro<sup>1</sup>, Akinori Takeyama<sup>2</sup>, Takeshi Ohshima<sup>2</sup>, Kazutoshi Kojima<sup>3</sup>,  
Yasunori Tanaka<sup>3</sup>, and Shin-Ichiro Kuroki<sup>1</sup>

E-mail: {<sup>a</sup>tanigawa-kazuma, <sup>b</sup>skuroki}@hiroshima-u.ac.jp

【研究背景】近年、半導体デバイスの用途が拡大しており、原子力発電所や宇宙探査など高温・高放射線環境下で使用できる半導体デバイスが強く求められている。特に構造上放射線遮蔽が難しいイメージセンサでは、高放射線環境における長時間動作のためにデバイス自体が放射線耐性を有している必要がある。SiC は、耐放射線デバイス材料の候補の一つである。これまで本研究グループでは、SiC イメージセンサを提案し[1-3]、2 MGy のガンマ線まで動作可能であることを示した。しかし、4H-SiC フォトダイオード (PD) の量子効率 (QE) が著しく低下することが確認された[1]。QE の低下は、SiO<sub>2</sub> と SiC の界面における欠陥の増加によって引き起こされたと考えられる。本研究では、QE 低下を抑制するために 4H-SiC CMOS アクティブピクセルセンサに埋め込み型 PD を導入した。また、PD を埋め込んだ 4 トランジスタアクティブピクセルセンサ (4T-APS) と埋め込んでいない 4T-APS の性能を比較した。

【実験および結果】本研究では比較のため、埋め込んでいないもの (PD1)、浅く埋め込んだもの (PD2)、深く埋め込んだもの (PD3) の 3 種類 PD を作製した。デバイス作製には n 型バルク基板上に p 型エピタキシャル層を 5 μm 形成した 4H-SiC 基板を用いた。p エピ層の濃度は  $N_A = 5 \times 10^{16} \text{ cm}^{-3}$  であり、不純物は Al である。デバイスの作製プロセスは以下手順で行った。まず、PD 領域、nMOSFETs の S/D 領域、基板へのコンタクト領域形成のため、APCVD による SiO<sub>2</sub> 膜をハードマスクとした 500°C 高温イオン注入を行った。p+, n+, n- のイオン注入濃度はそれぞれ  $5 \times 10^{20} \text{ cm}^{-3}$ ,  $5 \times 10^{19} \text{ cm}^{-3}$ ,  $5 \times 10^{17} \text{ cm}^{-3}$  である。活性化アニール後、SiO<sub>2</sub> パッシベーション層を形成し、1150°C のドライ酸化により膜厚 23 nm のゲート酸化膜を形成した。オーミックコンタクトには Nb と Ni のシリサイドを使用した。最後に、ゲートメタル、配線、遮光膜、電極のため、Al と SiO<sub>2</sub> 層の多層構造を形成した。作製したデバイスに 4 MGy までガンマ線照射を行った。作製した 3 種類の PD に波長 240 nm から 370 nm まで UV 光を照射し、光電流を測定することで量子効率を算出した。0 Gy と 4 MGy での量子効率の変化を Fig. 1 に示す。4 MGy 照射後ではすべての PD で量子効率が低下している。これはガンマ線照射により界面準位密度が増加し、それが電子-ホールペアの再結合の中心となることで信号が消失しているためと考えられる。量子効率の低下は波長 250 nm で比較すると PD1 が 69 % → 19 %、PD2 が 76 % → 31 %、PD3 が 75 % → 33 % であり、埋め込み型である PD2、PD3 は量子効率低下が抑えられている。これは表面の p 型領域のポテンシャルにより信号電荷が界面準位に捕縛されにくくなっているためだと考えられる。これらから埋め込み型 PD がガンマ線による量子効率低下の軽減に有効であることを確認した。

【謝辞】本研究の一部は JSPS 科研費(S) JP24H00035、F-REI 福島国際研究教育機構「廃炉向け遠隔技術高度化及び宇宙分野への応用事業」、および文部科学省次世代 X-nics 半導体創生拠点形成事業「集積 Green-niX 研究・人材育成拠点」の助成を受けたものです。

[1] M. Tsutsumi, T. Meguro, A. Takeyama, T. Ohshima, Y. Tanaka, and S.-I. Kuroki, IEEE EDL, 44(1), 100 - 103 (2023).

[2] T. Meguro, A. Takeyama, T. Ohshima, Y. Tanaka, S.-I. Kuroki, IEEE EDL, 43(10), 1713 - 1716 (2022).

[3] T. Meguro, M. Tsutsumi, A. Takeyama, T. Ohshima, Y. Tanaka and S.-I. Kuroki, APEX, 17, 081005-1 - 081005-5 (2024).

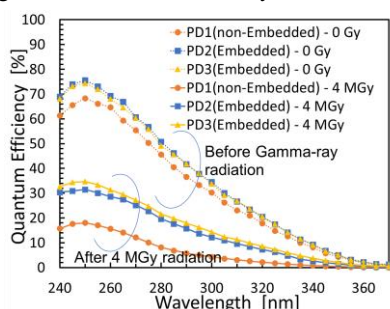


Fig. 1 Quantum Efficiency before and after 4 MGy

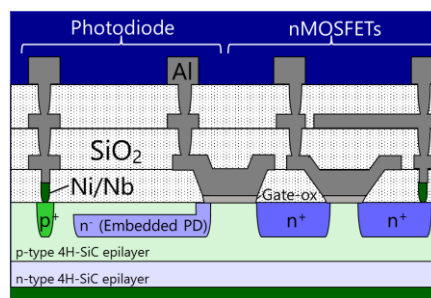


Fig. 2 The cross-sectional image of the fabricated 4T-APS with the embedded UV PD

## 電位検出型 CMOS においセンサの作製と検出特性評価

### Fabrication and Sensing Characterization of Potentiometric CMOS Odor Sensor

豊橋技科大<sup>○</sup>代継 海斗, 加古 香里, 稲田 尚子, 崔 容俊, 高橋 一浩, 澤田 和明, 野田 俊彦

Toyohashi Univ. of Tech., <sup>○</sup>Kaito Yotsugi, Kaori Kako, Naoko Inada,

Yong-Joon Choi, Kazuhiro Takahashi, Kazuaki Sawada, and Toshihiko Noda

E-mail: noda.toshihiko.zk@tut.jp

人間の五感に対応する様々なセンサが開発されてきたが、嗅覚に相当するにおいセンサは未だ開発途上にある。においセンサ開発の難しさの一つとして挙げられるのがにおい情報の複雑さであり、においの種類は1兆種類を超えるという試算もある。特定の対象を選択的に検出するセンサを組み合わせる従来方式で1兆種類に対応することは困難であり、従来とは異なるセンシング方式が求められている。そこで我々は、ブロードな選択特性を持つセンサと機械学習の組み合わせで多種多様なにおいを捉えるセンシングアプローチを提案しており、人間の嗅覚メカニズムを模倣したセンシングシステムの構築を目指している。本研究では、提案するセンシングアプローチに適したにおいセンサをCMOS集積化センサ技術により作製し、その検出特性を評価した。

本研究には、電位検出が可能な画素を30 $\mu\text{m}$ ピッチで256 $\times$ 256配列したCMOSアレイセンサを使用し、このセンサチップ上ににおい感応膜をスポットサイズ500~750 $\mu\text{m}$ で30種類成膜した(図1)。におい物質が感応膜に吸着することにより感応膜の荷電状態が変化し、これをセンサ表面の電位変化として検出する。各画素の電位変化を2次元情報としてリアルタイムで記録するセンサシステムを構築した。

ジュース類, お茶・コーヒー類, 酒類, 調味料類を計測対象とし、におい検出特性を評価した。窒素をキャリアガスとして計測対象のにおいをセンサに暴露した。このとき捉えたセンサ出力変化の2次元情報を疑似カラー表示すると図2のようになり、計測対象によって異なる応答パターンが得られた。30種類の感応膜の応答特性の比較(図3)からも、計測対象のにおいの異なる特徴を捉えていることが明らかになった。今後計測データ数を増やし、それを教師データとして機械学習による判定モデルを構築することで、機械学習型においセンシングの実現が期待できる。

謝辞 本研究の一部は、文部科学省次世代 X-nics 半導体創生拠点形成事業 JPJ0011438 および JSPS 科研費 24K21610 の支援により遂行された。

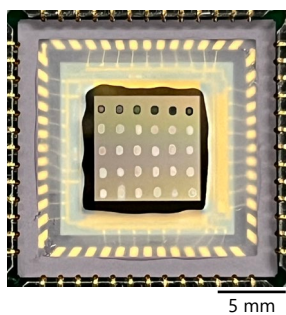
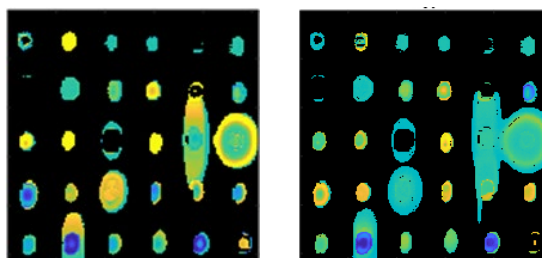


図1 センサチップ写真



(a) ウイスキー

(b) コーヒー

図2 におい計測時の応答パターン例

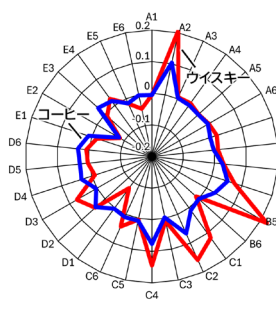


図3 各感応膜の応答特性

# てんかん発作予兆計測に向けた脳深部刺入型マルチモーダルセンサの設計

## Design of deep-brain-implant multimodal sensor for measuring predictive of epilepsy patients

豊橋技術科学大学 ○中村 優斗, 木村 安行, 土井 英生, 堀尾 智子,  
崔 容俊, 高橋 一浩, 野田 俊彦, 澤田 和明

Toyohashi Univ. of Tech.,

○Y. Nakamura, Y. Kimura, H. Doi, T. Horio, Y.-J. Choi, K. Takahashi, T. Noda<sup>1</sup>, K. Sawada<sup>1</sup>

E-mail: nakamura.yuto.ry@tut.jp

てんかんは痙攣や記憶障害を引き起こす神経疾患であり、イオンを含む脳内の神経伝達物質と深く関連すると指摘されているが、詳細なメカニズムは解明されていない<sup>(1)</sup>。我々の研究グループでは、これまでに刺入型 pH イメージセンサを用いたマウスへの生体実験およびてんかん発作の予兆となり得る細胞外アルカリ化伝搬の確認に成功している<sup>(2)</sup>。一方で、「刺入深度の向上」や「侵襲性の低減」、「計測対象の拡大」といった課題がある。本研究では、上記課題の解決に向け、センサ幅 500  $\mu\text{m}$  で pH および脳波計測可能な脳深部刺入型マルチモーダルセンサの設計を行った。

本研究のセンサ仕様は以下の通りであり、チップサイズ：0.5×9.2  $\text{mm}^2$ 、チップ厚：100  $\mu\text{m}$ 、画素数：4×2 画素、画素ピッチ：100  $\mu\text{m}$ ×400  $\mu\text{m}$ 、端子数：7 端子、プロセス：TUT-CMOS 5  $\mu\text{m}$  となっている。図 1 の設計レイアウトに示すように、センサ幅を 500  $\mu\text{m}$  (従来センサ幅：1.1 mm) とすることで侵襲性を低減している。加えて、センサ面積が微小となるため、回路構成を単純化することで端子数を削減し、実装形態の簡易化による刺入深度の確保を行っている。センサ画素は ISFET 構造となっており、図 2 に示すように 2 段のソースフォロワ回路により出力を得ている。また、2 層メタルおよび 3 層メタルを採用することで、図 3 に示すようなプリアンプを脳波用電極下層に構成しており、外付けアンプまでのノイズ耐性を向上可能としている。これにより、脳波計測を可能とし、計測対象の拡大を図っている。

謝辞：本研究は、MEXT X-NICS JPJ011438, JSPS 科研費 JP23H00182, JP22H04926 の支援を受けたものである。

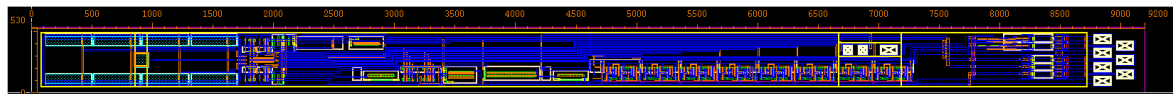


図 1 脳深部刺入型マルチモーダルセンサの設計レイアウト

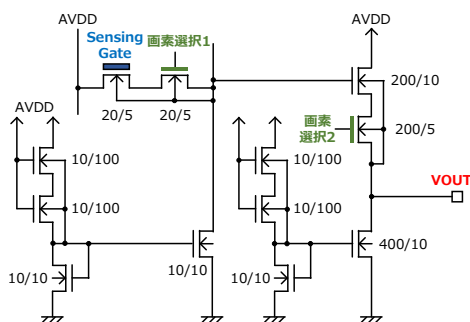


図 2 センサ画素および出力回路図

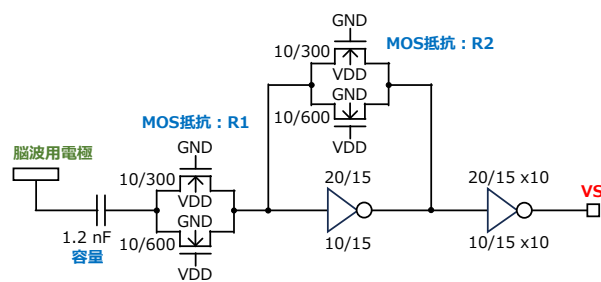


図 3 脳波用電極およびプリアンプ回路

[1] B K Siesjö *et al*, Journal of Cerebral Blood Flow & Metabolism, Mar;5:47-57, 1985.

[2] 中村ら, 第 40 回「センサ・マイクロマシンと応用システム」シンポジウム, 6P4-M-4, 2023.

# Impact of the Statistical Properties of Random Telegraph Noises Generated by Stochastic Magnetic Tunnel Junctions on Probabilistic Computing Performance

<sup>0</sup>(D) Haruna Kaneko,<sup>1,2</sup> Shun Kanai,<sup>1-7</sup> Hideo Ohno,<sup>5,8</sup> and Shunsuke Fukami<sup>1,2,5,6,8,9</sup>

<sup>1</sup>RIEC, Tohoku Univ., <sup>2</sup>Graduate School of Engineering, Tohoku Univ., <sup>3</sup>JST PRESTO, <sup>4</sup>DEFS, Tohoku Univ., <sup>5</sup>CSIS, Tohoku Univ., <sup>6</sup>WPI-AIMR, Tohoku Univ., <sup>7</sup>QST, <sup>8</sup>CIES, Tohoku Univ., <sup>9</sup>InaRIS

E-mail: haruna.kaneko.t3@dc.tohoku.ac.jp

Probabilistic computers (p-computers) with probabilistic bits are expected to address some computationally hard problems for conventional deterministic computers, and stochastic magnetic tunnel junctions (s-MTJs) show promise as the crucial constituent of the p-bits [1,2]. Here, we study the computational accuracy as a function of the statistical properties of random telegraph noise (RTN) from s-MTJs [3-8].

We investigate the computing results based on the Ising model in terms of the difference in the appearance frequency of the lowest energy ( $E$ ) states (correct solutions) compared to the higher  $E$  states (incorrect ones) in the statistics. We simulate the NAND-gate operation [9] (3-bits), full adder operation (5-bits) using experimentally obtained RTN of s-MTJs [8] with various statistical properties (amplitude, distribution, etc.). We also test software-generated continuous random numbers as an extreme case. The interaction between bits is implemented by sending a signal given by  $-I_0\partial E/\partial x_i$  to the  $i$ th bit, where  $I_0$  corresponds to the inverse temperature and  $x_i$  is the binary state of the  $i$ th bit. It takes longer to get the solution distribution for too high  $I_0$ , whereas the contrast becomes small for the too low  $I_0$ , giving upper and lower bounds of  $I_0$ . We observe that various kinds of RTNs can be used in p-computers by only tuning  $I_0$  even if they have a binary-like distribution [Fig. 1]. We also discuss the factors determining the contrast, providing a guideline to design the s-MTJs and operate the p-computer.

This work is supported in part by JST-CREST JPMJCR19K3, JST-PRESTO JPMJPR21B2, JST-ASPIRE, JPMJAP2322, and JST-SPRING JPMJSP2114.

- [1] K. Y. Camsari *et al.*, Phys. Rev. X **7**, 031014 (2017).
- [2] W. A. Borders *et al.*, Nature **573**, 390 (2019).
- [3] S. Kanai *et al.*, Phys. Rev. B **103**, 094423 (2021).
- [4] K. Hayakawa *et al.*, PRL **126**, 117202 (2021).
- [5] K. Kobayashi *et al.*, PRAppl. **18**, 054085 (2022).
- [6] K. Y. Camsari *et al.*, PRAppl. **15**, 044049 (2021).
- [7] K. Selcuk *et al.*, PRAppl. **21**, 054002 (2024).
- [8] R. Ota *et al.*, arXiv 2405.20665 (2024).
- [9] N. A. Aadit *et al.*, Nat. Electron. **5**, 460 (2022).

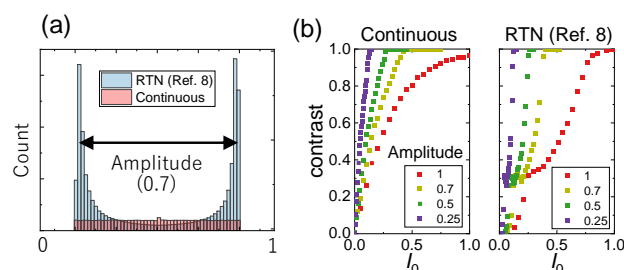


Fig. 1 (a) Histogram of the random telegraph noise (RTN) and binary/continuous random number. (b)  $I_0^*$  for each amplitude of RTN and binary/continuous random numbers.

## Tunnel magnetoresistance in magnetic tunnel junctions with a metastable cubic GaN barrier

H. Kwon<sup>1,2</sup>, K. Suzuki<sup>1,2</sup>, K. Deepak<sup>2</sup>, M. Tsujikawa<sup>3</sup>, T. Roy<sup>4</sup>, M. Shirai<sup>3,4</sup>, S. Mizukami<sup>2,4</sup>

Dept. Appl. Phys., Tohoku Univ.,<sup>1</sup> WPI-AIMR, Tohoku Univ.,<sup>2</sup> RIEC, Tohoku Univ.,<sup>3</sup>

CSIS(CRC), Tohoku Univ.<sup>4</sup>

E-mail: [kwon.hyeokjin.s1@dc.tohoku.ac.jp](mailto:kwon.hyeokjin.s1@dc.tohoku.ac.jp)

Magnetic tunnel junctions (MTJs) exhibit tunnel magnetoresistance (TMR), which are applied for HDD reading heads, memories, and sensors. Current standard materials are FeCoB and MgO, whereas various materials are being explored for advanced MTJs [1-4]. One of the demands is new barrier materials exhibiting both large TMR and low resistance, and good candidates would be cubic wide-bandgap oxide semiconductors crystallizing on a (001) plane of magnetic electrode [3,4]. In this study, we explored a

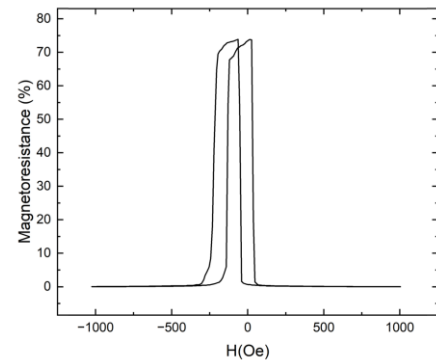


Fig. 1 The TMR curves in the MTJs with the 0.9-nm-thick GaN layer in the barrier.

metastable cubic nitride wide-bandgap semiconductor c-GaN (001) with a bandgap of approximately 3 eV for a tunnel barrier in MTJs. Films were deposited on MgO (001) single crystal substrates using an ultra-high vacuum magnetron sputtering. Multilayer stacking structure was Cr(40)/ CoMnFe(10)/ Mg(0.5)/ MgO(0.6)/ GaN( $d=0.4-1.2$ )/ MgO(0.6)/ CoMnFe(8)/ IrMn(10)/ Ru(10) (thickness in nm). MTJs were annealed in a vacuum furnace, and the film structures were analyzed by X-ray diffraction (XRD). TMR effects were evaluated using the current-in-plane tunneling (CIPT) measurements and a standard four probe method in patterned MTJs. The XRD measurements confirmed the epitaxial relationship of the buffer Cr(001)||CoMnFe(001)||IrMn(001). Notably, the texture of the IrMn (001) indicates the formation of the metastable cubic GaN (001) which is promoted by MgO(001). Fig. 1 shows the TMR curve for the MTJ with the 0.9-nm-thick GaN layer annealed at 300°C, we observed the relatively high TMR ratio of about 75%. We will present the GaN thickness dependence of the TMR ratio and the resistance area product in the presentation and discuss the effect of GaN layer in detail. This work was supported by JST CREST (JPMJCR17J5), KAKENHI (21H05000), and X-NICS of MEXT (JPJ011438). S.M and M.S thank Spin-RNJ. H.K thanks GP-Spin at Tohoku Univ.

### References

- [1] T. Ichinose et al., *J. Alloy. Compound.* **960**, 170750 (2023).
- [2] D. Kumar et al., *Sci. Tech. Adv. Mater.*, **25**, 2421746 (2024).
- [3] H. Sukegawa et al., *Appl. Phys. Lett.* **110**, 122404 (2017).
- [4] S. Mertens et al., *Appl. Phys. Lett.* **118**, 172402 (2021).

## Pd/Co<sub>2</sub>MnGa 垂直磁化膜における磁壁に作用する電流誘起有効磁場の面内磁場による変調

Modulation of current-induced effective magnetic field acting on domain walls by in-plane magnetic field in Pd/Co<sub>2</sub>MnGa perpendicular magnetization films

北海道大学大学院情報科学院 ○(D) 小山貴也, 西岡優輝, 植村哲也, 山ノ内路彦

Hokkaido Univ., Takaya Koyama, Yuki Nishioka, Tetsuya Uemura, and Michihiko Yamanouchi

E-mail: eequalmcsquared@eis.hokudai.ac.jp

スピントロニクス素子の情報書き換え方法の一つとして電流誘起磁壁移動が注目を集めている。垂直磁化したワイル強磁性体においては、ワイル点に起因した高効率な電流誘起磁壁移動が報告されており[1,2], それを用いた低消費電力スピントロニクス素子の実現が期待されている。しかし、これまでに、ワイル強磁性体における電流誘起磁壁移動は低温でのみ報告されており、室温での電流誘起磁壁移動の実証には至っていない。そのような中で、我々はワイル強磁性体 Co<sub>2</sub>MnGa(CMG)と重金属Pdを積層したPd/CMG垂直磁化膜において室温での電流誘起磁壁移動を観測したが、その機構は明らかでなかった[3]。Pd/CMGにおいては、ワイル点に起因するトポロジカルホールトルク(THT), スピン軌道トルク(SOT), 及び軌道トルク(OT)が磁壁に有効磁場として作用することが期待され、これらの有効磁場の大きさは磁壁中の磁化方向に依存する。そこで、本研究では、Pd/CMGにおける電流誘起磁壁移動の機構を明らかにするため、面内磁場を印加して磁壁中の磁化方向を変化させた時に磁壁に作用する電流誘起有効磁場を調べた。

MgO (001)基板上に成膜したPd (3.0 nm) / CMG (1.8 nm)を幅2 μmのチャンネルと1対のホールプローブを持つホールバー形状素子に加工した。そして、チャンネル内に磁壁を初期配置した後、チャンネル方向に沿った面内磁場  $H_x$  または  $H_x$  と直交する面内磁場  $H_y$  下で一定の電流  $I$  を流し、垂直磁場を掃引しながら磁壁移動に必要な保磁力を求めた。保磁力は  $H_x$  及び  $H_y$  印加下において電流に対して線形に変化した。これは、電流によって膜面垂直方向の有効磁場が磁壁に作用したことを示している。 $I = 200 \mu\text{A}$  を印加した時の有効磁場  $H_{\text{eff}}$  は  $\mu_0 H_x = 10 \text{ mT}$  で最大となり、その  $H_x$  から離れるにつれて減少した。ここで  $\mu_0$  は真空の透磁率である。一方で、 $H_{\text{eff}}$  は  $\mu_0 H_y = 0$  で最大となり、 $|H_y|$  の増加とともに減少した。このような  $H_{\text{eff}}$  の  $H_y$  依存性は SOT 及び OT に起因した有効磁場の  $H_y$  依存性と一致する。しかし、 $H_{\text{eff}}$  の  $H_x$  依存性については SOT 及び OT だけでは説明できないため、THT などのその他のトルクが磁壁に作用していることが示唆される。

### 参考文献

- [1] M. Yamanouchi, *et al.*, Science Advances **8**, 15 (2022). [2] Q. Wang, *et al.*, Nature Electronics **6**, 119 (2023).  
[3] T. Koyama, *et al.*, 春季応用物理学会, 15p-PA01-8 (2023)

### 謝辞

本研究の一部は JSPS KAKENHI (22K18961), MEXT X-NICS (JPJ011438), MEXT ARIM (JPMXP1224HK0020), JST CREST (JPMJCR22C2)の支援を受けたものである。

## Strain induced reversible sign change of the anomalous Hall effect in transition metal multilayers

阪大産研<sup>1</sup>, 阪大 CSRN<sup>2</sup>, 阪大 OTRI<sup>3</sup>, JST PRESTO<sup>4</sup>, 東北大 SRIS<sup>5</sup>

○森田 利明<sup>1</sup>, 小山 知弘<sup>1,2,3,4</sup>, 千葉 大地<sup>1,2,3,5</sup>

SANKEN, Osaka Univ.<sup>1</sup>, CSRN, Osaka Univ.<sup>2</sup>, OTRI, Osaka Univ.<sup>3</sup>,

PRESTO, JST<sup>4</sup>, SRIS, Tohoku Univ.<sup>5</sup>

○Toshiaki Morita<sup>1</sup>, Tomohiro Koyama<sup>1,2,3,4</sup>, and Daichi Chiba<sup>1,2,3,5</sup>

E-mail: tmorita11@sanken.osaka-u.ac.jp

The anomalous Hall effect (AHE) is a fundamental physics related to spin-dependent transport. In certain materials, the sign of the AHE can change depending on the temperature, the composition and the layer structure[1-3]. Recently, flexible spintronics utilizing the inverse magnetostriction effect has attracted attention[4]. The magnetostriction effect is a well-known phenomenon that combines strain and magnetism, but the modulation of magnetism by strain is still not fully understood. In this study, we observed strain induced reversible sign change of the AHE in transition metal multilayered films.

We deposited a few types of multilayers on flexible substrates by magnetron sputtering. Hall measurement was conducted without (w/o) and with (w/) application of a uniaxial strain in various temperatures. The small tensile jig was used to apply a strain. The results of Hall measurement for [Co/Pd]<sub>n</sub> multilayer are shown in Figure 1. Red and blue plots represent the results w/o and w/ strain, respectively. In w/o strain, the sign of the AHE is positive; Hall resistance is positive under positive magnetic field. In contrast, in w/ strain, the sign of the AHE reverses to negative. When the strain is removed, the sign of the AHE returns to positive (dashed orange plot). The same results were observed in other multilayers. We will discuss the origin of the results with additional data.

The authors thank S. Ota for technical support. This work is supported by Program for Leading Graduate School: “Interactive Materials Science Cadet Program”, JSPS KAKENHI (Grant No. 24KJ1613 and 23H00183), JST A-Step (Grant No. JPMJTR233A), JST CREST (Grant No. JPMJCR20C6), MEXT X-NICS, and the Spintronics Research Network of Japan.

- [1] Z.B. Guo *et al.*, *Phys. Rev. B* **86**, 104433 (2012). [2] V. Keskin *et al.*, *Appl. Phys. Lett.* **102**, 022416 (2013). [3] T. Golod *et al.*, *Phys. Rev. B* **87**, 104407 (2013). [4] S. Ota *et al.*, *Nat. Electron.* **1**, 124 (2018).

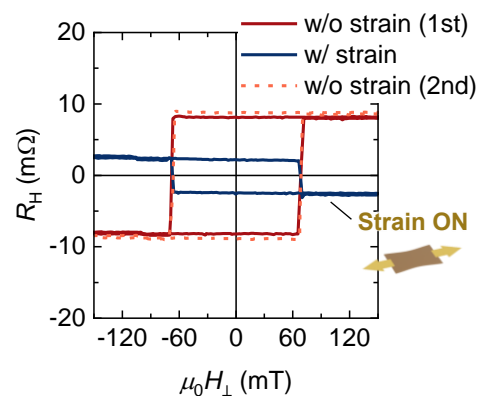


Figure 1: The results of Hall measurement. Blue and red plots represent the result w/o and w/ strain, respectively.

## サブミクロン Fe-Ni-B アモルファス微粒子の 磁気特性と磁区構造に関する研究

### Study on magnetic properties and magnetic domain structure of submicron-sized Fe-Ni-B amorphous particles

東北大工<sup>1</sup>, 大島商船高等専門学校<sup>2</sup>,

○(D1)若林 和志<sup>1</sup>, 室賀 翔<sup>1</sup>, 宮崎 孝道<sup>1</sup>, 神田 哲典<sup>2</sup>, 遠藤 恭<sup>1</sup>

Tohoku Univ.<sup>1</sup>, NIT Oshima College.<sup>2</sup>,

○(D1)Kazushi Wakabayashi<sup>1</sup>, Sho Muroga<sup>1</sup>, Takamichi Miyazaki<sup>1</sup>, Tetsunori Koda<sup>2</sup>, Yasushi Endo<sup>1</sup>

E-mail: kazushi.wakabayashi.q5@dc.tohoku.ac.jp

【緒言 Introduction】サブミクロンサイズの軟磁性微粒子は、安定した透磁率と高い強磁性共鳴周波数を示すことから、次世代電子デバイスにおける受動素子を構成する材料としての活用が期待されている。また、その磁区構造は粒子内部の磁束が閉じた閉磁路構造となり、サブミクロン軟磁性微粒子特有の磁気ダイナミクスが現れることが示唆されている<sup>[1]</sup>。したがって、サブミクロンサイズの軟磁性微粒子における磁区構造と磁気特性の関連性について検討する必要がある。本研究では、新たに合成したサブミクロン Fe-Ni-B 微粒子の磁気特性と、マイクロマグネティクスシミュレーションにより解析した磁区構造の関連性について検討する。

【実験方法 Experimental】Fe-Ni-B 微粒子は、水溶液還元反応法を用いて合成した。合成した微粒子の組成、形状および構造に関しては、ICP, SEM-EDX および TEM を用いて評価した。磁気特性に関しては、微粒子を樹脂中に分散させて作製したコンポジット材を VSM および短絡型 MSL を用いた複素透磁率測定法により評価した。磁区構造解析に関しては、OOMMF および Mumax<sup>3</sup> によるマイクロマグネティクスシミュレーションを行った。

【結果 Results】図 1 に合成した Fe-Ni-B 微粒子における SEM 像の一例を示す。析出した Fe-Ni-B 微粒子は真球に近い球状であり、微粒子同士が結合せず、分散した様子が確認された。粒径分布はガウス分布に近い分布となり、 $D_{10}$  は 179 nm,  $D_{50}$  は 201 nm,  $D_{90}$  は 226 nm と均一性の高い微粒子であった。

図 2 にマイクロマグネティクスシミュレーションにより解析した磁区構造の基底状態を示す。x 方向に外部磁界を +5 kOe から 0 Oe まで掃引したときの磁区構造を基底状態として解析した。磁区構造は、球中心軸の x 軸を起点に磁気渦コアが生じ、その周りに磁気渦を形成した 3D の磁気渦構造となった。

以上の結果は、合成したサブミクロン Fe-Ni-B 微粒子は 3D の磁気渦構造を有し、磁気渦構造特有の磁気特性が現れる可能性があることを示唆している。

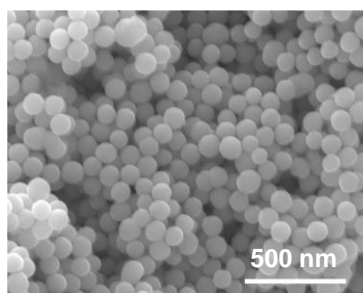


図 1 合成した Fe-Ni-B 微粒子 SEM 像

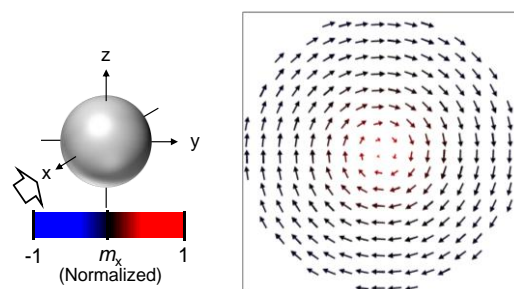


図 2 基底状態における Fe-Ni-B 微粒子の磁区構造

【謝辞 Acknowledgement】本研究の一部は、文部科学省次世代 X-nics 半導体創製拠点形成事業 JPJ011438, 文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JP00977 およびデータ創出・活用型マテリアル研究開発プロジェクト JPMXP1122715503 のもとで行われました。また、JSPS 科研費 JP24KJ0415, JP24K21602, 東北大学材料科学国際共同大学院プログラム (GP-MS), 東北大学先端スピントロニクス研究開発センター (CSIS), 東北大学国際集積エレクトロニクス開発センター (CIES) の支援のもとで行われました。

【参考文献 Reference】

[1] Sang-Koog Kim et al., Sci. rep. 5, 11370 (2015)

## Co/Ni 多層磁性細線によるレーストラックメモリの動作に関する研究

### Investigation of operation for racetrack memory using Co/Ni multilayer wire

九大シス情<sup>1</sup>・長谷川 博一<sup>1</sup>, 黒川 雄一郎<sup>1</sup>, 湯浅 裕美<sup>1</sup>

Kyushu Univ.<sup>1</sup>, <sup>o</sup>Hirokazu Hasegawa<sup>1</sup>, Yuichiro Kurokawa<sup>1</sup>, and Hiromi Yuasa<sup>1</sup>

E-mail hasegawa.hirokazu759@s.kyushu-u.ac.jp, ykurokawa@ed.kyushu-u.ac.jp

#### [Introduction]

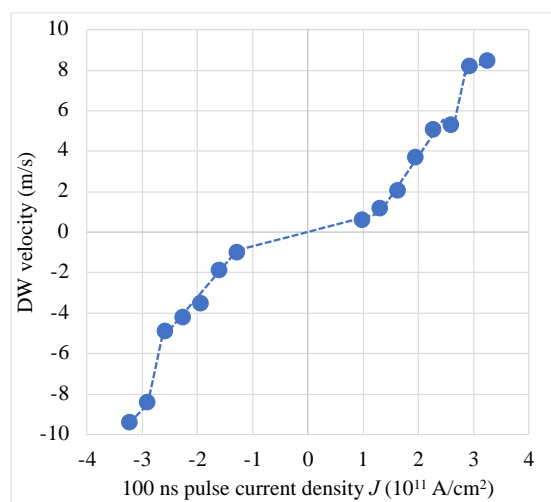
Racetrack memory is one of the non-volatile magnetic memories which can realize fast operation and high data density. The magnetic domain is used as data bits and domain wall (DW), which is in between domains, can be controlled by a spin orbit torque (SOT) generated from an electric current. In this study, we investigate the DW operation in racetrack memory using Co/Ni multilayer wire with SOT.

#### [Experiment]

A Ta (2nm)/Pt (2nm)/Co (0.3nm)/Ni (0.7nm)/Co (0.15nm)/Ta (3.5nm) multilayered film was fabricated on a thermally oxidized silicon substrate using DC magnetron sputtering. The T-shaped wire was fabricated using photolithography and Ar ion milling. The motion of magnetic domain induced by a SOT was observed by a polar Kerr microscope.

#### [Result]

The writing and bit shift operation were observed in two steps, 1) writing process and 2) shifting process. 1) To generate DW, the 1s-width pulse current was applied to T-shaped wire under an in-plane magnetic field  $H_x = 1$  kOe. 2) The DW was shifted by 100-ns width pulse current. Thus, the writing and bit shift operation were successfully observed. Fig. 1 shows the DW velocity as a function of 100ns pulse current density of magnetic thin wires. The DW velocity is proportional to 100ns pulse current density of magnetic thin wires and its critical current density leading magnetization switch is  $9.7 \times 10^{10}$  A/m<sup>2</sup>. The details of the operation will be shown in our presentation.



**Fig. 1 DW velocity dependence on 100-ns pulse current density.**

#### [Acknowledgement]

This work was supported by JSPS KAKENHI (Grant Number 22KK0056, 23K22827, 24H00030, JP24H02235), MEXT Initiative to Establish Next-Generation Novel Integrated Circuit Centers (X-NICS), The Center for Spintronics Research Network (Osaka), the JST, ACT-X Grant Number JPMJAX21K5, Murata Science and Education Foundation.

## 交代磁性ワイル半金属における円偏光スピ光ガルバノ効果の量子化

### Quantization of spin circular photogalvanic effect in altermagnetic Weyl semimetals

科学大理<sup>1</sup>, 広島大 SKCM2<sup>2</sup>, MPI-KPS<sup>3</sup>, <sup>○</sup>(D) 吉田 拓暉<sup>1</sup>, Libor Šmejkal<sup>3</sup>, 村上 修一<sup>1,2</sup>

Science Tokyo<sup>1</sup>, WPI-SKCM2<sup>2</sup>, MPI-KPS<sup>3</sup>, <sup>○</sup>Hiroki Yoshida<sup>1</sup>, Libor Šmejkal<sup>3</sup>, Shuichi Murakami<sup>1,2</sup>

E-mail: yoshida.h.9d8d@m.isct.ac.jp

スピントロニクスでは、情報処理において電子の電荷に加えてスピン自由度を利用する技術が注目されており、スピン流の生成・制御が重要な課題となっている。特に、反強磁性体におけるバルク光起電力効果を利用したスピン流生成は、その高速応答性とスピン軌道相互作用を必要としない特性により注目され、材料選択の幅を広げている。

この効果の顕著な例として、円偏光ガルバノ効果(CPGE)が挙げられる。この効果は系のエネルギーバンドのトポロジーと密接に関連していることが知られている。トポロジカル物質の一種であるワイル半金属では、CPGE の伝導率テンソルのトレースがワイル点のトポロジカル不変量によって量子化される。これはトポロジカル不変量を直接反映した珍しい現象である[1]。

本研究では、この量子化を電流ではなく純粋スピン流で実現する方法を提案する。従来の反強磁性体における CPGE では反対符号のトポロジカル不変量からの寄与が相殺してしまうため、純粋スピン流の量子化は実現できない (図)。一方、我々は近年新たに発見された交代磁性体[2]においては量子化が可能であることを発見した。対称性にに基づき純粋スピン流を生成可能な交代磁性体の包括的なリストを提示し、その中でスピン CPGE の量子化が可能なるものを特定した。また、交代磁性体における純粋スピン流生成の基本原則を議論し、それを具体的な数値例で示した。

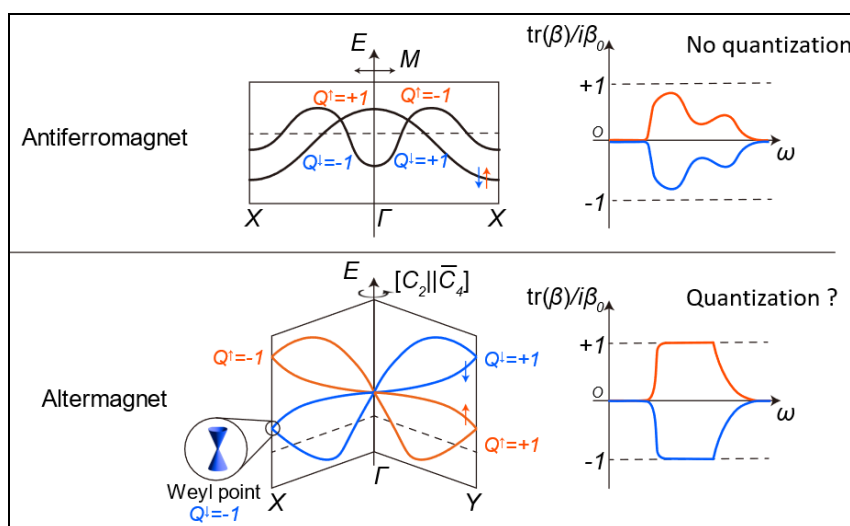


Figure: Energy band diagrams and quantization of the trace of the conductivity tensor  $\beta$  in antiferromagnets (top) and altermagnets (bottom)

[1] F. de Juan, A. G. Grushin, T. Morimoto, and J. E. Moore, Nat. Commun., **8**, 15995 (2017)

[2] L. Šmejkal, J. Sinova, and T. Jungwirth, Phys. Rev. X **12**, 031042 (2022)

## Design and Measurement of a Receiver for a Spin-wave Detection System

The University of Tokyo

Jiaao Yu, Yuyang Zhu, Zhenyu Cheng, Yuanxin Jia, Md Shamim Sarker, Hiroyasu Yamahara,

Munetoshi Seki, Hitoshi Tabata, and Tetsuya Iizuka

E-mail: yujiaao@silicon.u-tokyo.ac.jp

Over the last decades, Moore's law has guided the semiconductor industry to integrate more transistors and build more powerful computers. However, in contrast to the increasing computing performance, energy saving through the technological innovation of semiconductors has remained stagnant for about a decade. Thus, researchers and engineers are trying to develop energy-efficient computers based on entirely new concepts, such as in-memory computing and computers based on spintronics devices [1]. The computers based on spintronics utilize spin waves to transmit and control information, which could decrease the unavoidable heat generation induced by the actual transportation of electrons in electronic computers. However, to achieve spintronic computers with better performance, an accurate detection of spin waves is crucial. In previous research, the detection of spin waves was primarily done by external Vector Network Analyzer (VNA) systems, which are bulky, expensive, and, most importantly, unable to be integrated into a single chip. Thus, a small, single-chip spin-wave detection system is required for the next-generation spintronic computers. Besides, the magnet field is necessary for spin wave adjustment [2], meaning that inductors are not suitable to be used in the detection system. To tackle the challenges above, in this presentation, a novel spin-wave detection system is proposed, as Fig. 1 shows. The detection system includes a PLL, phase interpolator (PI), LNA, lock-in amplifier (LIA), and ADCs. The PLL and PI generate two phase-controlled signals for ports 1 and 3 of the spintronic device. The LNA and LIA amplify and down-convert the weak DUT output for noise filtering and ADC-based detection. The feasibility of the proposed system has been demonstrated based on the actual spin-wave device measurement result, which exhibits a similar frequency response compared to the results obtained by Keysight N5222B VNA. This is a first step towards the integration of spin wave devices.

**Acknowledgment:** This work was supported in part by the Institute for AI and Beyond, the University of Tokyo.

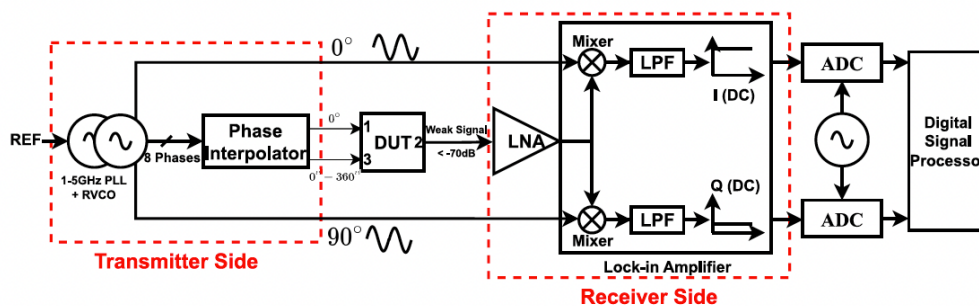


Fig. 1 The proposed spin wave detection system

[1] Mahmoud, A. *et al.*, J. Applied Physics. 128, 161101 (2020).

[2] Sarker, M.S. *et al.*, Scientific Report, 13, 4872 (2023).

# Research on Differential Type STT-MRAM Cell for Accelerator Based on Low-Power Digital CiM Architecture

Wang Yongcheng<sup>1,3</sup>, Li Tao<sup>1,2</sup>, and Tetsuo Endoh<sup>1,2,3</sup>

<sup>1</sup>School of Engineering, Tohoku University

<sup>2</sup>Center for Innovative Integrated Electronic Systems, Tohoku University

<sup>3</sup>Graduate Program in Spintronics, Tohoku University



## 1. Introduction

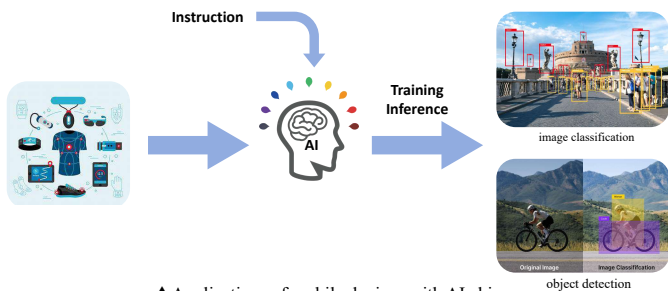
Recent artificial intelligence (AI) technologies make mobile devices more and more intelligent. However, the tremendous amount of data and frequent data transfer between memories and processing elements during processing bring high power consumption to AI chips. Using the Computing in Memory (CiM) architecture to design AI chips is an effective way to reduce power consumption. Spin-Transfer Torque Magnetoresistive Random Access Memory (STT-MRAM) is one of the most promising emerging verified technologies because of its non-volatile, high-speed, high-density, and high-reliability characteristics compared to conventional non-volatile memories. However, most designs of STT-MRAM-based CiM architecture are suffering from the limited accuracy and access speed due to the limited TMR. The goal of this research is to design a differential type STT-MRAM-based CiM cell that can avoid these problems for AI chips.

## 2. Computing-in-Memory (CiM)

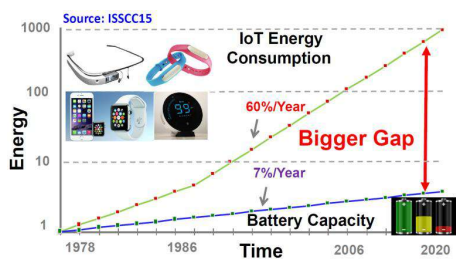
The application of AI chips makes mobile devices more intelligent, but they also consume more power. In particular, the rate of increase in power consumption is faster than the rate of increase in battery capacity of mobile devices, and this has already become a limitation to the development of mobile devices. Therefore, low power consumption of AI chips, which is a very important part of power consumption of mobile devices, needs to be researched.

One of the reasons for the high-power consumption of AI chips is the traditional von Neumann architecture. In this architecture, memory and processing elements are separated, and data must constantly move between the two parts during the process of computation. This data transfer consumed a large amount of power. To solve this problem, one solution is the Computing-in-Memory (CiM) architecture.

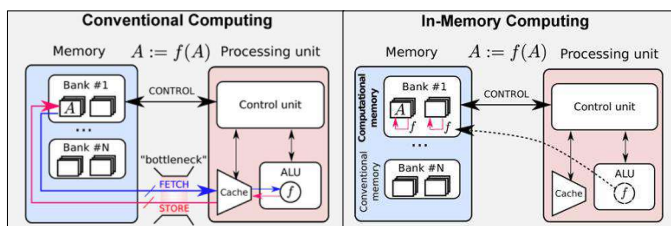
CiM is a new chip architecture in which operations proceed in memory. This architecture can save power consumption for data transfer. Now CiM has become a very hot research topic in the hardware design for AI chips.



▲ Applications of mobile devices with AI chips



▲ Gap of battery capacity and energy consumption of IoT devices

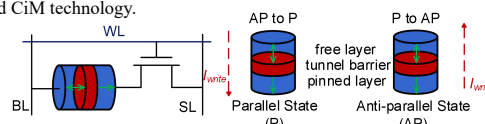


▲ Von Neumann architecture

▲ CiM architecture

## 3. STT-MRAM

CiM research can utilize a variety of memory types, but recently, non-volatile memory-based CiM research has gained significant attention. Among non-volatile memories, STT-MRAM is considered the most promising new type of memory because of its advantages, such as high speed, high density, low power consumption, and high reliability. We can achieve more low-power goals if we combine STT-MRAM and CiM technology.



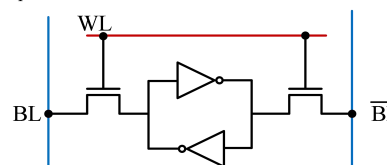
▲ The structure of 1T1M cell and its basic device MTJ

Memories	Existing			Emerging		
	SRAM	DRAM	NAND Flash	ReRAM	PCRAM	STT-MRAM
Cell size (F <sup>2</sup> )	50-120	6-10	5	6-10	4-19	6-20
Read time (ns)	≤ 2	30	10 <sup>3</sup>	1-20	≈ 2	1-20
Write time (ns)	≤ 2	50	10 <sup>6</sup>	50	10 <sup>2</sup>	≈ 10
Read energy (fJ)	1-5	100	10 <sup>6</sup>	1000	10	10-20
Write energy (fJ)	1	1000	10 <sup>6</sup>	1000	100	100-200
Endurance (cycles)	10 <sup>15</sup>	10 <sup>15</sup>	10 <sup>5</sup>	10 <sup>5</sup>	10 <sup>10</sup>	10 <sup>15</sup>
Non-volatility	NO	NO	YES	YES	YES	YES

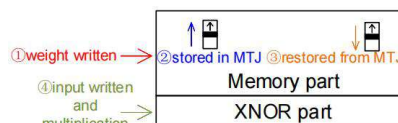
▲ Benchmark of STT-MRAM and other mainstream memories

## 4. Proposed STT-MRAM-based DCiM architecture

To design a high speed and high accuracy CiM cell, it is important to ensure stable data storage within the cell. One way to realize this is by making the cell bistable structure to form a latch, like that of SRAM. STT-MRAM based CiM cell with a bistable structure is called differential type STT-MRAM. One common way to realize the logic computing is by putting the logic gate into the cell. We write the weights of deep neural networks into the cell and store them in the MTJ in advance. When the cell receives the input data, it restores the weight from the MTJ to the storage nodes, multiplies it with the inputs, and outputs the results outside.



▲ The structure of SRAM



▲ Structure and working steps of proposed differential type STT-MRAM based CiM cell.

## 5. Conclusion

This brief proposes a differential type STT-MRAM based CiM cells to solve the limited accuracy and access speed due to the limited TMR.

## Acknowledgements

This research is funded by Next-generation Novel Integrated Circuits Centers (X-NICS) and Pioneering Research Support Project.

## A Via-Programmable Neuron Array for Wearable AI-IoT Applications

UTokyo, ° Jaewon Shin, Rei Sumikawa, Dongzhu Li, Mototsugu Hamada, Atsutake Kosuge

E-mail: jwshin@g.ecc.u-tokyo.ac.jp

### 1. Introduction

Wearable AI-IoT devices have become essential in areas such as health monitoring, environmental sensing, and activity tracking. These applications require processors that operate efficiently under strict constraints of power, area, and cost. Conventional FPGA-based solutions, though flexible, are energy-inefficient and unsuitable for continuous operation. On the other hand, task-specific ASICs, while optimized for performance, incur high manufacturing costs due to their application-specific design, requiring another full set of masks. To address these limitations, we propose a via-programmable neuron array (VPNA) architecture (Fig. 1). This design offers a low-cost and energy-efficient solution for diverse AI-IoT tasks.

### 2. Proposed Methods

The VPNA consists of a  $64 \times 64$  tile-based array optimized for one-dimensional neural networks, commonly used in time-series data analysis. To support diverse applications, each VPNA tile is configurable into various types of 1D neural network layers, including 1D convolution, max pooling, and median filter. By concatenating multiple tiles, the architecture enables the implementation of complex DNN models. Each tile processes 16-bit data and supports ternary weights (+1, 0, -1), which are implemented as programmable vias. These vias allow specific DNN models to be hardwired by customizing their locations based on DNN training results. As a result, customized DNN processors can be fabricated with the same mask set, except for a single via mask for programming.

The technical challenge for VPNA is the large number of signal wires. The bit- and neuron-serial circuit (BNSC) reduces wiring complexity by a factor of 1,024, leveraging bit-serial communication and a multi-drop bus configuration. Additionally, the function-selective non-linear neural network (FS-NNN) simplifies the implementation of non-linear activation functions by limiting them to four specific types: ReLU, inverse ReLU, linear, and inverse functions. This simplification reduces the hardware resources needed. Together, these techniques enhance the scalability and practicality of the VPNA for diverse use cases.

### 3. Results

We fabricated a test chip with VPNA tiles using a 40nm CMOS process. To evaluate its performance, the VPNA was configured as a 1D convolution layer with 50% weight sparsity. The results demonstrated that the VPNA achieves comparable or superior energy efficiency across various applications while utilizing the same base chip. When compared with an FPGA-based KWS recognition processor [1], the VPNA achieved 28.3 times higher energy efficiency. Furthermore, despite being implemented in an older 40nm process, the VPNA reduced the area by a factor of 2.3 compared to the 14nm analog reconfigurable CiM [2], which has a similar tile structure and reconfigurable wiring. These improvements highlight the effectiveness of the VPNA's design, particularly the contributions of BNSC and FS-NNN, in optimizing both energy efficiency and area utilization.

### References

- [1] H. Borras et al., "Open-source FPGA-ML codesign for the MLPerf Tiny Benchmark," *MLSys.*, pp. 1-15, Aug 2022  
 [2] S. Ambrogio et al., "An analog-AI chip for energy-efficient speech recognition and transcription," *Nature* 620, 768-775 (2023)

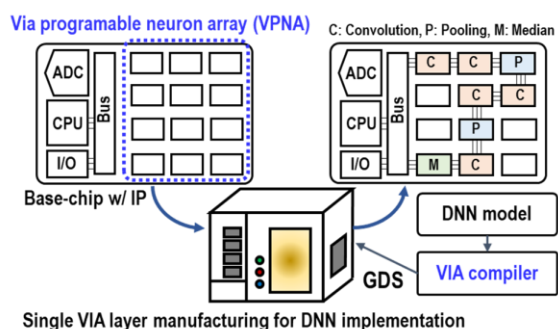


Fig. 1 Via-programming DNN processor fabrication

# Accelerating DNN Models with DPU: A Hardware-Software Co-Design Approach

Jiawei Yu<sup>1</sup>, Atsutake Kosuge<sup>2</sup>, Hunga Amano<sup>3</sup>

The University of Tokyo<sup>1,2,3</sup>

E-mail: yujw24@g.ecc.u-tokyo.ac.jp<sup>1</sup>, {kosuge, hunga}@dlab.t.u-tokyo.ac.jp<sup>2,3</sup>

## 1. Introduction

With the proliferation of IoT applications, there is a growing demand for real-time object detection on edge devices. Traditional cloud computing models face challenges such as high latency, bandwidth limitations, and privacy concerns. Edge computing addresses these challenges by moving computational tasks to end devices, significantly reducing system latency while enhancing data privacy protection.

Among various edge computing platforms, FPGA-based DPU solutions emerge as an ideal choice for deploying deep learning models due to their low power consumption, high performance, and reconfigurability.

## 2. Network

YOLOv3-tiny, as a lightweight version of YOLOv3, maintains reasonable detection accuracy while significantly reducing model parameters and computational complexity. Its single-stage detection architecture and streamlined network structure make it particularly suitable for edge deployment, meeting real-time requirements.

## 3. Implementation Details

Leveraging Xilinx's Vitis-AI development toolkit, we implemented a systematic model conversion workflow for YOLOv3-tiny. Vitis-AI provides comprehensive tools for deep learning model optimization and deployment on DPU platforms.

**Quantization:** Using Vitis-AI's quantizer, the model is optimized through calibration-based quantization, converting FP32 weights to INT8 format while maintaining accuracy.

**DPU Compilation:** The compiler from Vitis-AI toolchain transforms the quantized model into an optimized xmodel format, specifically tailored for DPU acceleration with architecture-aware optimizations.

## 4. Results and Analysis

The final result is that the FPS is about 70 and the mAP is 25.1%. If we reduce the frequency of real-time display, the FPS will continue to increase.

## 5. Conclusion

This approach proves particularly valuable for edge computing scenarios where both computational efficiency and detection performance are crucial. While current DPU implementations show promising results, they face limitations in supported operators, which restricts the acceleration of certain neural network architectures. However, this challenge is expected to be addressed with the continuous evolution of DPU technology.

# Agile-chip platform を用いた半導体教育入門用学生実験の実践

## An Example of Student Experiments for Entry of the Semiconductor Education with Agile-chip platform

東大工 ○(M1) 霜田 龍成, 天野 英晴, 小菅 敦文

Univ. Tokyo, °Ryusei Shimoda, Hideharu Amano, Atsutake Kosuge

E-mail: shimoda@nano.iis.u-tokyo.ac.jp

### 1. はじめに

一般に、半導体チップの設計から製造、測定を行うには長い時間を要し、学生が短期間で一連の流れを体験することは困難である。Agile-chip platform では、最上位配線層以外が作り込まれたベースチップが用意されており、学生は求める回路機能を満たすよう、最上位配線層のみ設計すれば良い。本稿は一連の実験の詳細、感想を述べる。

### 2. 実験詳細

実験では 61 段のリングオシレーターを作成した。前述のベースチップには、Fig. 1 に示すトランジスタ構造がアレイ状に配置されている。これらのピンを最上位配線層で繋ぐことで設計を行う。設計フローは Fig. 2 に示されており、回路シミュレーション時には予想される寄生容量も盛り込み、発振周期は 5.6ns であった。

設計して得られた GDS ファイルを元に製造する。ベースチップは最上位配線層に用いる金属層が成膜済みであり、レジスト塗布、レーザー露光、現像、ドライエッチング、レジスト除去を行うことで最上位配線層が完成する。ダイシング、トリートメントされた 3 チップの内、光学顕微鏡で見て欠陥のないものを選択し、業者にボンディングを発注する。

完成した基板に自らコネクタと電源プラグを半田付けし、測定を行った。Fig. 3 は基板の写真、Fig. 4 は波形の写真である。発振周期は 7ns であった。

### 3. 感想

Agile-chip platform を用いて、実働 3 日間で設計、製造、測定という半導体チップ開発の一連の流れを体験することができた。業者によるチップと基板のボンディングに要した時間も一週間ほどである。予め定められたリングオシレーターという繰り返し箇所の多い題材、最上位配線層のプロセスのみを扱うことで短期間を成し得た。

筆者は設計を行う研究室、プロセスを行う研究室どちらも経験があるのだが、本実験は設計や製造の経験がない学生でも取り組むことができる一方、体験して初めて分かるエッセンスを感じることができる、初学者と経験者の橋渡しの実験であると感じた。

今回は使用していないが、ベースチップには RISC-V CPU、SRAM、AD/DAC 等が搭載されており、ゲートアレイの配線を工夫すればより高度な設計が可能である。実験時には立ち上げが未完だったミニマルファブを用いれば、プロセス時間の短縮が期待される。

### 謝辞

本実験は、文部科学省・次世代 X-nics 半導体創成拠点形成事業(JPJ011438)により行われた。また、論理合成および物理設計は、東京大学大規模集積システム設計教育研究センター(VDEC)により、Cadence 社の CAD を利用して行われた。

### 参考文献

- [1] 天野、小菅、島本、最上、井上、落合、角、池田、井上、三田, Agile-chip platform を用いた半導体教育入門用学生実験の提案と試行, 電子情報通信学会 VLD 研究会 (デザインガイア 2024)
- [2] A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, H. Amano, T. Mogami, Y. Mita, M. Ikeda, T. Kuroda, Agile-X: A Structured-ASIC Created with a Mask-less Lithography System Enabling Low-Cost and Agile Chip Fabrication, IEEE Transactions on Very Large Scale Integration Systems

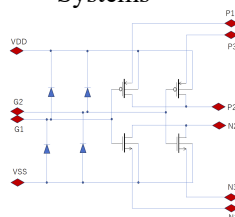


Fig. 1 Schematic of Gate Array Cell [1]

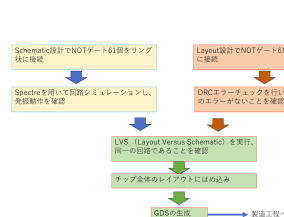


Fig. 2 Design Flow [1]



Fig. 3 Substrate

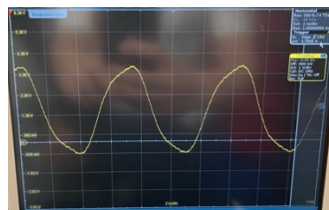


Fig. 4 Waveform

## Hardware Acceleration Design for Object Detector in Semiconductor Design Hackathon

°Yuxuan Pan<sup>1</sup>, Atsutake Kosuge<sup>1</sup>, Hideharu Amano<sup>1</sup> (1.Univ. Tokyo)

E-mail: pan@g.ecc.u-tokyo.ac.jp

Object detection is essential across various fields, yet achieving real-time performance on hardware-accelerated platforms remains challenging. During the AI and Semiconductor Design Hackathon 2024 at the University of Tokyo, we explored FPGA-based acceleration for object detector inference. By accepting minor accuracy tradeoffs, our approach achieved 5x to 39x speed improvements, enabling real-time processing.

We implemented a YOLOv3 [1] object detection system on the Xilinx KV260 FPGA development board, utilizing the Vitis-AI framework and DPU (Deep Learning Processor Unit) for hardware acceleration. The workflow included training the YOLOv3 mode, converting and quantizing the model, and deploying it to the FPGA board's programmable logic (PL). To enhance efficiency, we adopted the slighter YOLOv3-tiny [2] architecture, reduced input image size, and utilized multiple DPU instances via multi-threading. Inference programs were developed in C++ to run on the processing system (PS).

Performance was evaluated using static images and video inputs, measuring FPS (Frames Per Second) and mAP (mean Average Precision). Table 1 summarizes five configurations balancing mAP and FPS. The baseline YOLOv3 achieved 45% mAP but low FPS, unsuitable for real-time applications. In contrast, optimized configurations demonstrated significant improvements. Configuration #1 achieved 47% mAP at 9 FPS, while configuration #5 prioritized speed, reaching 101 FPS with lower mAP. Intermediate setups offered versatile tradeoffs.

Efforts to fine-tune the model to recover accuracy post-resizing and quantization, along with experiments on newer architectures like YOLOv10-n [3], were initiated but not fully completed due to time constraints. These directions hold the potential for further enhancing the balance between accuracy and efficiency in future work.

### REFERENCES

- [1] A. Farhadi et al., Proc. CVPR., vol. 1804, pp. 1-6, 2018.  
 [2] P. Adarshe et al., Proc. ICACCS, pp. 687-694, 2020.  
 [3] A. Wang et al., *arXiv preprint arXiv: 2405.14458*, 2024.

Table 1 Experimental results.

Index	Baseline	Proposed				
		#1	#2	#3	#4	#5
Model	YOLOv3	YOLOv3	YOLOv3	YOLOv3-tiny	YOLOv3-tiny	YOLOv3-tiny
Input Size	608×608	608×608	320×320	416×416	224×320	224×224
mAP	45%	47%	38%	24%	14%	12%
FPS	2.6	9	18	50	82	101

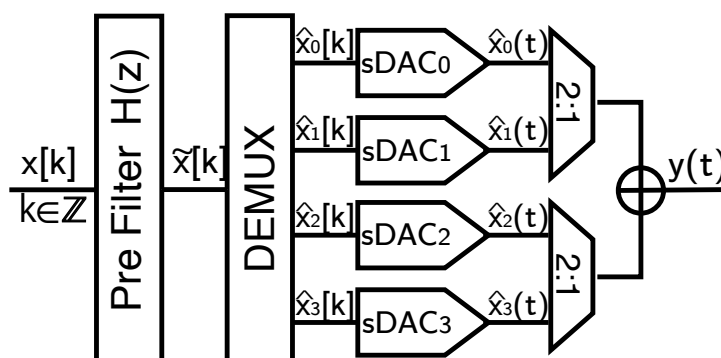
## Comparative Analysis of High-Speed Time-Interleaved Digital-to-Analog Converters

The University of Tokyo<sup>1</sup>, Advantest Corp.<sup>2</sup>

°(M2)Yunjie Chen<sup>1</sup>, Koji Asami<sup>2</sup>, Zolboo Byambadorj<sup>1</sup>, Akio Higo<sup>1</sup>, Tetsuya Iizuka<sup>1</sup>

E-mail: chen-sh@silicon.t.u-tokyo.ac.jp

Over the last decades, the annual global Internet Protocol (IP) traffic has surged dramatically and is expected to continue growing. By 2023, the number of devices connected to IP networks is projected to exceed three times the global population. The number of networked devices has a 50% increase from 2018 to 2023. The network speed is expected to more than triple by 2023. By that time, 5G connection speeds will be approximately 13 times faster than the average mobile connection, reaching 575 Mbps on average [1]. One of the most critical blocks in the communication system is the digital-to-analog converter (DAC), which is a circuit that converts digital signals to analog signals. Recent high-speed DAC designs often utilize the interleaving technique, particularly time-interleaving (TI), to extend the bandwidth and overall sampling rate without increasing the sampling rate of a single-channel DAC (sDAC). However, since the development speed of communication systems has become faster and faster, 2-channel interleaving DACs can hardly meet the higher sampling rate and bandwidth demands, such as beyond 5G and 6G. Although massive time interleaving is widely applied to analog-to-digital converters (ADCs), only limited publications discuss TI architectures with four or more channels in current-steering DACs [2][3]. In this poster, we proposed a hybrid segment architecture of 4-channel TI-DAC, as Fig. 1 shows. This structure incorporates a pre-filter, a single-stage analog multiplexer, and an output combiner, enabling improved performance and compromising bandwidth and usable output swing. The simulation result highlights the effectiveness of the hybrid architecture in achieving superior SNR with sufficient bandwidth and overcoming the challenges of channel number extension when compared to other 4-channel architectures.



**Fig. 1 TI-DAC with hybrid segmentation.**

[1] Cisco System. Inc. Cisco Annual Internet Report (2018–2023), 2023.

[2] W.-C. Kim *et al.*, IEEE Symp. VLSI 2019.

[3] H. Chandrakumar *et al.*, IEEE SSC-L, 2022.

# FIPS205(SLH-DSA) 署名生成ハードウェア向け SHA2 演算の最適化

## Optimization of SHA2 Operations for Signature Generation Hardware

### Compliant with FIPS 205 (SLH-DSA)

東京大 ○ 竹島 優太、池田 誠

Tokyo Univ., ○Yuta Takeshima, Makoto Ikeda

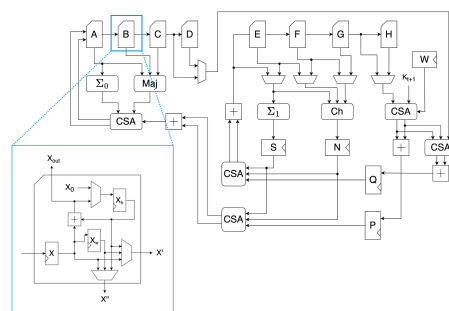
E-mail: takeshima@silicon.u-tokyo.ac.jp

#### 【はじめに】

量子コンピュータの進展に伴い、耐量子計算機暗号の研究が進む中、NIST によって標準化されたハッシュベースの署名「SLH-DSA」は高い安全性を持つが、署名生成の計算コストが課題である。本研究では、SHA2 および SHAKE に対応した低レイテンシな署名生成ハードウェアを設計した。ここでは特に計算効率化が求められる SHA2 演算器の最適化について述べる。

#### 【手法】

Chen らの実装<sup>[1]</sup>では、クリティカルパスをレジスタで分割し周波数の向上を図っている一方、1 ブロックの計算には 66 サイクル必要となる。本研究ではこれをもとに最適化を行った。SLH-DSA でハッシュを計算する際、最初の 1 ブロックには毎回同じシード値を入力する。そのためその 1 ブロックを計算した後の状態を保存しておくことでサイクル数を半分に抑えることができる。また、SLH-DSA におけるハッシュ計算のほとんどを占める WOTS+ の計算においては 1 ブロックの計算を 61 サイクルまで短縮することができる。これはシード値の次のブロックの最初の入力が一定になることを利用している。



# ペアリング演算の安全性およびハードウェア実装コストの自動設計手法による見積もり評価

## Estimating Pairing Security and Hardware Implementation Cost by Design Automation Technique

東大工<sup>1</sup>, ○福田桃子<sup>1</sup>, 池田誠<sup>1</sup>

The Univ. of Tokyo.<sup>1</sup>, ○Momoko Fukuda<sup>1</sup>, Makoto Ikeda<sup>2</sup>

E-mail: fukuda@silicon.t.u-tokyo.ac.jp

【はじめに】ペアリング暗号は、楕円曲線暗号を発展させた公開鍵暗号の一種であり、RSA よりも高速かつ高機能な暗号方式であり、近年注目を集めている。しかし、ペアリング演算のアルゴリズムは現在研究途上にあり、どの楕円曲線を用いるのが適切なのかは未だ標準化されていない。また、ペアリング演算はソフトウェアで実装するには計算コストが高いことも問題である。そこで本研究では、ペアリング演算の楕円曲線ごとの ASIC 実装を自動化し、レイテンシ・面積・電力などの性能指標の正確な値を示す。

【提案手法】自動設計の具体的な流れは以下の通りである。まず、曲線の固有パラメータ  $u$  を入力し、ペアリング演算に必要な標数  $p$ 、位数  $r$  などのパラメータを Sagemath[1] によって計算する。得られたパラメータから必要な演算の数・依存関係を取得し、Pyschedule[2] を用いた自動スケジューリングで演算の順序・並列性を最適化する。最後に、スケジューリング結果から演算器の制御を行うシーケンサの RTL を生成し、アーキテクチャのテンプレートと組み合わせて出力する。図 1 に、BLS12-381 曲線に提案手法を適用した場合のアーキテクチャを示す。また、曲線ごとのペアリング演算の安全性は離散対数問題と楕円曲線離散対数問題を解く際の計算コストによって決まり、固有パラメータ  $u$  から見積もりが可能である。

【結果】以上の議論から、いくつかの BLS12, BLS24 曲線について提案手法を用いて設計し、論理合成で得られた結果をプロットして対数近似により外挿した。図 2 に BLS12 と BLS24 についての安全性とハードウェアコストの関係を示す。現在実装の中心となっている 128bit, 192bit セキュリティでは BLS12, それより高いセキュリティが必要な場合は BLS24 を利用するとレイテンシ・電力を少なく出来ると言える。一方、BLS24 は同じセキュリティを満たすために必要となる標数  $p$  が小さくて済むため、今回の設計では演算器の bit 幅が小さくなり、面積を抑えることが出来ると分かる。

[1] The Sage Developers, "SageMath, the Sage Mathematics Software System (Version 10.0)", 2024, <https://www.sagemath.org>.

[2] T. Nonner, "pyschedule", 2021, <https://github.com/timmon/pyschedule>.

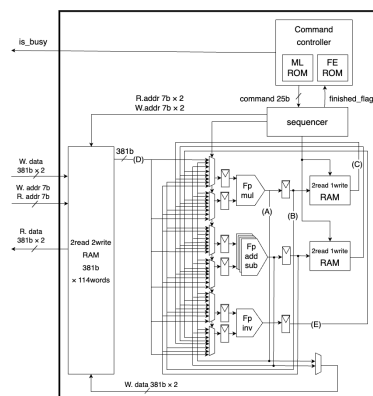
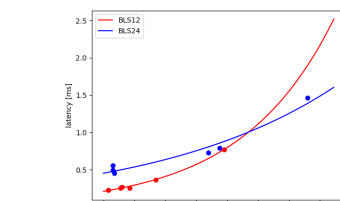
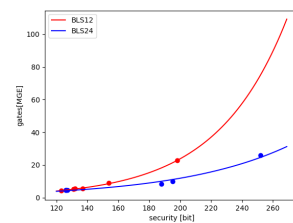


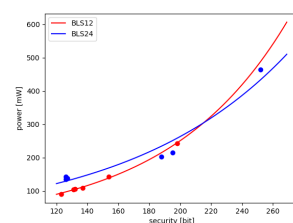
図 1. An example pairing processor architecture for BLS12-381.



(a)



(b)



(c)

図 2. Balance estimation between pairing security and (a) latency, (b) gates (c) power

# GAA ナノシート型 Si チャンネルにおけるトラップ電荷誘起の電流変動

## Current variation in gate-all-around nanosheet channel

### induced by trapped charges at oxide/Si interface

産総研 先端半導体研究センター<sup>1</sup> ○神岡 武文<sup>1</sup>, 岡田 直也<sup>1</sup>, 福田 浩一<sup>1</sup>

SFRC, AIST<sup>1</sup>, °Takefumi Kamioka<sup>1</sup>, Naoya Okada<sup>1</sup>, Koichi Fukuda<sup>1</sup>

E-mail: kamioka-take@aist.go.jp

【背景・目的】次世代トランジスタの有力候補としてナノシート (NS) MOSFET の研究開発が盛んに進められている。従来の微細 FET と同様に、NS FET における静特性ばらつきは集積回路の動作不良や動作マージン低下の原因となるため重要な問題であるが、実験・シミュレーションともにほとんど報告がない。ばらつきの主要因としてゲート絶縁膜界面/膜中の欠陥に由来したトラップ電荷による電流変動が挙げられる。極微細チャンネルではトラップ電荷は数えられる程度にしか存在しないため、シミュレーションにおいては空間に一樣分布した濃度としてではなく離散的なトラップ電荷として扱う必要がある。そこで本研究では、物理的な Si 厚が同程度の SOI FET と比較しつつ、NS FET におけるトラップ電荷による電流変動の影響を TCAD シミュレーションにより検討した結果を報告する。

【シミュレーション方法】産総研が独自開発した 3 次元 TCAD (impulse TCAD) [1]を用いてシミュレーションを行った。今回は古典的なドリフト拡散モデルを用いており、量子力学的な効果を考慮したモデルは組み込んでいない。NS および SOI の Si 層厚さを変えた FET をデバイスモデルとして、トラップ電荷を点電荷としてゲート絶縁膜/Si 界面に配置した。トラップ電荷は Si 層の上部・下部界面に各 1 個ずつ計 2 個を配置し ( $\sim 2 \times 10^{11} \text{ cm}^{-2}$  相当)、各界面内における位置はランダムなものとして 100 条件を準備した。このとき得られる電流値 ( $I$ ) とトラップのない場合の電流値 ( $I_0$ ) との差分  $\Delta I = I - I_0$  として、電流変動率 ( $\Delta I/I_0$ ) を評価した。

【結果・考察】SOI と NS FET における電流変動率  $\Delta I/I_0$  (100 サンプルの平均) を Fig. 1 に示す。両デバイスともに Si 層が薄くなると  $\Delta I/I_0$  が增大するが、同程度の Si 層厚では NS FET の方が SOI よりも  $\Delta I/I_0$  が大きい。SOI は単一 (トップ) ゲートであり表側にのみチャンネルが存在するのに対し、NS は GAA 構造であり裏面側トラップ電荷に近接してチャンネルが存在するため、より大きな影響を受けると考えられる。Fig. 1 では変動率の平均を示しているが、特定のトラップ電荷配置では変動率がより大きくなる。一例として変動率が最大となる一例を Fig. 2 に示す。トラップ電荷 2 個がチャンネルのほぼ同一断面上に配置される場合であり、実効的にチャンネル断面積を大きく減少するためと考えられる。【参考文献】 [1] T. Ikegami et al., J. Comput. Electron. **18**, 534 (2019).

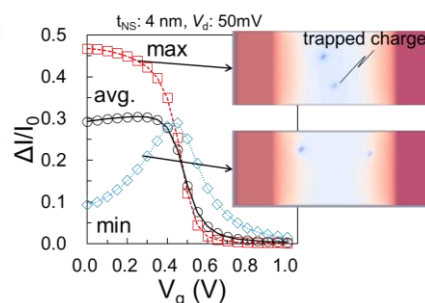
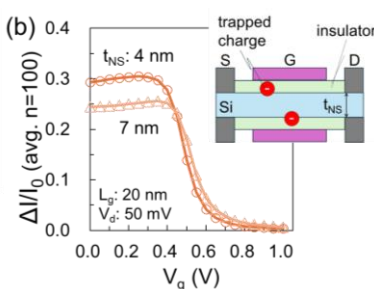
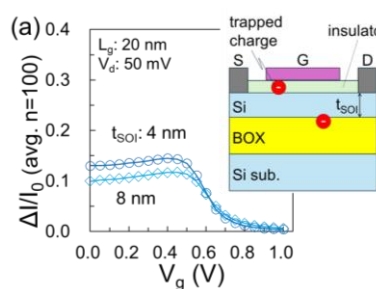


Fig. 1 Averaged current variation ratio as a function of  $V_g$  for (a) SOI FET and (b) NS FET.

Fig. 2 Relation between  $\Delta I/I_0$  and trapped charge distributions

Cold wall 中 H<sub>2</sub>S アニールによる PVD-MoS<sub>2</sub> 膜残留硫黄抑制Suppression of residual sulfur in PVD-MoS<sub>2</sub> films by cold wall annealing with H<sub>2</sub>S°松永 尚樹<sup>1</sup>, 堀 敦<sup>2</sup>, 若林 整<sup>2</sup><sup>1</sup>School of Engineering and <sup>2</sup>Institute of Innovative Research, Institute of Science Tokyo

E-mail: matsunaga.n.6e78@m.isct.ac.jp

【背景】 MoS<sub>2</sub> は遷移金属ダイカルコゲナイド (TMDC)の一つであり、次世代半導体チャネル材料としての応用が期待されている。工業応用を視野に入れた成膜手法として、ウェハースケールで均質な膜が成膜可能なスパッタリング法が注目されている[1]。しかし、スパッタリング法で成膜した MoS<sub>2</sub> 膜は化学量論的組成から外れることが課題となっている。この問題に対し、硫黄粉末を用いた気相硫黄雰囲気下アニール(SVA)による結晶性改善[2]が行われているが(Figure 1 (a))、蒸気圧の低い硫黄粉末では残留硫黄が電気特性に影響を及ぼす可能性が懸念される。

本研究では、硫黄粉末と比較して高い蒸気圧を持つ硫化水素(H<sub>2</sub>S)ガスを用いた Cold wall アニールを行い、S 2p 軌道における化学結合状態を評価した。

【方法】 2層を想定して RF マグネトロンスパッタリング法で成膜した MoS<sub>2</sub> 膜を、それぞれ硫黄粉末と H<sub>2</sub>S ガスを用いたチャンバー(Figure 1 (b))に導入し、アニールを行った。その後、XPS 測定により、化学結合状態を評価した。

【結果】 Figure 2 に、スパッタ成膜後、および硫黄粉末と H<sub>2</sub>S を用いたアニール処理後の MoS<sub>2</sub> 膜の S 2p 軌道の XPS スペクトラを示す。図より、SVA 処理では S-S 結合に由来するピークが確認された。一方で、Cold wall H<sub>2</sub>S アニール処理では S-S 結合に由来するピークが確認されず、残留硫黄が抑制され、より効果的に硫黄が補填できたことがわかった。

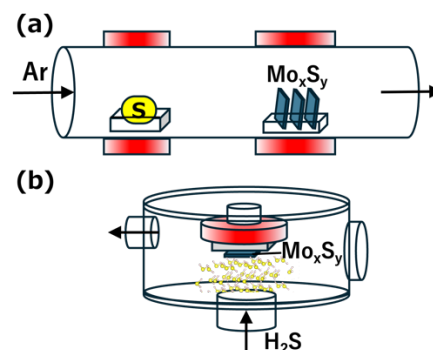


Figure 1: Schematic diagrams of (a) SVA and (b) cold wall H<sub>2</sub>S anneal chambers respectively.

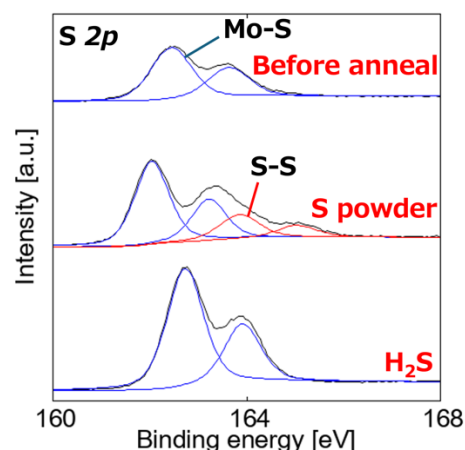


Figure 2: XPS spectra of S 2p orbitals for PVD-MoS<sub>2</sub> films before and after annealing treatment.

【謝辞】 本研究は、文部科学省次世代 X-nics 半導体創生拠点形成事業 (JPJ011438)、および JSPS 科研費 (20H05880)、JST 次世代研究者挑戦的研究プログラム (JPMJSP2106)の助成を受け、文部科学省先端研究基盤共用促進事業 (JPMXS0420900521)で共用された機器を利用した成果である。また、文部科学省の卓越大学院プログラム (TAC-MI) から得られた有益な知識が本研究の遂行に貢献したことを記す。

## 参考文献

- [1] Matsunaga, Naoki, et al., IEEE Journal of the Electron Devices Society (2024).
- [2] Imai, Shinya, et al., Japanese Journal of Applied Physics 60.SB (2021): SBBH10.

# 強誘電体 AlScN 膜と酸化インジウムチャネルを用いた FeFET の試作

## Fabrication of FeFET with ferroelectric AlScN film and In<sub>2</sub>O<sub>3</sub> channel

東京科学大<sup>1</sup>, 国立中山大<sup>2</sup> °Lin Jia-Hong<sup>1,2</sup>, Kuo Ting-Tzu<sup>1,2</sup>, Chen Si-Meng<sup>1</sup>,

西田 宗史<sup>1</sup>, Li An<sup>1</sup>, 星井 拓也<sup>1</sup>, 若林 整<sup>1</sup>, Chang Ting-Chang<sup>2</sup>, 角嶋 邦之<sup>1</sup>

Science Tokyo<sup>1</sup>, National Sun Yat-sen Univ<sup>2</sup>, °Jia-Hong Lin<sup>1,2</sup>, Ting-Tzu Kuo<sup>1,2</sup>, Si-Meng Chen<sup>1</sup>,

Hirofumi Nishida<sup>1</sup>, An Li<sup>1</sup>, Takuya Hoshii<sup>1</sup>, Hitoshi Wakabayashi<sup>1</sup>, Ting-Chang Chang<sup>2</sup>, Kuniyuki Kakushima<sup>1</sup>

E-mail: jhlin880406@gmail.com

### Introduction

Artificial intelligence (AI) and the Internet of Things (IoT) have become popular topics. To process and store large amounts of data, low-power consumption memory devices are required. Ferroelectric field-effect transistor (FeFET), featuring fast read/write speed, is one of the most promising candidates [1]. AlScN, a recently demonstrated III-N ferroelectric material, typically exhibits extremely high remnant polarization ( $P_r$ ) along with low dielectric permittivity [2, 3]. Besides, In<sub>2</sub>O<sub>3</sub> has drawn attention for thin film transistors (TFT) owing to its high mobility and wide bandgap [4]. Both AlScN and In<sub>2</sub>O<sub>3</sub> can be processed below 400°C, and are compatible with the back-end-of-line (BEOL) process [3, 5]. In this work, we fabricated and characterized FeFETs with a ferroelectric AlScN layer and In<sub>2</sub>O<sub>3</sub> channel.

### Experimental methods

The FeFET device structure is shown in Fig. 1. A 20-nm-thick AlScN layer is deposited on top of the 10-nm-thick TiN gate electrode by sputtering. A 4-nm-thick Al<sub>2</sub>O<sub>3</sub> layer is grown by atomic layer deposition (ALD), followed by a 3 nm In<sub>2</sub>O<sub>3</sub> channel layer deposition by ALD. A TiN/W stack is deposited for Ohmic contact to the In<sub>2</sub>O<sub>3</sub> layer.

### Results and discussion

Fig. 2 delineates double sweep  $I_d$ - $V_g$  characteristic curves of the fabricated FeFET. A clear counterclockwise hysteresis was obtained with a memory window of 1.1 V, indicating the FeFET operation. An on/off ratio of 10<sup>9</sup> was achieved, owing to the bandgap of In<sub>2</sub>O<sub>3</sub>. The voltage needed for the operation was 5 V. Note that a MOSFET with a 10-nm-thick Al<sub>2</sub>O<sub>3</sub> layer without an AlScN layer, also shown in Fig. 2, exhibited a limited clockwise hysteresis, suggesting a decent interface property of Al<sub>2</sub>O<sub>3</sub>/In<sub>2</sub>O<sub>3</sub>.

### Conclusion

A FeFET with AlScN/Al<sub>2</sub>O<sub>3</sub>/In<sub>2</sub>O<sub>3</sub> structure is fabricated. Along with low operation voltage capabilities, a large memory window with a high on/off ratio was achieved. Compatibility with the CMOS process, this device holds great potential for development in next-generation memory technologies.

### Acknowledge

This work was supported by MEXT Initiative to Establish Next-generation Novel Integrated Circuits Centers (X-NICS) Grant Number JPJ011438.

### References

- [1] J. Ajayan et al., *Mater. Today Commun.* **35**, 105591 (2023). [2] S. Fichtner et al., *J. Appl. Phys.* **125**, 114103 (2019). [3] S. L. Tsai, et al., *Appl. Phys. Lett.* **118**, 082902 (2021). [4] J. Lee, et al., *Appl. Phys. Lett.* **113**, 112102 (2018). [5] M. Si, et al., *IEEE Trans. Electron Devices* **68**, 6605 (2021).

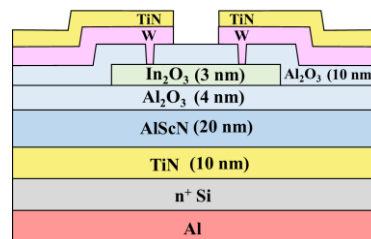


Fig. 1 Schematic diagram of the FeFET structure.

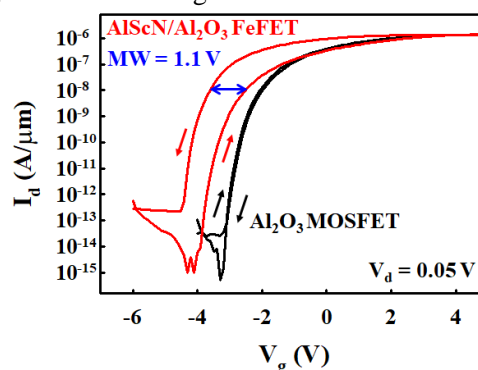


Fig. 2  $I_d$ - $V_g$  characteristic curves measured at  $V_d = 0.05$  V.

# ルテニウムの Area Selective Atomic Layer Deposition に関する研究

## Research on Area Selective Atomic Layer Deposition of Ruthenium

奥川 昭悟<sup>1</sup>, Gagi Tauhibur Rahman<sup>1</sup>, 横川 凌<sup>1,2</sup>, 雨宮 嘉照<sup>2</sup>, 寺本 章伸<sup>1,2,3</sup>

1. 広大先進理工 2. 広大 RISE 3. 広大 HiSOR

S. Okugawa<sup>1</sup>, Gagi Tauhibur Rahman<sup>1</sup>, R. Yokogawa<sup>1,2</sup>, Y. Amemiya<sup>2</sup>, and A. Teramoto<sup>1,2,3</sup>

1. Grad. Sch. of Adv. Eng., Hiroshima Univ., 2. RISE, Hiroshima Univ., 3. HiSOR, Hiroshima Univ.

E-mail: syogo-okugawa@hiroshima-u.ac.jp

### 1. 研究背景・目的

近年の半導体集積回路は、微細化技術の発展によりその性能の向上を達成しており、今後さらなる微細化に向け技術の発展が求められる。現在、先端集積回路の配線層には銅(Cu)が使われているが、拡散を防ぐためバリアメタル(TiN, TaN)が必要である。微細化によりその割合が増加することで、抵抗が増加する課題が生じている[1]。そこで近年、バリアメタルを必要とせず、微細領域でも低抵抗を維持できるルテニウム(Ru)が注目されている[1]。一般に Ru の成膜には ALD (Atomic Layer Deposition)法が用いられている。特に表面を吸着可能な成長面と不可能な非成長面に分けて、成長面のみ成膜が進むという選択成長技術である ASALD (Area Selective ALD)が検討されている[2]。

選択的な半導体配線層形成技術を確立することで、配線ピッチの縮小かつ高コストのリソグラフィの回数を減らすことができる。以上を鑑み、本研究では Ru の ASALD 成膜について検討を行ったので報告する。

### 2. 実験

Fig. 1 に本研究のプロセスフローを示す。Si 基板上に W、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>を堆積させ、W が露出するようにエッチングを行った。使用パターンは Line and Space=1:1 とし、パターン幅は 2 μm とした。その後、非成長面形成のため阻害剤を表面に塗布し、成長面である W 上の阻害剤除去のため 0.1%フッ酸処理を行った。その後 Ru プリカーサーである[Ru(TMM)(CO)<sub>3</sub>] (TMM = trimethylenemethane)を用いて ALD を行った。評価方法は、X線反射率法 (XRR)、走査型電子顕微鏡 (SEM)を用いたエネルギー分散型 X 線分析 (EDX)を用いた。

### 3. 結果・考察

阻害剤を用いたパターン無し W/Si、SiO<sub>2</sub>/Si ウェハ上における Ru 膜厚の ALD サイクル依存性を Fig. 2 に示す。W 上では ALD サイクルが増加するごとに Ru の膜厚が増加する一方、SiO<sub>2</sub>上では増加しないことからパターン無し Si ウェハで Ru が選択的に成膜されたことが分かる。Fig. 3 に阻害剤を用いたパターンありのウェハにおける SEM-EDX マッピングの結果を示す。SiO<sub>2</sub> 以外の箇所で Ru 領域が現れたことから、パターンありのウェハにおいて W 上のみに選択的に成長させられることが分かった。

### 4. 結論

金属表面にのみに Ru を選択的に成膜することを目的として実験を行った。結果は同一基板上に W、SiO<sub>2</sub>が存在する場合も

阻害剤を使用することで W 上のみに Ru が選択的に成膜された。

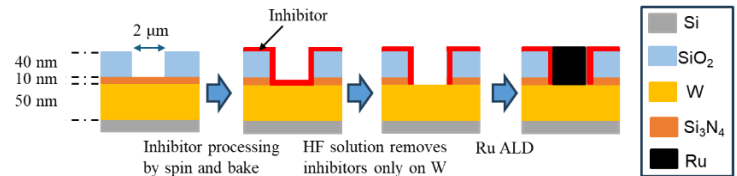


Fig. 1. Experimental flow.

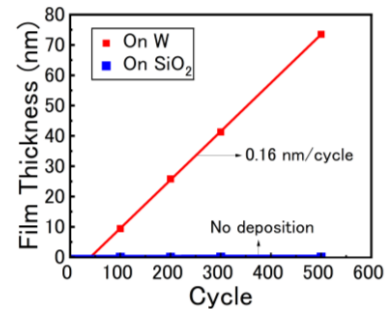


Fig. 2. Film thickness measured on a blanket wafer by XRR.

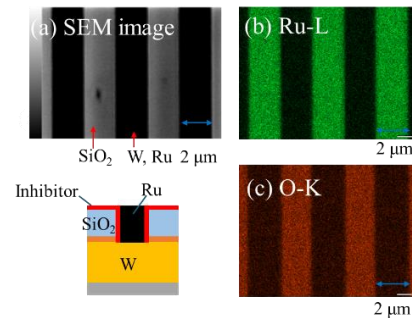


Fig. 3. (a) SEM image and (b) EDX Mapping images of Ru-L (c) O-K.

### 謝辞

本研究の一部は、文部科学省次世代 X-nics 半導体創生拠点形成事業 JP011438 の助成を受けたものです。

本研究を進めるにあたり、田中貴金属工業株式会社および東京応化工業株式会社にはご助言とご協力を賜りました。心より感謝申し上げます。

### 参考文献

- [1] Y. Kotsugi et. al., Chem. Mater., 33, p.5639, 2021.  
[2] Gregory N. Parsons et. al., Chem. Mater., 32, p.4290, 2020.

## 高周波パワーアンプ向け3次元インダクタ素子に関する 層間膜プロセスの開発

### Development of ILD process for 3D-inductor on RF power amplifier

住友電気工業株式会社 ◯新江定憲, 高山大希, 辻幸洋, 中田健

Sumitomo Electric Industries

◯Sadanori Arae, Daiki Takayama, Yukihiro Tsuji, Ken Nakata

E-mail: [arae-sadanori@sei.co.jp](mailto:arae-sadanori@sei.co.jp)

【はじめに】 移動通信、衛星通信やレーダーなどに SiC 基板上に形成された GaN HEMT を用いた高周波パワーアンプが広く使われている。そのような高周波パワーアンプには GaN HEMT だけでなく、整合回路やバイアス回路などの大面積の回路を要する。近年、アプリケーション側で周波数の上昇に伴い低損失な構成実態である MMIC (Monolithic Microwave Integrated Circuit) が求められる一方、半導体基板としては比較的高価な SiC 基板を用いることからコストが課題となる。そのため低損失かつ、回路の小型化による低コストを実現することは重要である。そこで我々は小型化に有利な 3 次元構造を有するインダクタ素子 (Fig.1) に注目した。デバイスの層間膜として 3 次元構造が形成しやすい SiO<sub>2</sub> と低誘電率で高周波特性に有利なポリイミド樹脂をそれぞれ用いて 3 次元インダクタ素子を試作し、検証を行った。

【実験方法】 絶縁性基板上に 4 層配線プロセスを用いて 3 次元インダクタ素子の作製を行った。各配線層は Au メッキにより形成し、総配線膜厚は 4~8 μm である。また、層間膜は SiO<sub>2</sub> とポリイミド樹脂を用いており、各層間膜厚は 2 μm としている。それぞれのインダクタ素子の特性を評価した。

【結果・考察】 Fig.2 に層間膜をそれぞれ SiO<sub>2</sub> とポリイミド樹脂を用いた、4 層配線による総配線膜厚が 4 μm、配線幅が 10 μm、面積が 50 μm × 50 μm の 3 次元インダクタ素子のインダクタンスと Q 値の結果を示す。周波数 20GHz 以降でポリイミド樹脂の方が高い Q 値が得られており、これは材料自体の誘電率の差であると思われる。一方、それぞれのプロセスの違いから SiO<sub>2</sub> では特性の歩留まりが高いことが確認でき、それぞれの層間膜の取り組むべき課題について報告する。また、試作した 3 次元インダクタ素子は従来の同一面に形成されたインダクタ素子と比較して低損失であることも確認でき、低コストとの実現に向けて有効な技術となりえる。

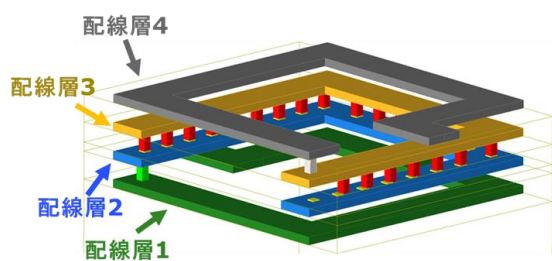


Fig.1 The 3D-Inductor with BEOL of 4 metal layers

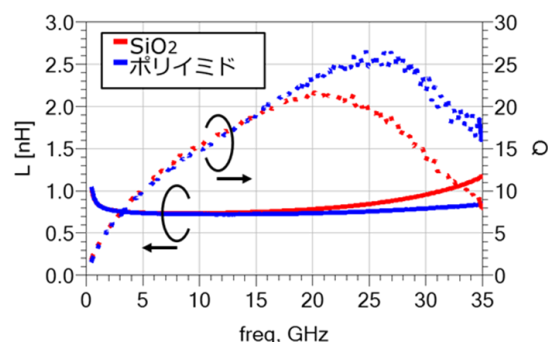


Fig.2 Measured inductance, Quality factor vs. frequency for the 3D-Inductor

【謝辞】 この成果は、NEDO (国立研究開発法人新エネルギー・産業技術総合開発機構) の助成事業「ポスト 5G 情報通信システム基盤強化研究開発事業」(JPNP20017) の結果得られたものです。

## 異種チップレット三次元集積のためのダイレベル 3D-IC 作製技術

### Die-Level 3D-IC Fabrication Technology for 3D Heterogeneous Chiplet Integration

1. 東北大院工, 2. 東北大院医工 ○ (D) 申家屹<sup>1</sup>, (D) 劉暢<sup>1</sup>, 田中徹<sup>1,2</sup>, 福島誉史<sup>1,2</sup>

Graduate School of Engineering, Tohoku Univ.<sup>1</sup>, Graduate School of Biomedical Engineering,

Tohoku Univ.<sup>2</sup>, °(D) Jiayi Shen<sup>1</sup>, (D) Chang Liu<sup>1</sup>, Tetsu Tanaka<sup>1,2</sup>, and Takafumi Fukushima<sup>1,2</sup>

E-mail: link@lbc.mech.tohoku.ac.jp

#### Abstract

This paper presents a cost-effective die-level TSV process for rapid prototyping of 3D-ICs from commercially available 2D-ICs called shuttle dies that are manufactured in foundry services. The 3D integration process employs advanced via-last TSV formation with temporary bonding/debonding and magnetron sputtering for high-aspect-ratio barrier/seed metal deposition without long-through ionized PVD. In this work, we successfully demonstrate heterogeneous 3D integration of a micro-LED array that is stacked on a 40- $\mu\text{m}$ -thin 3D-IC with Cu-TSVs.

#### Introduction

The rapid prototyping of 3D-ICs is highly required for post-5G generation. More recently, 3D-ICs such as High-Bandwidth Memory (HBM) and 3D V-Cache have been widely used for supercomputers and generative AI applications. However, verification of new proof-of-concept with 3D-ICs is very limited. This is because there are very few chances that 3D-ICs will be readily available at low cost. This study presents a short turn-around time (TAT) 3D-IC fabrication scheme using via-last TSV and room-temperature Cu-Au bonding.

#### Method, Results and Discussion

As shown in Fig. 1, the fabrication process began with an enhanced temporary bonding technique to adhere a 2D-IC die to a glass wafer. An O<sub>2</sub>-RIE process then precisely removed excess adhesive surrounding the die. This crucial step enhanced the bond strength and reduced warpage during subsequent CVD processes. Backside grinding and CMP were employed for thinning and planarization of 2D-ICs, reducing the die thickness to approximately 40  $\mu\text{m}$ . A backside SiO<sub>2</sub> layer was then deposited with plasma-TEOS CVD.

The subsequent Cu-TSV fabrication utilized spray coating to ensure uniform photoresist thickness. Deep Si holes with an aspect ratio of within 4 were etched using the Bosch process, followed by liner (SiO<sub>2</sub>) deposition via the plasma

CVD technique. Next, a standard magnetron sputtering deposited the barrier/seed layer for the Si holes, followed by specialized bottom-up Cu electroplating to form Cu-TSVs. The void-free Cu-TSV is shown in Fig. 2 (a). Cu redistribution layers (RDL) are then formed. Finally, as shown in Fig. 2(b), 0.1-mm-cubed micro-LED are three-dimensionally stacked on the thin 3D-IC by using high-throughput pick-and-place and SAP (Semi-Additive Plating)<sup>1)</sup> bonding to join the Cu-TSVs and Au electrodes of the micro-LEDs at room temperature.

#### Conclusion

This paper introduced a die-level via-last TSV fabrication process for 3D-ICs designed for rapid prototyping and cost-effectiveness. Utilizing readily available 2D-IC chips enhanced temporary bonding and controlled magnetron sputtering, enabling void-free TSV formation. Successful heterogeneous 3D integration was demonstrated with micro-LEDs and a thin 3D-IC fabricated at the die level from the shuttle 2D-IC die.

Ref.1) Y. Susumago & T. Fukushima, EDL, 44, 500 (2023).

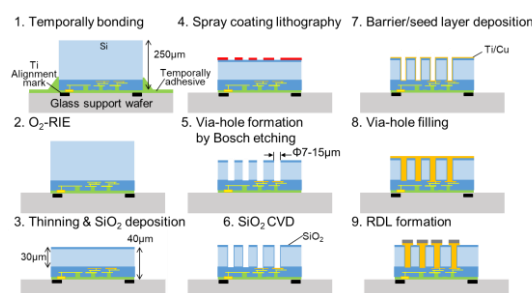


Figure 1. Via-last die-level TSV Process

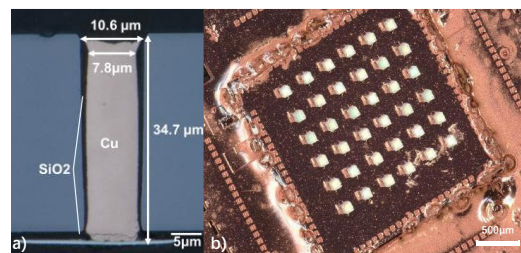


Figure 2. a) A cross-section of a Cu-TSV formed in a shuttle service 2D-IC at the die level with standard PVD (AR: 3.5); b) 36-Micro-LEDs stacking on 3D-IC chip by SAP bonding process