

一般セッション(口頭講演) | 13 半導体：13.5 デバイス／配線／集積化技術

2025年3月15日(土) 9:00 ~ 12:00 皿 K101 (講義棟)

**[15a-K101-1~10] 13.5 デバイス／配線／集積化技術**

山端 元音(NTT物性研)

ソニーセミコンダクタソリューションズ株式会社

PR

9:00 ~ 9:30

[15a-K101-1]

[第46回解説論文賞受賞記念講演] 半導体量子ビットの研究動向と展望

○小寺 哲夫<sup>1</sup> (1.東京科学大)

9:30 ~ 9:45

[15a-K101-2]

平面型シリコン量子ドットにおける電荷ノイズの電子数依存性

○溝口 来成<sup>1</sup>、和田 陸久<sup>1</sup>、松岡 竜太郎<sup>1</sup>、柳 至<sup>2</sup>、峰 利之<sup>2</sup>、土屋 龍太<sup>2</sup>、久本 大<sup>2</sup>、水野 弘之<sup>2</sup>、太田 俊輔<sup>1</sup>、米田 淳<sup>1,3</sup>、小寺 哲夫<sup>1</sup> (1.東京科学大、2.日立研開、3.東大)

9:45 ~ 10:00

[15a-K101-3]

RF反射測定におけるIQ符号化条件の最適化

○(B)根上 直也<sup>1</sup>、溝口 来成<sup>1</sup>、柳 至<sup>2</sup>、峰 利之<sup>2</sup>、土屋 龍太<sup>2</sup>、久本 大<sup>2</sup>、水野 弘之<sup>2</sup>、小寺 哲夫<sup>1</sup> (1.東京科学大、2.日立研開)

10:00 ~ 10:15

[15a-K101-4]

並列2重量子ドットにおける光介在トンネルの効果

○羽田野 剛司<sup>1</sup>、久保 敏弘<sup>2</sup>、都倉 康弘<sup>3</sup>、天羽 真一<sup>4</sup>、寺岡 総一郎<sup>4</sup>、樽茶 清梧<sup>4</sup> (1.日大工、2.津山高専、3.筑波大、4.理研)

10:15 ~ 10:30

[15a-K101-5]

3次元スピン量子ビット構造のTCADによる解析

○棚本 哲史<sup>1</sup> (1.帝京大理工)

## ◆ 英語発表

10:45 ~ 11:00

[15a-K101-6]

Study of interface trap density in Ge quantum devices

○(D)Chutian Wen<sup>1</sup>, Yuto Arakawa<sup>1</sup>, Ryutaro Matsuoka<sup>1</sup>, Raisei Mizokuchi<sup>1</sup>, Jun Yoneda<sup>2</sup>, Tetsuo Kodera<sup>1</sup> (1.Institute of Science Tokyo, 2.University of Tokyo)

11:00 ~ 11:15

[15a-K101-7]

MOSFET雑音の広帯域計測とその温度依存性に関する考察

○大毛利 健治<sup>1</sup>、天川 修平<sup>2</sup>、新谷 道広<sup>3</sup>、小林 和淑<sup>3</sup> (1.デバイスラボ、2.広島大、3.京都工繊大)

11:15 ~ 11:30

[15a-K101-8]

MOS界面の単一欠陥チャージポンピングによって可能となった両性準位における電子捕獲素過程の直接観測 (14) -平均的CP電流-

○土屋 敏章<sup>1</sup>、堀 匡寛<sup>1</sup>、小野 行徳<sup>1</sup> (1.静大電研)

---

11:30 ~ 11:45

[15a-K101-9]

MOS界面の単一欠陥チャージポンピングによって可能となった両性準位における電子捕獲素過程の直接観測 (15) -DOSの分析(I)-

○土屋 敏章<sup>1</sup>、堀 匡寛<sup>1</sup>、小野 行徳<sup>1</sup> (1.静大電研)

---

11:45 ~ 12:00

[15a-K101-10]

MOS界面の単一欠陥チャージポンピングによって可能となった両性準位における電子捕獲素過程の直接観測 (16) -DOSの分析(II)-

○土屋 敏章<sup>1</sup>、堀 匡寛<sup>1</sup>、小野 行徳<sup>1</sup> (1.静大電研)

---

## 半導体量子ビットの研究動向と展望

### Trends and prospects of semiconductor qubit research

東京科学大 ◯小寺 哲夫

Science Tokyo, °Tetsuo Koderu

E-mail: koderu.t.ac@m.titech.ac.jp

革新的な次世代コンピュータとして量子コンピュータが注目されて久しい。特に近年は、複雑な実問題を高速に解き得る誤り耐性型汎用量子コンピュータの開発が期待されている。例えば、量子化学計算によって、創薬、触媒、新材料開発などに役立ち、大規模な線形連立一次方程式を解く量子アルゴリズムによって、流体工学、航空工学、制御工学、建築・土木工学など、工学的な応用が広がると期待される。その実現に向けては量子ビットの高忠実度と高集積度の両立が必要である。誤り耐性型量子コンピュータを実現できる 100 万程度の物理量子ビット数に至るにはまだまだ相当の時間を要するが、超伝導体、原子、イオン、光など様々な物理系でその研究開発が着実に進められており、半導体量子ビットも有力な候補の一つとなっている。半導体集積技術は成熟しており、量子コンピュータへの応用が期待されている。

半導体量子ビット研究、特にシリコン系での研究は、この 10 年間で目覚ましい進歩を遂げている。スピン量子ビット研究の重要なステップとして、単一電子状態、スピンプロックード、シングルショット読み出し、高忠実なスピン操作および 2 量子ビット操作、量子誤り訂正などが実現されてきた。また集積化に関わる研究として、スピン量子ビットの高温動作、長距離スピン結合、シャトリングなども実現された。2023 年には、Intel が Tunnel Falls と呼ばれる 12 量子ビットデバイスを様々な研究機関に配布し、研究開発がますます加速している。

筆者らも、MOS トランジスタ構造をベースとしたシリコン量子ドットにおいて、単一電子状態の電荷検出、スピンプロックード、多重量子ドット特性の観測、シングルショット読み出し、RF 単一電子トランジスタ、高温での正孔スピン操作などを実現してきた。日立製作所や産業技術総合研究所との共同研究では、電荷トラップやラフネス低減への取り組み、シリコン量子ドットアレイ開発、単一電子ポンプ実証などを行っている。また、Si/SiGe ヘテロ構造をベースとした量子ドットについては、理化学研究所との共同研究により、高忠実度単一量子ビット操作、非破壊量子計測などの重要な要素技術を開発し、二次元量子ドットアレイの設計提案も行っている。

本講演では、解説論文賞の対象となった応用物理総合報告の内容に加えて[1,2]、半導体量子ビットの高忠実度化に関わる研究開発と、高集積化に向けた様々な取り組みや周辺技術の研究開発について、その世界的な最新動向も紹介する。

本研究は、JST Moonshot R&D (JPMJMS2065)、MEXT QLEAP (JPMXS0118069228)、JST CREST (JPMJCR24A1)、科学研究費補助金 (JP23H05455, JP23K17327)の助成を受けて遂行された。

[1] 小寺哲夫、応用物理 総合報告、第 92 巻、第 12 号 pp. 713-722 (2023).

[2] T. Koderu, JSAP Rev., 240101, p.1-11 (2024).

## 平面型シリコン量子ドットにおける電荷ノイズの電子数依存性

### Charge noise dependence on the electron number in a planar silicon quantum dot

東京科学大<sup>1</sup>, 日立研開<sup>2</sup>, 東大<sup>3</sup>, <sup>○</sup>溝口 来成<sup>1</sup>, 和田 陸久<sup>1</sup>, 松岡 竜太郎<sup>1</sup>, 柳 至<sup>2</sup>,  
 峰 利之<sup>2</sup>, 土屋 龍太<sup>2</sup>, 久本 大<sup>2</sup>, 水野 弘之<sup>2</sup>, 太田 俊輔<sup>1</sup>, 米田 淳<sup>1,3</sup>, 小寺 哲夫<sup>1</sup>  
 Science Tokyo<sup>1</sup>, R&D Group, Hitachi Ltd.<sup>2</sup>, UTokyo<sup>3</sup>, <sup>○</sup>Raisei Mizokuchi<sup>1</sup>, Riku Wada<sup>1</sup>,  
 Ryutaro Matsuoka<sup>1</sup>, Itaru Yanagi<sup>2</sup>, Toshiyuki Mine<sup>2</sup>, Ryuta Tsuchiya<sup>2</sup>, Digh Hisamoto<sup>2</sup>,  
 Hiroyuki Mizuno<sup>2</sup>, Shunsuke Ota<sup>1</sup>, Jun Yoneda<sup>1,3</sup>, Tetsuo Kodera<sup>1</sup>

E-mail: mizokuchi.r.18ce@m.isct.ac.jp

シリコン量子ドットを用いたスピン量子ビットは既存の半導体技術との整合性から集積化に有望視されている。この量子ビットにおける主なノイズ源として電荷ノイズが有る[1]。電荷ノイズはスピンのデコヒーレンス時間や緩和時間に影響を及ぼす。理論における先行研究では、電荷数の増加による電荷ノイズの低減が予想されており[2]、また、近年では Si nanowire 型の量子ドットにおいて、実際に電荷数の増加に伴う電荷ノイズの低減が確認されている[3]。一方で、高忠実度な量子ビット動作が実現されている平面 metal-oxide-semiconductor 型のシリコン量子ドットでは、電荷ノイズの電荷数に対する依存性は報告されていない。本研究では、極低温下において、平面型のシリコン量子ドットにおける電荷ノイズの電荷数依存性を明らかにし(図 1)、シリコン量子ビットの性能向上に貢献する。

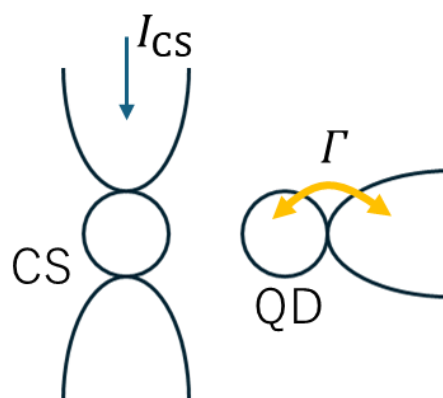


Fig.1 Schematic of a planar silicon quantum dot system. Tunnel events into and out of the target quantum dot (QD) are detected by a charge sensor (CS) and converted into an effective current, from which noise spectrum is extracted [3].

本研究は JST Moonshot R&D Grant Number JPMJMS2065, MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228, JST さきがけ(JPMJPR21BA), JST CREST grant no. JPMJCR24A1, 科研費(JP23H05455, JP23H01790, JP23K17327)の支援を受けて遂行された。

[1] J. Yoneda, et al., Nat. Phys. 19, 1793 (2023).

[2] M.A. Bakker, et al., Phys. Rev. B 91, 155425 (2015).

[3] C. Spence, et al., Phys. Rev. Appl. 19 044010 (2023).

## RF 反射測定における IQ 符号化条件の最適化

## Optimization of IQ-encoding conditions for RF-reflectometry

東京科学大<sup>1</sup>, 日立研開<sup>2</sup> °根上 直也<sup>1</sup>, 溝口 来成<sup>1</sup>, 柳 至<sup>2</sup>, 峰 利之<sup>2</sup>, 土屋 龍太<sup>2</sup>,  
久本 大<sup>2</sup>, 水野 弘之<sup>2</sup>, 小寺 哲夫<sup>1</sup>

Science Tokyo<sup>1</sup>, R&D Group, Hitachi Ltd.<sup>2</sup>, °Naoya Negami<sup>1</sup>, Raisei Mizokuchi<sup>1</sup>, Itaru Yanagi<sup>2</sup>,  
Toshiyuki Mine<sup>2</sup>, Ryuta Tsuchiya<sup>2</sup>, Digh Hisamoto<sup>2</sup>, Hiroyuki Mizuno<sup>2</sup>, Tetsuo Kodera<sup>1</sup>

E-mail: negami.n.92bd@m.isct.ac.jp

半導体スピン量子ビットは、その物理的寸法の小ささから高い集積性を持つ。量子ビットの大規模集積化においては、配線数の削減や単位時間あたりの読み出し数増加などの効率化が求められる。その解決案として、周波数多重化といった技術がすでに研究されている[1]。加えて、単一の共振器を用いて複数の量子ビットの読み出しが可能となる IQ 符号化と呼ばれる技術を用いることで相乗効果が期待される。量子ビットの読み出し手法である RF 反射測定では、量子ドットに RF 波を入射した時の反射率の変化によって状態を判別する[2]。この反射率は複素数として表現されるため、IQ 平面上における状態符号化が可能である (Fig.1)。しかし、この IQ 符号化における信号間距離が十分でない場合、あるいは符号化数の増加を考える場合においては状態の判別が困難となることが予想される。したがって、各状態における読み出し信号の IQ 平面上での配置が調整可能である必要がある。

本研究では、信号配置の調整の初期段階として2ビット4状態の読み出しにおける最適な電圧条件の探索を行った。はじめに、量子ドットを形成するゲートの電圧を変化させることで IQ 平面上における4状態に対応する点の配置および信号間距離が調整可能であることを確認し、その中で信号間距離の最小値が最大となる条件の探索を行った。次に配置を調整するために挿入された電界効果トランジスタ構造を用いることによって、Fig.1における(0,0)状態の点から見た(0,1)状態と(1,0)状態の偏角差 $\phi$ の制御を電圧の調整により行えることも確認した。これらの結果は各状態の信号配置を読み出しに適する状況に調整可能であることを示しており、符号化数の増加に伴う信号の複雑化に対処可能であることが期待される。

本研究は JST Moonshot R&D Grant No. JPMJMS2065, MEXT Quantum Leap Flagship Program (MEXT QLEAP) Grant No. JPMXS0118069228, JST CREST Grant No. JPMJCR24A1, 科研費(JP23H05455, JP23K17327)の支援を受けて遂行された。

[1] Y. Peng, et al., *IEEE Journal of Solid-State Circuits* vol.57 no.8 (2022).

[2] D. J. Reilly, et al., *Appl. Phys. Lett.* 91, 162101 (2007).

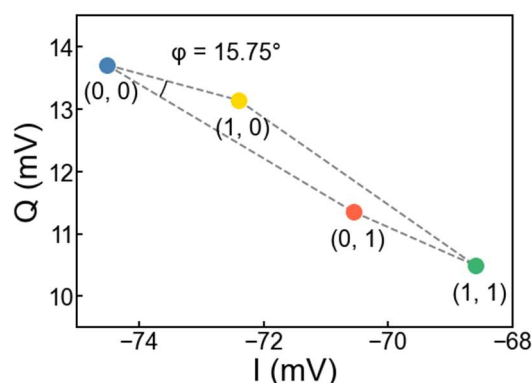


Fig.1. The average values of the measurements taken with the two dot states fixed at (0,0), (0,1), (1,0), and (1,1) are plotted on the IQ plane.

## 並列 2 重量子ドットにおける光介在トンネルの効果

### Effects of photon assisted tunneling of parallel coupled double quantum dots

日大工<sup>1</sup>, 津山高専<sup>2</sup>, 筑波大学<sup>3</sup>, 理研<sup>4</sup>, °羽田野 剛司<sup>1</sup>, 久保 敏弘<sup>2</sup>, 都倉 康弘<sup>3</sup>,

天羽 真一<sup>4</sup>, 寺岡 総一郎<sup>4</sup>, 樽茶 清悟<sup>4</sup>

Nihon Univ. Coll. Eng.<sup>1</sup>, NIT, Tsuyama College<sup>2</sup>, Tsukuba Univ.<sup>3</sup>, Riken<sup>4</sup>, °Tsuyoshi Hatano<sup>1</sup>,

Toshihiro Kubo<sup>2</sup>, Yasuhiro Tokura<sup>3</sup>, Shinichi Amaha<sup>4</sup>, Soichiro Teraoka<sup>4</sup>, Seigo Tarucha<sup>4</sup>

E-mail: hatano.tsuyoshi@nihon-u.ac.jp

電子スピンを電子 1 個単位で制御できる量子ドットは、電子スピンを利用した量子コンピュータへの応用が期待されている(スピン量子ビット)。スピン量子ビットにおいては、単一量子ドットにおける電子スピンのユニタリー操作と、2 量子ドット間のスピン交換操作の 2 つのスピン操作を用いることにより、量子計算を実現できる。この 2 つの操作のためには、マイクロ波を量子ドットに印加する必要がある。しかし、マイクロ波は、金属においては高い効率で吸収されるのに対して、抵抗の高い半導体においては吸収率が低い。そのため、量子ドットにマイクロ波を印加した場合、量子ドットではなく電極にマイクロ波が吸収され電極内の電子温度が高くなるのみで、量子ドットにおける電子がマイクロ波を吸収することによる効果を確認することは困難である。特に並列 2 重量子ドットは、電極における電子温度を上げる効果が大きく、光介在トンネル(Photon assisted tunneling: PAT)を測定した報告はほとんどない。我々は、縦型量子ドットを 2 つ結合させた並列 2 重量子ドット[1]の 1 つの量子ドットのゲート電極にマイクロ波を印加し、PAT の効果を測定した。その結果を Fig.1 に示す。図のように、メインのクーロン振動から離れた場所にサテライトピークが生じていることがわかる。このサテライトピークは、周波数に比例してメインのピークから離れていることを確認した。そのため、このサテライトピークは PAT によって生じているということがわかる。我々は、並列 2 重量子ドットの 1 つの量子ドットにマイクロ波を印加し PAT を測定しただけでなく、この PAT の効果が並列 2 重量子ドットのもう 1 つのドットにどのように影響を与えるかについて測定を行った。本講演では、この並列 2 重量子ドットにおける PAT の効果について詳細に議論する予定である。本研究は科学技術振興機構と天野工業技術研究所研究助成金の助成を受けている。

[1] T. Hatano, *et al.*, Appl. Phys. Express **14**, 105001 (2021).

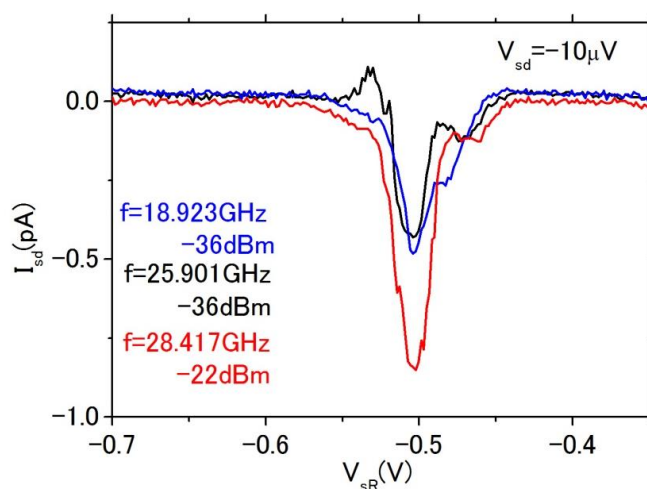


Fig.1 Current as a function of gate voltage under microwaves.

### 3次元スピン量子ビット構造の TCAD による解析

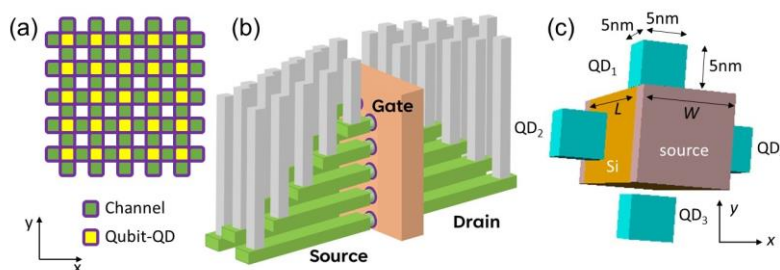
#### 3D stacked spin qubit and TCAD simulations

帝京大理工, °棚本哲史

Teikyo Univ., °Tetsufumi Tanamoto,

E-mail: tanamoto@ics.teikyo-u.ac.jp

量子コンピューターの研究開発が世界中で進められている。量子計算機を実現するには、量子ビットを二次元的に並べた表面符号構造が必要とされている (図 1(a))。我々は、図 1(b)に示すように拡張されたナノシート構造を持つ積層量子ビットとして表面符号コードの実装を提案している[1]。スピン量子ビットの入る量子ドット(QD)は、GAA トランジスタのチャネル部分の周囲に配置される。スピン量子ビットとなる電子は、QD の周囲のゲート電極に印加電圧を印加することによって QD に挿入される。文献[1]では、配列量子ビット構造の読み出しエラーの確率が 1% 未満であることを理論的に示した。ここでは、この構造を現実的なトランジスタに実装するための最初のステップとして、シルバコ アトラスを使用



して TCAD シミュレーションを実行し、GAA 構造における過剰電荷分布をチャネル電流の変化として検出できるかどうかを検討した (図 1 (c))。

TCAD シミュレーションにおいて、QD は均一に帯電した絶縁材料によって表し、QD とチャネルの間にトンネル現象は無しとした。チャネルの周りの 4 つの QD の状態について、以下の 4 種類の電荷分布を設定し

た：(1) 電子なし、(2) 1 つ QD に 1 つの電子、(3) 2 つの QD に 2 つの電子、(4) 4 つの QD に対して 4 つの電子あり。5 nm 正方形の QD が  $L=15\text{nm}$  から 1nm SiO<sub>2</sub> を介して配置されており、 $W=10\text{nm}$  GAA チャネル構造を仮定した場合の  $I_D$ - $V_D$  特性と  $I_D$ - $V_G$  特性の計算結果を図 3 に示す。異なる電荷分布に応じて、異なる  $I_D$  値を取得できることがわかる[2]。

[1] T. Tanamoto and K. Ono, J. Appl. Phys. 134, 214402 (2023).

[2] T. Tanamoto, 2024 IEEE International 3D Systems Integration Conference (3DIC), Sendai, Japan, 2024.

本講演で発表する研究の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものです。

図 1: (a) 表面コード。(b)量子ビット QD が共通のゲート電極に覆われた積層量子ビット構造[1]。(c) 4 つの QD に囲まれた GAA。SiO<sub>2</sub> 及び Gate によって囲まれている。

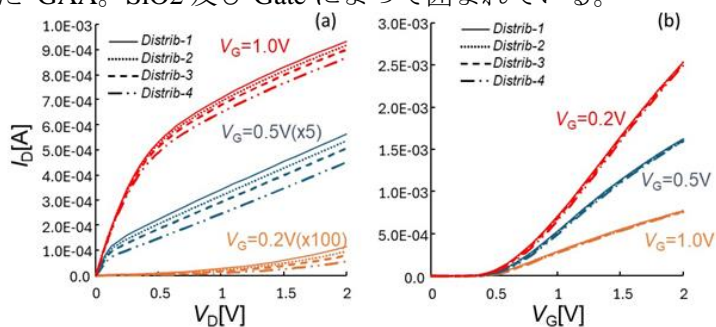


図 2: (a)  $I_D$ - $V_D$  特性。(b)  $I_D$ - $V_G$  特性  $T=300\text{K}$ 。

## Study of interface trap density in Ge quantum devices

Institute of Science Tokyo,<sup>1</sup> University of Tokyo,<sup>2</sup> °Chutian Wen<sup>1</sup>, Yuto Arakawa<sup>1</sup>,

Ryutaro Matsuoka<sup>1</sup>, Raisei Mizokuchi<sup>1</sup>, Jun Yoneda<sup>2</sup>, Tetsuo Kodera<sup>1</sup>

E-mail: wen.c.ab@m.titech.ac.jp

Ge Hole spin qubit has shown potential for realizing high speed qubit operation [1] and large-scale qubit integration [2]. However, the strong spin-orbit coupling, which couples the spin degree of freedom to the electrical noise, poses challenges in maintaining high qubit fidelity while achieving the high-speed operation. Interface traps, a major source of electrical noise in the Ge quantum dots, therefore need to be studied to gain a comprehensive understanding of how to achieve long-term stable qubit operations.

In the previous report, people pointed out that higher atomic layer deposition (ALD) temperature results in a lower interface trap density [3]. Additionally, the application of oxygen plasma pretreatment [4] and pre-cleaning trimethyl-aluminum (TMA) pulse [5] are considered beneficial for oxidizing the Si cap and removing the GeOx, respectively. These treatments are potentially effective in reducing the interface trap density and, hence, improving the stability of the Ge quantum devices. Therefore, in this work, we applied these techniques and fabricated Hall bar devices (Fig. 1) with gate oxide film of Al<sub>2</sub>O<sub>3</sub> deposited under different conditions on a Ge/SiGe heterostructure. We conduct a systematic discussion on the effect of ALD temperature (250°C and 150°C), oxygen plasma pretreatment, and TMA pre-cleaning on the quality of Al<sub>2</sub>O<sub>3</sub> to identify the condition that enables the lowest interface trap density through capacitance-voltage measurements [6]. Furthermore, we investigate the dependence of hole mobility on carrier density, along with the percolation density, to demonstrate that a lower interface trap density gets the influence of surface tunneling effect suppressed. This study makes contributions to realizing a stable qubit environment in a Ge-based quantum dot system.

The Ge/SiGe heterostructure is provided by Giordano Scappucci from Delft University of Technology. This work was financially supported by MEXT Quantum Leap Flagship Program (MEXT QLEAP) grant no. JPMXS0118069228, JST Moonshot R&D grant no. JPMJMS2065, JST PRESTO grant no. JPMJPR21BA, and JSPS KAKENHI grant nos. JP23H05455, JP23H01790, and JP23K17327, JST CREST grant no. JPMJCR24A1.

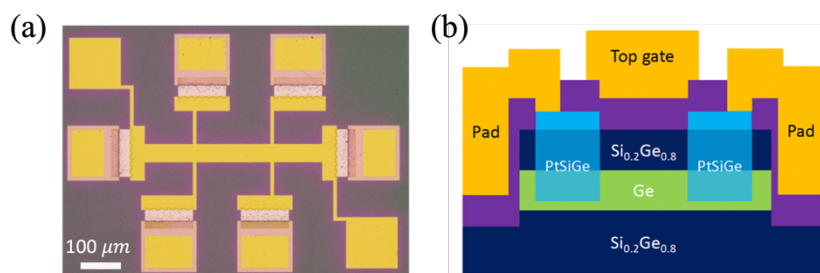


Fig. 1 A Ge Hall bar device. (a) optical microscope image. A lock-in measurement is performed to extract the longitudinal and transverse voltage differences. (b) Cross section of the Hall bar. Bonding pads are patterned on top of the Si<sub>0.2</sub>Ge<sub>0.8</sub> virtual substrate to prevent the gate to Ohmic leakage.

[1] K. Wang, *et al.*, *Nat Commun* **13**, 206 (2022).

[2] V. John, *et al.*, *arXiv*. 2412. 16044 (2024).

[3] M. Rahman, *et al.*, *Materials* **13**, 5809 (2020).

[4] N. Sangwan, *et al.*, *arXiv*. 2411. 03995 (2024).

[5] M. Milojevic, *et al.*, *Appl. Phys. Lett.* **95**, 212902 (2009).

[6] T. A. Hutchins-Delgado, *et al.*, *ACS Appl. Electron. Mater.* **4**, 4482-4489 (2022).

## MOSFET 雑音の広帯域計測とその温度依存性に関する考察

### Broadband Noise Characterization of MOSFETs and Its Temperature Dependence

(株) デバイスラボ<sup>1</sup>, 広島大<sup>2</sup>, 京都工繊大<sup>3</sup> ○大毛利健治<sup>1</sup>, 天川修平<sup>2</sup>, 新谷道広<sup>3</sup>, 小林和淑<sup>3</sup>

Device Lab Inc.<sup>1</sup>, Hiroshima University<sup>2</sup>, Kyoto Institute of Technology<sup>3</sup>,  
 ○Kenji Ohmori<sup>1</sup>, Shuhei Amakawa<sup>2</sup>, Michihiro Shintani<sup>3</sup>, Kazutoshi Kobayashi<sup>3</sup>  
 E-mail: ohmori@devicelab.co.jp

#### はじめに

MOSFET は室温から極低温まで幅広い温度範囲で動作するため、応用の一つとして量子コンピュータのための極低温 CMOS 技術がある。例えば 4K ステージに CMOS IC を配置して大規模な量子プロセッサを制御することが想定される。そのためには MOSFET の極低温特性 (ac/dc/雑音/ばらつき) 把握とそれによる精緻なモデリングが必要である。

本講演では独自開発した広帯域 (10kHz~500MHz) 雑音計測システムを用いた室温から 3K までの測定結果と広帯域雑音分光法により得られた知見について紹介する。

#### 雑音測定

雑音計測モジュールには約 4cm 角のメイン基板上に低雑音アンプ、試料 (DUT) 基板、DUT へのバイアス回路などが組み込まれており、取り外し可能な DUT 基板へ MOSFET を搭載することで計測を行う[1]。DUT として 130nm または 65nm 技術ノードにより製造された MOSFET を用いた。測定は 300K~3K の温度領域で実施した。

#### 測定結果および考察

図 1 に雰囲気温度 (a)300K および (b)5K で測定した MOSFET 雑音スペクトルのドレイン電圧依存性を示す。低周波での 1/f 雑音が高周波で白色雑音へと変化していることがわかる。300K では白色雑音のドレイン電圧依存性がほとんど見られないのに対して、5K ではドレイン電圧に大きく依存し、詳細な解析[1]よりそれらの由来が、それぞれ熱雑音およびショット

雑音であることがわかる。

雑音スペクトルの温度依存性から雑音分光法による解析を実施した。本システムの計測周波数上限は 500MHz であり、実効的な上限が 100kHz 程度である既存の手法に比べて 3 桁以上高い。そのため、ここでは広帯域雑音分光法 (WBNS: Wideband Noise Spectroscopy) と呼ぶことにする。図 2 は寸法の同じ 3 つの MOSFET 測定結果を重ねた WBNS である。RTN (Random Telegraph Noise) を示す特徴的なピーク群が幾つか見られる。図中に示すように低温領域から LT/MT/HT に分類すると、HT では素子によりピーク温度がまちまちであるのに対して、LT と MT のピーク群は 3 素子でほぼ重なっていることが分かる。これは HT では幅広い活性化エネルギーで分布する酸化膜中のトラップが観測されており、MT/LT では Si または絶縁膜界面に固有な特性 (準位) を反映していると考えられる。

それぞれの活性化エネルギーをアレニウスプロット (図 3) により評価した結果、HT では 160~675meV、MT は 55~75meV となった。また LT では 17~22meV の線型領域と飽和領域に分かれた。これは DUT の自己発熱が要因であり、それを利用することでチャネルにおける自己発熱の温度推定が可能であることがわかった。詳細について当日報告する。

[1] K. Ohmori & S. Amakawa, EDTM 2023. <https://doi.org/10.1109/EDTM55494.2023.10103124>

謝辞 本研究は、計測システムの開発について NEDO SBIR 推進プログラムより、65nm CMOS 試作について JST ムーンショット型研究開発事業 (No. JPMJMS226A) より支援を受けたものです。

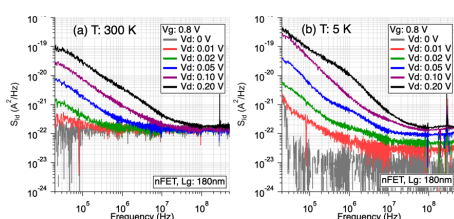


図 1 雰囲気温度 (a)300K および (b)5K で測定した MOSFET 雑音スペクトル



図 2 Wideband Noise Spectroscopy (WBNS)

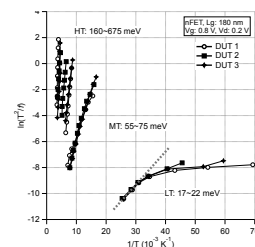


図 3 WBNS のピーク (周波数, 温度) によるアレニウスプロット

## MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (14) -平均的 CP 電流-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (14) -Averaged CP current-

静大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法をツールとして欠陥における電子の挙動を抽出し欠陥物理の進展を目指してきた。はじめに、ナノ MOSFET に存在する MOS 界面欠陥の単一性の判定法を確立し、単一欠陥からの CP 電流  $I_{CPS}$  が  $0 \sim 2fq$  ( $f$ :ゲートパルス周波数,  $q$ :電気素量) の様々な値を示すことを発見した[1]。これにより単一欠陥が 2 電子準位を有していることを実証し、すべての  $I_{CPS}$  値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1)。なお、 $I_{CPS}=fq$  一定を大前提としている従来 CP 理論を本質的に改訂した[2]。さらに、単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し、既報[3]の ESR による  $P_{b0}$  センターの DOS との一致性を示した。そして、各準位における伝導帯電子の捕獲時定数の実測[4]、および、各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5]、これらの値を考察してこの 2 電子準位がドナー型 (D-like) とアクセプタ型 (A-like) の両性を有することに整合することを実証した。以上の結果から、界面欠陥が  $P_{b0}$  センターであることを単一欠陥単位 (原子スケール) ではじめて実証した。さらに、D-および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から、D-like 準位が電子捕獲した直後に何らかの電子状態緩和が起きていることの直接観測に成功した[6][7]。また、両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から、A-like 準位の捕獲電子が再結合した直後にも欠陥の電子状態緩和が起きていることの直接観測に成功した[8]。さらに、電子捕獲過程における緩和時定数と、再結合過程における緩和時定数との間に強い正の相関関係があることを発見し、電子捕獲・再結合過程における可逆的な電子状態緩和過程の存在を発見した。

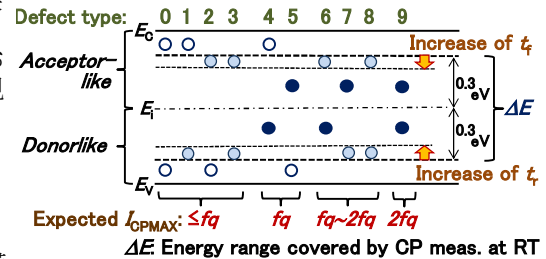


Fig. 1 Classification of single amphoteric Si/SiO<sub>2</sub> interface-defects [1, 2].

本件ではツールとしての CP 法に立ち戻り、CP 法によって多数の界面欠陥を含む MOSFET の欠陥数導出法について考察する。従来 CP 理論では各界面欠陥は 1 電子準位を有すると仮定しているため、欠陥 1 個当たりの CP 電流  $I_{CPS}$  は一定値  $fq$  であり、試料の最大 CP 電流  $I_{CPMAX}$  の測定値を用いて、界面欠陥数  $N=I_{CPMAX}/(fq)$  として簡便に導出されてきた。しかし、前述のように実際には室温での  $I_{CPS}$  は欠陥タイプによって  $0 \sim 2fq$  の様々な値を有するため、この式は成立しない。そこで、仮に試料内の多数の界面欠陥の  $I_{CPS}$  の平均値  $I_{CPSAV}$  を導出でき、それが普遍的な値であれば  $I_{CPMAX}/(I_{CPSAV})$  によって界面欠陥数を導出できて実用的に有用と考えられる。本件ではそのような  $I_{CPSAV}$  値の導出を試みる。

前述のように、ランダムに検出した単一欠陥の欠陥タイプ別個数分布から DOS を導出し、それが ESR で得られていた大面積 MOS に含まれている  $P_{b0}$  の DOS と良く一致することを見出した。このことは、製法も異なる大面積 MOS に含まれていた界面欠陥の欠陥タイプ別個数分布が、我々が得た単一欠陥の欠陥タイプ別個数分布にほぼ等しいことを意味していると言える。そこで実際に上記のランダム検出した 27 個の界面欠陥から  $I_{CPSAV}$  を求めたところ驚くべきことに  $I_{CPSAV}=1.1fq$  となり、従来 CP 理論で用いてきた  $I_{CPS}=fq$  に極めて近い値となった。ただし、従来 CP 理論では  $\Delta E$  (CP で検出できる Si バンドギャップ内のエネルギー範囲) 内の界面欠陥数  $N$  に等しいとしていた  $I_{CPMAX}/(fq)$  は正しくは  $\Delta E$  内の電子準位数を表しているのに対して、 $I_{CPMAX}/(I_{CPSAV})$  はバンドギャップ全域内の界面欠陥数  $N_T$  を表しており物理的な意味は異なる。 $I_{CPSAV}$  は  $\Delta E$  範囲外の電子準位も加味されている値だからである (なお、低温化により  $I_{CPSAV}$  は  $2fq$  に漸近する。また、室温で  $N=I_{CPMAX}/(fq)$  と  $N_T=I_{CPMAX}/(I_{CPSAV})$  がほぼ等しくなる理由とその応用についても当日述べる)。

ただし、 $I_{CPSAV}=1.1fq$  を用いて  $I_{CPMAX}/(I_{CPSAV})$  から導出された  $N_T$  が妥当なのは、電子捕獲・放出に及ぼす欠陥間の相互作用が無視できる場合である。これまでの検討から、欠陥間の間隔が約 50 nm 以下になると相互作用が顕在化し  $I_{CPS}$  は減少する[2]。この 50 nm の欠陥間隔は欠陥面密度  $N_{it}$  に換算すると  $1.4 \times 10^{10}/\text{cm}^2$  となる。したがって、測定で得られた  $N_{it}$  ( $=N_T/A_G$ ,  $A_G$  はゲート面積) の値が  $1.4 \times 10^{10}/\text{cm}^2$  以下であればその値は妥当であるが、 $1.4 \times 10^{10}/\text{cm}^2$  以上であれば過小評価していることになる。

以上により、多数の界面欠陥を含む MOSFET の  $N_{it}$  や  $N_T$  を簡便な室温 CP 法によって、条件付きではあるものの概算可能になったと言える。

本研究の一部は科研費 No. 24K00942 の助成を受けて行われた。

### 参考文献

- [1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015. [2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.  
[3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001. [4] 土屋 他, 第 69 回春応物 23p-E307-18~20, 2022.  
[5] 土屋 他, 第 84 回秋応物 21a-A304-10~11, 2023. [6] 土屋 他, 第 83 回秋応物 22a-A102-1~2, 2022.  
[7] 土屋 他, 第 70 回春応物 16a-A403-9~10, 2023. [8] 土屋 他, 第 71 回春応物 23a-12J-5~6, 2024.

## MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (15) -DOS の分析 (I)-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (15) -DOS analysis (I)-

静岡大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

これまで我々はチャージポンピング (CP) 法をツールとして欠陥における電子の挙動を抽出し欠陥物理の進展を目指してきた。はじめに、ナノ MOSFET に存在する MOS 界面欠陥の単一性の判定法を確立し、単一欠陥からの CP 電流  $I_{CPS}$  が  $0 \sim 2fq$  ( $f$ :ゲートパルス周波数,  $q$ :電気素量) の様々な値を示すことを発見した[1]。これにより単一欠陥が 2 電子準位を有していることを実証し、すべての  $I_{CPS}$  値を説明できる単一欠陥の 10 種のタイプ分類を行った (図 1)。なお、 $I_{CPS}=fq$  一定を大前提としている従来 CP 理論を本質的に改訂した[2]。さらに、単一界面欠陥の 2 電子準位の密度分布 (DOS) を導出し、既報[3]の ESR による  $P_{b0}$  センターの DOS との一致性を示した。そして、各準位における伝導帯電子の捕獲時定数の実測[4]、および、各準位に捕獲された電子の価電子帯ホールとの再結合時定数の実測に成功し[5]、これらの値を考察してこの 2 電子準位がドナー型 (D-like) とアクセプタ型 (A-like) の両性を有することに整合することを実証した。以上の結果から、界面欠陥が  $P_{b0}$  センターであることを単一欠陥単位 (原子スケール) ではじめて実証した。さらに、D-および A-like 準位への連続的な伝導帯電子捕獲素過程の観測から、D-like 準位が電子捕獲した直後に何らかの電子状態緩和が起きていることの直接観測に成功した[6][7]。また、両準位に捕獲されている電子が価電子帯ホールと連続的に再結合する素過程の観測から、A-like 準位の捕獲電子が再結合した直後にも欠陥の電子状態緩和が起きていることの直接観測に成功した[8]。さらに、電子捕獲過程における緩和時定数と、再結合過程における緩和時定数との間に強い正の相関関係があることを発見し、電子捕獲・再結合過程における可逆的な電子状態緩和過程の存在を発見した。

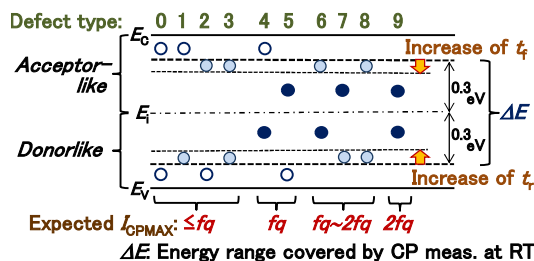


Fig. 1 Classification of single amphoteric Si/SiO<sub>2</sub> interface-defects [1, 2].

本件では次の講演「DOS の分析 (II)」の前段として、(100)Si/SiO<sub>2</sub> 界面トラップの DOS、および、(100)Si/SiO<sub>2</sub> 界面の  $P_b$  センターに関する背景を述べ、認識を共有したい。界面トラップの DOS については主に CV 法による報告例が 1960-1990 年代に多くなされた。一方、EPR community による ESR を用いた  $P_b$  の DOS や界面トラップ量との対応に関する報告例も多い。しかし、MOS community では  $P_b$  は界面トラップのごく一部にしか過ぎないと認識が強く、EPR community との communication 不足も指摘された[9]。界面トラップの DOS 分布は“U-shape”という認識が強く、バイブル的な“Physic of Semiconductor Devices” 4<sup>th</sup> Edition (2021) においても代表的な例として“U-shape”の DOS が紹介されている。しかし、J. T. Ryan らは 2011 年に、清浄な sub- $\mu$ m MOSFET を用いて CP 法による界面トラップ DOS を求め、“U-shape”ではなく“double peak”を有することを示し、界面トラップは  $P_b$  であるとして矛盾はないと報告している[10]。我々も同様に sub- $\mu$ m MOSFET を用いた CP 法による“double peak”の界面トラップ DOS を報告し、さらに、ナノ MOSFET を用いた CP 法による単一界面欠陥の 2 電子準位の DOS と、 $P_{b0}$  の double-peak DOS との一致性を原子スケールで示した[2]。従って、**界面トラップの DOS は“U-shape”ではなく、 $P_b$  に対応した“double peak”の分布を有している。**なお、“double peak”の界面トラップとは別に、界面構造不規則性に起因した電子準位がバンド端に存在することは留意したい[11]。

次に(100)Si/SiO<sub>2</sub> 界面の  $P_b$  ( $P_{b0}$  と  $P_{b1}$ ) に関して、 $P_{b0}$  については現状かなり良く理解されていると言える ( $P_{b0}$  は trivalent Si ( $\cdot$ Si=Si<sub>3</sub>), 化学的には(111)Si/SiO<sub>2</sub> 界面の  $P_b$  と同一, amphoteric nature, double-peak DOS, 相関エネルギー  $U=0.6 \sim 0.7$  eV)。しかし、 $P_{b1}$  については、電気的に不活性で Si バンドギャップ内に準位は無いとする報告[12]と、 $U=0.3 \sim 0.4$  eV の“double-peak”を有する DOS がギャップ中心より下部のギャップ内に存在するとの報告[13]があり、誌上論争[14]もされたが未決着な状況にある。

### 参考文献

- [1] T. Tsuchiya and Y. Ono, JJAP 54, 04DC01, 2015. [2] T. Tsuchiya and P. M. Lenahan, JJAP 56, 031301, 2017.  
 [3] P. M. Lenahan et al., IEEE T-NS 48(6), p. 2131, Dec. 2001. [4] 土屋 他, 第 69 回春応物 23p-E307-18~20, 2022.  
 [5] 土屋 他, 第 84 回秋応物 21a-A304-10~11, 2023. [6] 土屋 他, 第 83 回秋応物 22a-A102-1~2, 2022.  
 [7] 土屋 他, 第 70 回春応物 16a-A403-9~10, 2023. [8] 土屋 他, 第 71 回春応物 23a-12J-5~6, 2024.  
 [9] P. M. Lenahan et al., J. Vac. Sci. Tech. B 16(4), 2134 (1998). [10] J. T. Ryan et al., JAP 98, 233502 (2011).  
 [11] J. Singh and A. Madhukar, APL 38, 884 (1981). [12] A. Stesmans and V. V. Afanas'ev, Phys. Rev. B 57, 10030 (1998).  
 [13] T. D. Mishima et al., IEEE T-NS 47, 3771 (2000). [14] Stesmans & Mishima et al., APL 78, 1451 & 1453 (2001).

# MOS 界面の単一欠陥チャージポンピングによって可能となった 両性準位における電子捕獲素過程の直接観測 (16) -DOS の分析(II)-

Direct observation of electron capture processes in amphoteric defect states achieved by charge pumping in individual defects at MOS interface (16) -DOS analysis (II)-

静大電研 ○土屋敏章, 堀 匡寛, 小野行徳  
Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono  
E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

本件では界面欠陥の準位密度 DOS に及ぼす  $P_{b1}$  の影響, DOS における 2 つのピーク間の関係性と相関エネルギー  $U$ , D-like 準位の深さが A-like 準位の DOS に及ぼす影響について考察する.

前の講演「DOS の分析(I)」で述べたように Si バンドギャップ内の  $P_{b1}$  の DOS の有無については未決着ではあるが[1-4], 電気的に活性だとすれば D-及び A-like 準位位置の違いにより図 1(b)に示す欠陥タイプに分類できる (タイプ 10, 11). 図 1(a)は  $P_{b0}$  の欠陥タイプであるが,  $P_{b0}$  のタイプ 7 と 9 は室温チャージポンピング (CP) によるタイプ判別法では  $P_{b1}$  の両タイプと区別できない. したがって, タイプ 7 や 9 とした欠陥の中に  $P_{b1}$  が紛れ込んでいる可能性を否定できない. ランダムに検出した 46 個の単一欠陥がすべて  $P_{b0}$  と見なしてそのタイプ別欠陥数から得られる  $P_{b0}$  の DOS を図 2(a)に示す. また, タイプ 7 や 9 とした欠陥の全数 6 個 (全体の 13%に相当) が実は  $P_{b1}$  であったと見なして得られる  $P_{b0}$  の DOS を図 2(b)に示す. これらの図の比較から,  $P_{b0}$  の DOS 形状への  $P_{b1}$  有無の影響は限定的であることがわかる. しかもタイプ 7 や 9 とした欠陥の全数が  $P_{b1}$  であったとは考えにくい.  $P_{b1}$  は,  $P_{b0}$  を含めた全体のせいぜい 20%程度との ESR による報告[2]があるが, 我々のデータからは 0~数%程度以下が妥当と考えられる (酸化膜形成条件などに依存する可能性はある),

$P_{b0}$  の相関エネルギー  $U$  は DOS の double peak 間のエネルギー差として定義され, 0.6~0.7 eV [1,2]であると報告されている. この定義はピーク位置の D-と A-like 準位が主要な対であることを前提にしていると考えられる. 我々は上記 46 個の個々の欠陥について D-と A-like 準位対の準位位置関係をすべて取得している. その結果によると, ピーク位置どうしの対は極めて稀であり, ピーク間には相関が無いことを示している. 従って, ピーク間エネルギー差を  $U$  とするのは物理的根拠に欠ける. 対をなす D-と A-like 準位のエネルギー差は実際には 0.2~0.7 eV の広い範囲で様々な値を示している (加重平均としては約 0.6 eV). これは欠陥の電子状態の多様性 (揺らぎ) を反映しているものと考えられる.

図 3 は  $P_{b0}$  の A-like 準位の DOS に及ぼす D-like 準位の準位深さの影響を示している. D-like 準位は正に帯電している欠陥に電子が 1 個捕獲された状態 (+/0) であり, さらに電子 1 個が捕獲された状態 (0/-) が A-like 準位である. 伝導帯電子捕獲 (+/0) の D-like 準位の場合が図 3(a)と (b)であり, 準位が浅いため価電子帯電子捕獲 (+/0) の D-like 準位の場合が図 3(c)である. 前者と異なり, 後者では A-like 準位がミッドギャップ  $E_i+0.3$  eV に局在していることがわかる. D-like 準位の深さによるこの特異的な A-like 準位の形成は, 電子捕獲による欠陥の電子状態遷移を考える際の一つの要件になり得ると考えられる.

本研究の一部は科研費 No. 24K00942 の助成を受けて行われた.

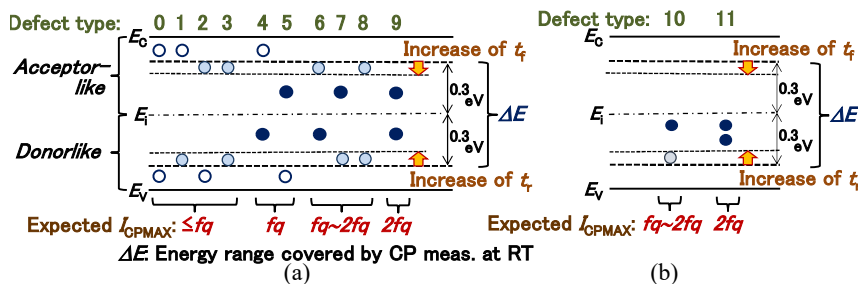


Fig. 1 Classification of (a)  $P_{b0}$ , and (b)  $P_{b1}$ .

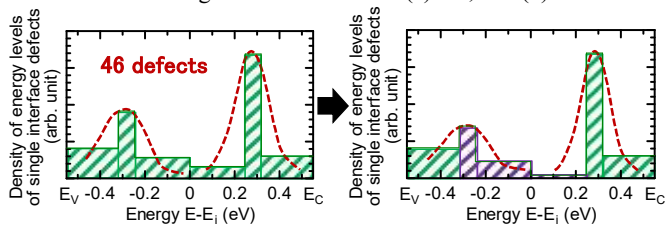


Fig. 2 DOS of  $P_{b0}$ , (a) assuming all 46 defects are  $P_{b0}$ , (b) assuming  $P_{b1}$  for all 6 defects of type 7 and 9.

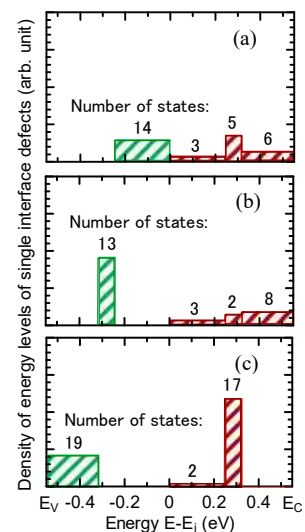


Fig. 3 Influence of level depth of D-like levels on DOS of A-like levels.

## 参考文献

- [1] A. Stesmans and V. V. Afanas'ev, Phys. Rev. B 57, 10030 (1998). [2] T. D. Mishima et al., IEEE T-NS 47, 3771 (2000).  
[3] A. Stesmans and V. V. Afanas'ev, APL 78, 1451 (2001). [4] T. D. Mishima et al., APL 78, 1453 (2001).