

一般セッション(口頭講演) | 13 半導体: 13.7 化合物及びパワーデバイス・プロセス技術・評価

2025年3月15日(土) 9:00 ~ 12:45 皿 K403 (講義棟)

[15a-K403-1~12] 13.7 化合物及びパワーデバイス・プロセス技術・評価

細井 卓治(関学大)

◆ 英語発表

9:00 ~ 9:30

[15a-K403-1]

[The 46th Best Review Paper Award Speech] Recent progress of Ga_2O_3 power technology: large-area devices, packaging and applications○Yuan Qin¹ (1.Virginia Tech)

◆ 奨励賞エントリー

9:30 ~ 9:45

[15a-K403-2]

プラズマ援用 MBE 成長した窒素ドーパ $\beta\text{-Ga}_2\text{O}_3$ (010)薄膜の電気的特性○(B)寺村 祐輔¹、中岡 蔵¹、谷口 奨季¹、稲嶋 仁¹、上原 知起¹、辻本 晃基¹、本田 智子¹、大槻 匠²、上村 崇史²、東脇 正高^{1,2} (1.大阪公立大院工、2.情通機構)

9:45 ~ 10:00

[15a-K403-3]

加熱注入による Ga_2O_3 への高濃度 Si ドーピング (1) - 構造評価 -○金野 舜¹、松尾 大輔¹、八木 虎太郎²、竹村 真哉¹、臼井 洸佑¹、安東 靖典³、田中 浩平¹、東脇 正高^{2,4} (1.日新イオン機器、2.大阪公大院工、3.日新電機、4.情通機構)

◆ 奨励賞エントリー

10:00 ~ 10:15

[15a-K403-4]

加熱注入による Ga_2O_3 への高濃度 Si ドーピング (2) - 電気的特性 -○(M1)八木 虎太郎¹、松尾 大輔²、金野 舜²、竹村 真哉²、臼井 洸佑²、安東 靖典³、田中 浩平²、東脇 正高^{1,4} (1.大阪公大院工、2.日新イオン機器、3.日新電機、4.情通機構)

10:15 ~ 10:30

[15a-K403-5]

表面近傍に高濃度で Fe イオン注入した基板上への Ga_2O_3 薄膜の成長○大槻 匠¹、東脇 正高^{1,2} (1.情通機構、2.大阪公立大院工)

10:45 ~ 11:00

[15a-K403-6]

 SnO_2 薄膜を用いた $\beta\text{-Ga}_2\text{O}_3$ への Sn のレーザードーピング○(M1)劉 一帆¹、別府 美彩¹、田中 洋平²、片山 慶太¹、藪田 久人^{1,2} (1.九大シス情、2.九大ギガフォトンNextGLP)

◆ 奨励賞エントリー

11:00 ~ 11:15

[15a-K403-7]

 O_3 を用いた基板表面改質による ALD- $\text{Al}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3$ (001) MOS 界面特性の向上○前川 紘億¹、女屋 崇²、喜多 浩之^{1,2} (1.東大工、2.東大院新領域)

11:15 ~ 11:30

[15a-K403-8]

格子定数の変化から推定した β -Ga₂O₃表面近傍での化学状態に対する表面処理および絶縁膜成長の影響の考察

○片桐 浩生¹、女屋 崇¹、喜多 浩之¹ (1.東大院新領域)

11:30 ~ 11:45

[15a-K403-9]

β -Ga₂O₃ FinFETによるパワーFOM 1.23 GW/cm²の実証

○脇本 大樹¹、林家弘¹、江間 研太郎¹、上田 悠貴¹、宮本 広信¹、佐々木 公平¹、倉又 朗人¹ (1.ノベルクリスタル)

◆ 奨励賞エントリー

11:45 ~ 12:00

[15a-K403-10]

高周波Ga₂O₃ショットキーバリアダイオードを活用した24 GHzマイクロ波無線電力伝送用レクテナ回路設計

○(M1)末廣 雄大¹、江口 輝生¹、田端 悠大¹、堤 卓也¹、大野 泰夫^{1,2}、東脇 正高^{1,3} (1.大阪公立大院工、2.レーザーシステム、3.情通機構)

◆ 奨励賞エントリー

12:00 ~ 12:15

[15a-K403-11]

ルチル構造二酸化ゲルマニウム(r-GeO₂)のショットキーバリアダイオード特性

○清水 悠吏^{1,2}、大島 孝仁³、衣斐 豊祐^{1,4}、高橋 勲¹、金子 健太郎^{1,4} (1.Patentix株式会社、2.立命館大理工、3.物材研、4.立命館大学半導体応用研究センター)

◆ 英語発表

12:15 ~ 12:45

[15a-K403-12]

[The 46th Paper Award Speech] Vertical β -Ga₂O₃ Schottky Barrier Diodes With Trench Staircase Field Plate

○Sandeep Kumar¹, Hisashi Murakami², Yoshinao Kumagai², Masataka Higashiwaki³ (1.NICT, 2.Tokyo Univ. of Agriculture and Technology, 3.Osaka Metropolitan Univ.)

プラズマ援用 MBE 成長した窒素ドーパ β-Ga₂O₃ (010) 薄膜の電気的特性

Electrical Properties of Nitrogen-Doped β-Ga₂O₃ (010) Thin Films Grown by Plasma-Assisted Molecular Beam Epitaxy

大阪公立大院工¹, 情通機構² ○(B)寺村 祐輔¹, (M2)中岡 蔵¹, (M2)谷口 奨季¹, (M1)稲脇 仁¹, (M1)上原 知起¹, (B)辻本 晃基¹, 本田 智子¹, 大槻 匠², 上村 崇史², 東脇 正高^{1, 2}

Osaka Metropolitan Univ.¹, NICT² ○Yusuke Teramura¹, Kura Nakaoka¹, Shoki Taniguchi¹, Jin Inajima¹, Tomoki Uehara¹, Kohki Tsujimoto¹, Satoko Honda¹, Takumi Ohtsuki², Takafumi Kamimura², Masataka Higashiwaki^{1, 2}

E-mail: sfb01096@st.osakafu-u.ac.jp

β-Ga₂O₃ は、その 4.5 eV と非常に大きなバンドギャップに起因する高い絶縁破壊電界から、高耐圧・低損失なパワーデバイス応用が期待されている半導体材料である。エピタキシャル薄膜成長において、大気中に存在する Si による基板表面汚染が問題となっている。これは、Ga₂O₃ 中で Si はシャロードナーとなり、エピ膜/基板界面に低抵抗なチャンネルが形成されることで、横型 Ga₂O₃ FET のドレイン電流リークにつながる。この問題の解決策の一つとして、Ga₂O₃ 中でディープアクセプタとなる窒素 (N) の高濃度ドーピング層を挿入することで、界面に存在する高濃度 Si ドナーを補償するという方法が挙げられる。我々はこれまでに、種々の N ラジカル照射条件により、高い結晶性、表面平坦性を保ったまま、 $N = 2.5 \times 10^{17} - 2.9 \times 10^{21} \text{ cm}^{-3}$ と 4 桁に渡る幅広い濃度の N ドープ Ga₂O₃ 薄膜を、プラズマ援用分子線エピタキシー (PAMBE) 成長する技術を開発した [1, 2]。本研究では、PAMBE 成長した高濃度 N ドープ Ga₂O₃ 薄膜の電気的特性、特にドナー補償効果を調査した。

半絶縁 Fe ドープ Ga₂O₃ (010) 基板に、N 濃度が 3×10^{18} , 3×10^{19} , $4 \times 10^{20} \text{ cm}^{-3}$ 狙いの条件で、厚さ 200 nm の N ドープ Ga₂O₃ 薄膜を PAMBE 成長した。続いて、得られた N ドープ Ga₂O₃ 薄膜に、Si = $5 \times 10^{19} \text{ cm}^{-3}$ 、表面から厚さ 150 nm のボックスプロファイルを室温イオン注入にて形成し、925°C で 20 分間活性化アニールを行った。次に、各エピ基板上に、Fig. 1 に示すような電極間距離 (d) が 6 – 30 μm の Circular Transmission Line Model (CTL) パターンを Ti/Au オーミック電極で作製し、それらの電流-電圧 (I - V) 特性を評価した。Figure 2(a), (b) に示すように、 $N = 3 \times 10^{18}$, $3 \times 10^{19} \text{ cm}^{-3}$ の両試料はオーミック特性を示した。一方、 $N = 4 \times 10^{20} \text{ cm}^{-3}$ の試料はダブルショットキー特性を示した [Fig. 2(c)]。これは、 $N = 4 \times 10^{20} \text{ cm}^{-3}$ 試料においては、N 濃度が Si 濃度より約一桁大きいことで十分な補償効果が得られた結果、Ga₂O₃ 膜が高抵抗化したためと考えられる。

本研究は、総務省 ICT 重点技術の研究開発プロジェクト (JPMI00316) 「次世代省エネ型デバイス関連技術の開発・実証事業 (第二期) (環境省連携事業)」の委託を受け実施したものである。

[1] 中岡 他、第 11 回応用物理学会先進パワー半導体分科会予稿集、149p-IB-21 (2024)。[2] 上原 他、第 11 回応用物理学会先進パワー半導体分科会予稿集、151p-IB-22 (2024)。

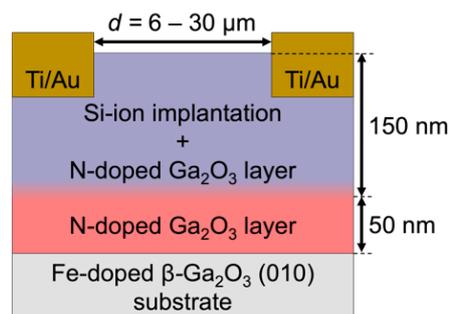


Fig. 1 Cross-sectional schematic of CTLM structure.

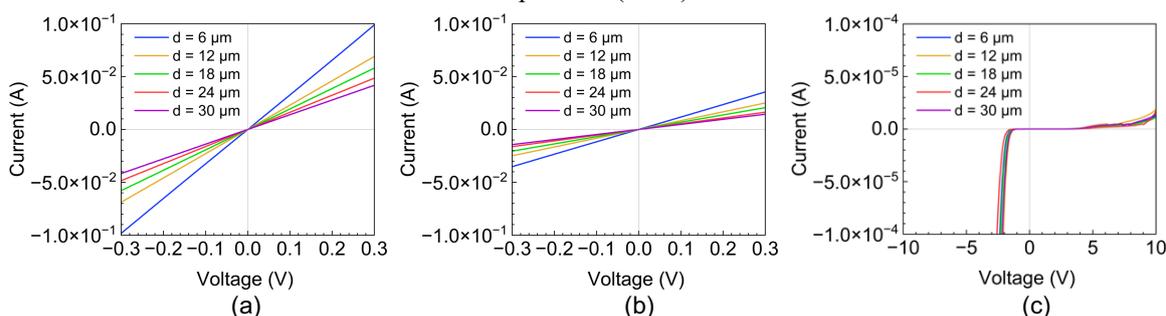


Fig. 2 I - V characteristics of N-doped Ga₂O₃ thin films: (a) $N = 3 \times 10^{18}$, (b) 3×10^{19} , (c) $4 \times 10^{20} \text{ cm}^{-3}$.

加熱注入による Ga₂O₃ への高濃度 Si ドーピング (1) - 構造評価 -

High-Density Si Doping Into Ga₂O₃ by Hot Implantation (1)

- Structural Characterization -

日新イオン機器¹、大阪公大院工²、日新電機³、情通機構⁴ ○金野 舜¹、松尾 大輔¹、
(M1)八木 虎太郎²、竹村 真哉¹、臼井 洸佑¹、安東 靖典³、田中 浩平¹、東脇 正高^{2, 4}
Nissin Ion Equipment¹、Osaka Metropolitan Univ.²、Nissin Electric³、NICT⁴ ○Shun Konno¹、
Daisuke Matsuo¹、Kotaro Yagi²、Shinya Takemura¹、Kosuke Usui¹、Yasunori Andoh³、
Kohei Tanaka¹、Masataka Higashiwaki^{2, 4}
E-mail: konno_shun@nissin.co.jp

酸化ガリウム (Ga₂O₃) は、炭化シリコン (SiC) や窒化ガリウム (GaN) より更に大きなバンドギャップを有しており、低オン抵抗、高耐圧が期待できるため、次世代パワーデバイス用途の半導体材料として注目されている。一方、Ga₂O₃ デバイスプロセスにおいては、高濃度でイオン注入ドーピングを実施すると、注入欠陥による活性化率の低下が問題となっている [1, 2]。SiC の場合、加熱注入を実施することで、結晶性改善と活性化率向上が得られることが広く知られている。本研究では、Ga₂O₃ における高濃度 Si 加熱注入の効果を検証した。

Ga₂O₃ 基板に *n* 型ドーパントである Si を、表面から 150 nm の深さまで、濃度 5×10^{19} , 1×10^{20} , 2×10^{20} cm⁻³ の Box 注入を実施した。注入温度は、室温、150°C、300°C、450°C とした。注入後、925°C、20 分間の活性化アニールを行った。作製した試料は、ラザフォード後方散乱分光 (RBS) 法チャネリング分析を用いて結晶性評価を行った。Figure 1, 2 に、各 Si 濃度試料の RBS スペクトル、およびスペクトルより得られた結晶欠陥 (χ_{\min}) の深さ方向分布をそれぞれ示す。Si = 5×10^{19} cm⁻³ の試料では、全注入温度でアニール処理により結晶性が回復した。一方、Si = 1×10^{20} , 2×10^{20} cm⁻³ では、室温注入した試料では大きな残留欠陥が認められるが、150°C 以上で加熱注入した試料においては結晶性が大幅に改善している。これらの結果は、Ga₂O₃ においても加熱注入プロセスが有効な手法となり得ることを示している。

本研究は、総務省 ICT 重点技術の研究開発プロジェクト(JPMI00316)「次世代省エネ型デバイス関連技術の開発・実証事業 (第二期) (環境省連携事業)」の委託を受け実施したものである。

[1] K. Sasaki *et al.*, Appl. Phys. Express **6**, 086502 (2013). [2] K. R. Gann *et al.*, J. Appl. Phys. **135**, 015302 (2024).

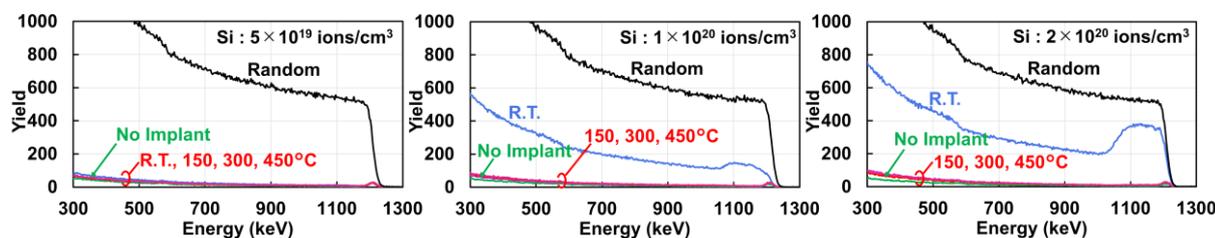


Fig. 1 RBS spectra.

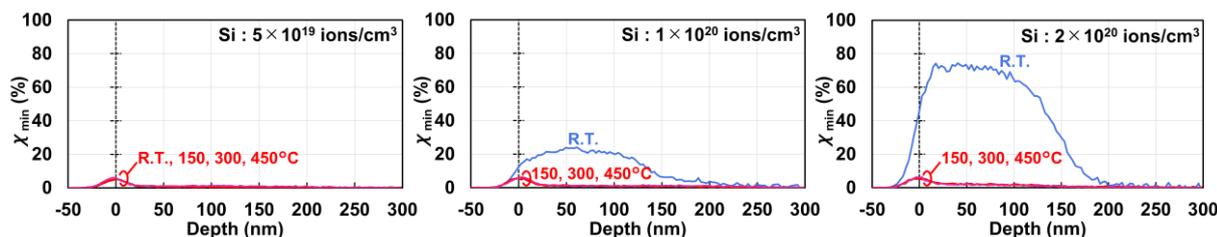


Fig. 2 Si density dependence of χ_{\min} .

加熱注入による Ga₂O₃ への高濃度 Si ドーピング (2) – 電気的特性 – High-Density Si Doping Into Ga₂O₃ by Hot Implantation (2) – Electrical Properties –

大阪公大院工¹, 日新イオン機器², 日新電機³, 情通機構⁴ ○(M1)八木 虎太郎¹, 松尾 大輔²,

金野 舜², 竹村 真哉², 臼井 洗佑², 安東 靖典³, 田中 浩平², 東脇 正高^{1,4}

Osaka Metropolitan Univ.¹, Nissin Ion Equipment², Nissin Electric³, NICT⁴

○Kotaro Yagi¹, Daisuke Matsuo², Shun Konno², Shinya Takemura², Kosuke Usui², Yasunori Andoh³,

Kohei Tanaka², Masataka Higashiwaki^{1,4}

E-mail: sj24957i@st.omu.ac.jp

イオン注入プロセスは、位置精度が高く、注入深さの制御が可能であることから、半導体への不純物ドーピング技術として有用な手法の一つである。Ga₂O₃ への Si イオン注入ドーピングにおいては、濃度 $5 \times 10^{19} \text{ cm}^{-3}$ で 60% のドーパント活性化率が確認されている一方、 $1 \times 10^{20} \text{ cm}^{-3}$ では 10% 以下となることが報告されている [1]。本研究では、加熱注入によって、 $\text{Si} > 1 \times 10^{20} \text{ cm}^{-3}$ と非常に高い Si 濃度条件での活性化率向上を試みた。

ノンドープ Ga₂O₃ (010) 基板に、室温、150°C、300°C、450°C の条件で Si イオン注入を行った。注入濃度は $\text{Si} = 5 \times 10^{19}, 1 \times 10^{20}, 2 \times 10^{20} \text{ cm}^{-3}$ の 3 条件とし、表面から深さ 150 nm のボックスプロファイルを形成した。注入後、N₂ ガス雰囲気中、925°C で 20 分間活性化アニール処理を実施した。そして、円環ギャップ間隔 6–50 μm の Ti/Au オーミック電極を作製し、Circular Transmission Line Model (CTLM) 法で、シート抵抗 (R_{sh}) およびコンタクト抵抗 (R_{c}) を評価した。

Figure 1 は、円環ギャップ間隔と補正した抵抗値の関係である。補正抵抗値の線形フィッティングから算出した $R_{\text{sh}}, R_{\text{c}}$ を Table 1 に示す。Si = $5 \times 10^{19} \text{ cm}^{-3}$ のサンプルでは、 $R_{\text{sh}}, R_{\text{c}}$ の注入温度による差は小さい。一方、Si = $1 \times 10^{20}, 2 \times 10^{20} \text{ cm}^{-3}$ のサンプルでは、室温注入と比較して加熱注入により $R_{\text{sh}}, R_{\text{c}}$ が大幅に減少している。これらの結果は、Si ドナー活性化率向上に起因すると考えられる。以上の結果から、Ga₂O₃ への高濃度 Si ドーピングにおける加熱注入の有効性が実証された。

本研究は、総務省 ICT 重点技術の研究開発プロジェクト (JPMI00316) 「次世代省エネ型デバイス関連技術の開発・実証事業 (第二期) (環境省連携事業)」の委託を受け実施したものである。

[1] K. Sasaki *et al.*, Appl. Phys. Express **6**, 086502 (2013).

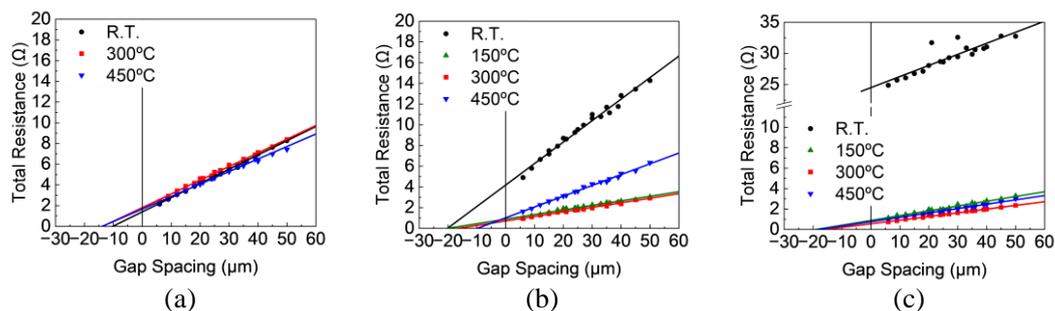


Fig. 1 Total resistances between electrodes as a function of gap spacing:

(a) $\text{Si} = 5 \times 10^{19}$, (b) 1×10^{20} , (c) $2 \times 10^{20} \text{ cm}^{-3}$.

Table 1 R_{sh} and R_{c} for various Si concentrations and implantation temperatures.

| | $\text{Si} = 5 \times 10^{19} \text{ cm}^{-3}$ | | $\text{Si} = 1 \times 10^{20} \text{ cm}^{-3}$ | | $\text{Si} = 2 \times 10^{20} \text{ cm}^{-3}$ | |
|-------|--|---|--|---|--|---|
| | R_{sh} (Ω/\square) | R_{c} ($\times 10^{-5} \Omega \cdot \text{cm}^2$) | R_{sh} (Ω/\square) | R_{c} ($\times 10^{-5} \Omega \cdot \text{cm}^2$) | R_{sh} (Ω/\square) | R_{c} ($\times 10^{-5} \Omega \cdot \text{cm}^2$) |
| R.T. | 65 | 1.7 | 98 | 10 | 84 | 399 |
| 150°C | N. A. | N. A. | 21 | 2.1 | 22 | 2.0 |
| 300°C | 62 | 2.9 | 21 | 1.4 | 17 | 1.0 |
| 450°C | 56 | 2.8 | 49 | 1.2 | 20 | 1.6 |

表面近傍に高濃度で Fe イオン注入した基板上への Ga_2O_3 薄膜の成長

Growth of Ga_2O_3 Thin Films on the Substrates with High Concentration Fe Ion Implantation near the Surface

情通機構¹, 大阪公立大院工² ○大槻 匠¹、東脇 正高^{1,2}

NICT¹, Osaka Metropolitan Univ.², ○T. Ohtsuki¹, M. Higashiwaki^{1,2}

E-mail: ohtsuki@nict.go.jp

【はじめに】 $\beta\text{-Ga}_2\text{O}_3$ は、4.5 eV という大きなバンドギャップを持っており、その高い熱的・化学的安定性や放射線耐性から、極限環境下での無線通信機器への応用が期待できる。この目標に向けて我々は、サブ 0.1 μm のゲート長を持つ横型高周波 Ga_2O_3 MOSFET の開発を進めてきたが [1]、ドレイン電流のリークがしばしば問題となってきた。これは図 1 に示すように、大気中に存在するシリコン由来の Si が基板/エピ層界面に蓄積してリークパスを形成することが原因である。そこで今回は、基板/エピ層界面に存在する Si (ドナー) の影響を打ち消すことを目的として、基板表面近傍に Fe (アクセプタ) を高濃度でイオン注入した後に薄膜成長することを試みた。

【実験】 基板には Fe ドープ $\beta\text{-Ga}_2\text{O}_3$ (010) を用い、Fe イオン注入は、注入濃度が 1×10^{20} 、 5×10^{20} 、 $1 \times 10^{21} \text{ cm}^{-3}$ の 3 種類、注入深さはすべて 6 nm で分布するように単一エネルギーで行った。これらの基板は 950°C で 30 分間活性化アニールを行い、その後、オゾン分子線エピタキシー法で Ga_2O_3 薄膜 200 nm を 630°C で成長した。

【結果と考察】 図 2 に、注入濃度 $1 \times 10^{21} \text{ cm}^{-3}$ の試料に対して基板/エピ層界面近傍を観察した HAADF-STEM 像を示す。高濃度での注入であるが、顕著な結晶構造の乱れはなく薄膜成長していることが分かった。界面の導電性は、非接触式シート抵抗測定器を用いて評価した。図 3 に、基板供給時、イオン注入後、活性化アニール後、薄膜成長後の各段階で測定した結果を示す。Fe イオン注入なしの試料においては薄膜成長後に値が大きく減少している。一方で、注入濃度が 5×10^{20} と $1 \times 10^{21} \text{ cm}^{-3}$ の試料においては、薄膜成長後においても基板供給時の値から変化が見られなかったことから、界面に蓄積している Si の影響を打ち消せていると考えられる。この 2 試料の SIMS 分析を行ったところ、界面近傍において Fe 濃度が Si 濃度を上回っていることが確認でき、今回行った高濃度での Fe イオン注入がドレイン電流リークの抑制に効果的であることが示唆される。

【謝辞】 本研究は、総務省 ICT 重点技術の研究開発プロジェクト (JPMI00316) 「次世代省エネ型デバイス関連技術の開発・実証事業 (第二期) (環境省連携事業)」の委託を受け実施したものである。

[1] T. Kamimura, Y. Nakata, and M. Higashiwaki, Appl. Phys. Lett. **117**, 253501 (2020).

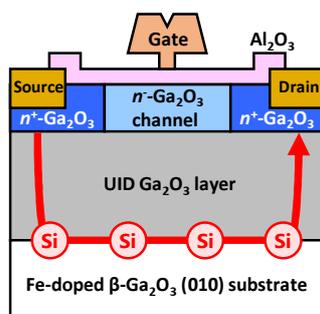


Fig 1: Drain current leakage path through the interface (red arrow).

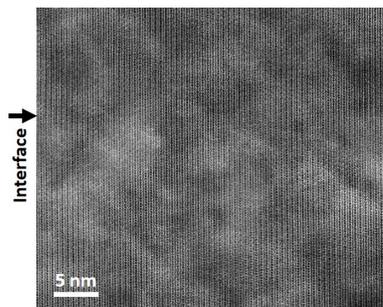


Fig 2: HAADF-STEM image near the interface.

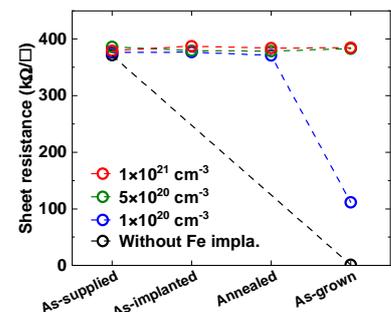


Fig 3: Changes in non-contact sheet resistance.

SnO₂ 薄膜を用いた β -Ga₂O₃ への Sn のレーザードーピング

Laser doping of Sn into β -Ga₂O₃ using SnO₂ thin films

九大シス情¹, 九大ギガフoton NextGLP²

○(M1) 劉 一帆¹, 別府 美彩¹, 田中 洋平², 片山 慶太¹, 藪田 久人^{1,2}

ISEE, Kyushu Univ.¹, Gigaphoton NEXT GLP, Kyushu Univ.²,

○Yifan Liu¹, Misa Beppu¹, Yohei Tanaka², Keita Katayama¹, Hisato Yabuta^{1,2}

E-mail: yabuta.hisato.475@m.kyushu-u.ac.jp

【背景】 β -Ga₂O₃ は SiC や GaN などよりも広いバンドギャップと強い絶縁破壊電界を持っているため、次世代のパワーデバイス材料として注目を集めている。デバイス製造過程の中で金属電極と半導体界面のオーミックコンタクトを取得するために半導体側に対して高濃度のドーピング技術が用いられる。従来のドーピング技術は一般的にイオン注入法が用いられるが、この手法はドーパントを活性化させるために高温処理が必要となる。この高温処理は熱耐性が低い部材に対して実施できないためプロセスが複雑になる。レーザードーピング法は、基板表面にドーパントを含有する薄膜を堆積させてレーザーを照射することで基板にドーパントを注入する技術である。利点としては、レーザー照射によって局所的に基板を加熱できること、ドーパント注入と同時にドーパントの活性化が見込まれるため高温アニール処理を省略できる可能性があることである。本研究では、レーザードーピング法を用いた β -Ga₂O₃ へのドーピングを実現することを目指しており、本発表ではレーザードーピング法による β -Ga₂O₃ への Sn ドーピングの SIMS 分析結果や TEM 観察結果について報告する。

【実験】ドーピングを施していない (unintentionally-doped) β -Ga₂O₃(010)ウェハ (ノベルクリスタル社製) の表面に厚さ約 10 nm の SnO₂ を堆積させた試料に対し、レーザーのフルエンス、照射回数や繰り返し周波数を変化させながら Sn のドーピングを行った。実験には KrF エキシマレーザー (ギガフoton社製 GT600KZ, 波長 248 nm, パルス幅 82 ns) を用いた。照射条件は、繰り返し周波数 10、100、1000、4000Hz の 4 条件、フルエンス 0.1~0.5 J/cm² の範囲から 5 条件、照射回数は 10~30000 shots の範囲で条件を選択し、計 39 条件とした。その後、光学顕微鏡および SEM により照射表面の観察、SIMS 分析や TEM 観察を実施した。

【結果・考察】SIMS 分析の結果を Fig.1 に示す。フルエンス 0.3 J/cm² では拡散深さが浅く未照射領域と同等の拡散深さであった。次に、フルエンス 0.4 J/cm² では Sn が基板内に 30nm 程度拡散し、基板の表面形状からはレーザー照射による損傷も確認されなかった。フルエンス 0.5 J/cm² では拡散深さが大きく増加したが、基板の表面形状には多少の荒れが確認された。これは過剰なエネルギーや熱により SnO₂ 膜もしくは基板が損傷していることが示唆される。この傾向から、フルエンスを上げることで Sn の拡散を深くすることができるが、表面荒れにも注意を払いながら最適な条件を探す必要がある。発表では照射回数や繰り返し周波数により Sn の拡散深さの影響についても考察する。

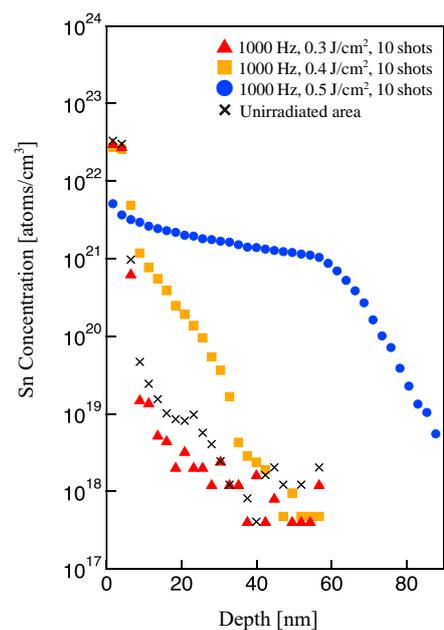


Fig.1. SIMS profiles at 1000 Hz, 0.3 J/cm², 10shots, 1000 Hz, 0.4 J/cm², 10shots and 1000 Hz, 0.5 J/cm², 10shots.

O₃ を用いた基板表面改質による ALD-Al₂O₃/β-Ga₂O₃ (001) MOS 界面特性の向上

Improvement of ALD-Al₂O₃/β-Ga₂O₃ (001) MOS interface characteristics by substrate surface treatment with O₃

¹東京大学工学部 マテリアル工学科, ²東京大学大学院新領域創成科学研究科 物質系専攻

○前川 紘徳¹, 女屋 崇², 喜多 浩之^{1,2}

¹Dept. of Materials Engineering, The Univ. of Tokyo, ²Dept. of Advanced Materials Science, The Univ. of Tokyo

○Hiroyasu Maekawa¹, Takashi Onaya², and Koji Kita^{1,2}

E-mail: hiro@g.ecc.u-tokyo.ac.jp

【研究背景】 β-Ga₂O₃ MOS の界面特性は絶縁膜材料やアニール条件で大きく変化する。Al₂O₃ は原子層堆積(ALD)法により成膜しやすいという利点がある一方、SiO₂/β-Ga₂O₃ MOS は Al₂O₃ 比べて大きな伝導帯バンドオフセットを形成するという利点に加えて、熱力学的に界面の安定性が期待できる[1,2]。しかし、絶縁膜として電子線蒸着(EB)による SiO₂ 膜を用いた場合、MOS 界面準位密度の低減には酸素雰囲気下の高温アニールが必須であった[3,4]。これは界面近傍の酸素欠損を取り除くことが必要である可能性を示唆する。実際、Ga 3d の内殻準位光電子スペクトルから、Ga₂O₃ 表面近傍には酸素欠損が存在し、それが絶縁膜の形成に影響を受けることが指摘されている[5]。本研究では、Al₂O₃ および Al₂O₃/SiO₂ 積層膜を絶縁膜として、その成膜前後に O₃ での酸化プロセスを追加することによる界面準位密度(D_{it})の低減効果を検討した。

【実験方法】 n 型エピタキシャル膜(N_D~1×10¹⁶ cm⁻³)を有する β-Ga₂O₃ (001)基板を SPM および HF で洗浄後、O₃ を用いて 20 分間酸化処理した。その後、ALD 法で Al₂O₃ 膜を膜厚 20 nm 成膜した。比較のため、O₃ 酸化なしの試料、および洗浄後の基板上に 1×10⁻² Pa の酸素雰囲気下で Si を蒸着源として EB-SiO₂ 膜を膜厚 0.5 nm 蒸着してから、上記と同様に O₃ 酸化と ALD-Al₂O₃ を成膜した試料も用意した(Fig. 1)。O₂ 雰囲気下、600°C または 1000°C で 5 分間成膜後アニール(PDA)を実施した後、表面に Au、裏面に Ti/Au を蒸着し、MOS キャパシタを形成した。

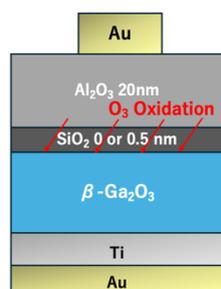


Fig. 1 Schematic of β-Ga₂O₃ MOS capacitor.

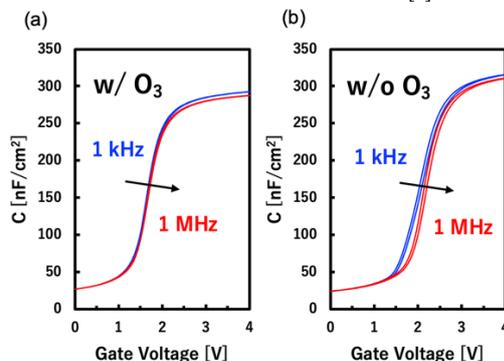


Fig. 2 C-V characteristics of Al₂O₃/β-Ga₂O₃ MOS (a) w/ and (b) w/o O₃ oxidation (600°C PDA).

【実験結果・考察】 SiO₂ 膜を挿入していない ALD-Al₂O₃/β-Ga₂O₃ の 600°C PDA 試料の C-V 特性(Fig. 2)から、O₃ 処理するとヒステリシスや周波数分散が小さくなることから、O₃ によって Ga₂O₃ 表面の酸素欠損を予め低減しておくことがその後形成する MOS 界面特性の改善に大きく寄与することが示唆される。各試料の D_{it} を 1 MHz-1 kHz の High-Low 法により評価した結果を Fig. 3 に示す。ALD-Al₂O₃ 膜を成膜した試料について、伝導帯端(E_c)から 0.2 eV のエネルギー準位における D_{it} をみると、O₃ 酸化した場合に~1×10¹¹ cm⁻²eV⁻¹ が達成され、未酸化時よりも約 1 桁の改善がみられた。

一方、EB-SiO₂ 膜を 0.5 nm 挿入した試料では、O₃ 酸化した場合でも 600°C PDA では十分な D_{it} の低減がみられなかったが、1000°C PDA ではヒステリシスやストレッチアウトが抑制され、E_c-0.2 eV のとき D_{it}~1×10¹¹ cm⁻²eV⁻¹ が達成された。高温での O₂ PDA が効果的という点では SiO₂/β-Ga₂O₃ MOS の先行研究と整合する傾向であり[3,4]、高温の PDA を許容できるという点では、Al₂O₃/β-Ga₂O₃ の界面特性が 700°C を超えると劣化するという既往の研究[6]とは対照的である。一方、界面特性の向上に 1000°C PDA が必要であったことは SiO₂-Ga₂O₃ 系に特有の現象なのか、EB-SiO₂ の膜質向上に高温 PDA が必要とされるからなのかはまだ議論が必要である。

- [1] K. Sasaki, Appl. Phys. Express 17, 090101 (2024).
 [2] F. P. Glasser, J. Phys. Chem. A. 63, 2085 (1959).
 [3] K. Kita et al., ECS Trans. 92, 59 (2019).
 [4] 前田 他, 第 11 回先進パワー半導体分科会講演会, IA-24 (2024).
 [5] 片桐 他, 第 84 回応用物理学会秋季学術講演会, 23p-B201-1 (2023).
 [6] M. Hirose et al., J. Vac. Sci. Technol. A 39, 012401 (2021).

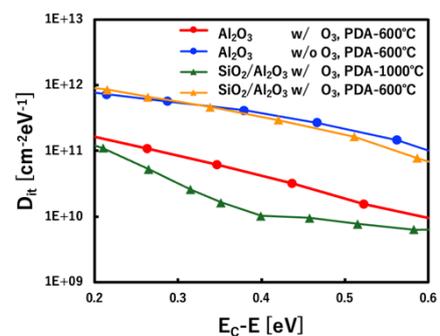


Fig. 3 D_{it} w/ and w/o SiO₂ film and O₃ oxidation at different PDA temperatures.

格子定数の変化から推定した β - Ga_2O_3 表面近傍での化学状態に対する表面処理および絶縁膜成長の影響の考察

Consideration on the effects of surface treatment and dielectric layer formation on chemical states of β - Ga_2O_3 in near-surface region estimated from changes in lattice constant

東大院新領域 物質系専攻 °片桐 浩生, 女屋 崇, 喜多 浩之

Dept. of Adv. Mater. Sci., The Univ. of Tokyo °Koki Katagiri, Takashi Onaya, and Koji Kita

E-mail: koki-katagiri1236@g.ecc.u-tokyo.ac.jp

[序論] $\text{SiO}_2/\beta\text{-Ga}_2\text{O}_3$ MOS 界面特性には酸素欠損に関わる欠陥構造が強く影響していることが示唆されている[1]。昨年応物学会にて報告のとおり、 $\text{Ga}3d$ XPS のピーク全体に占める、低結合エネルギー側のピーク (Ga^*) の割合のアニールによる変化は、 $\beta\text{-Ga}_2\text{O}_3$ 表面近傍の領域における酸素欠損の増減の指標である。 Ga_2O_3 基板のみのときの表面近傍の酸素欠損は、酸素の導入・脱離反応の平衡によって決まるためにアニール温度が低いほど少なくなる一方、 $\text{SiO}_2/\text{Ga}_2\text{O}_3$ の Ga_2O_3 表面近傍では、それらに加えて界面での SiO_2 への酸素の移動を考慮する必要があった[2]。本研究では、 $\beta\text{-Ga}_2\text{O}_3$ は酸素空孔生成により伸長歪みが生じること[3]に着目し、アニール処理や SiO_2 の成膜による $\beta\text{-Ga}_2\text{O}_3$ の酸素欠損への影響を、格子定数の観点から明らかにすることを試みた。

[実験] n 型エピ膜を有する $\beta\text{-Ga}_2\text{O}_3(001)$ ウェハを化学洗浄した後に、電子蒸着法により SiO_2 膜を~3 nm 成膜した。その後、様々な条件でアニールを 1 時間行った。比較のため酸素プラズマで酸化処理した試料も作製した。その後、これらの試料に対して XPS 及び XRD 測定を行った。XRD は、X 線侵入長が~150 nm となる入射角 0.4° の in-plane 測定から(020)回折角を求め、格子定数 b を算出した。

[結果及び考察] Fig.1 は横軸に XRD により決定した格子定数 b 、縦軸に XPS による Ga^* の割合をとったものである。まず、 Ga_2O_3 基板のみの試料(w/o SiO_2)については XPS で観察される酸素欠損が多いほど、XRD で算出される格子定数が伸長する傾向がある。これは、酸素空孔が導入されると格子定数が伸長する[3]との報告と定性的に一致し、w/o SiO_2 ではアニール温度が高いほど、酸素の脱離反応が導入反応に比べてより優勢になり、酸素欠損が増大すると理解される。

一方で、 SiO_2 を成膜した試料(w/ SiO_2)は、w/o SiO_2 に比べて同程度の格子定数の割に XPS で検出される酸素欠損が多い。XPS が XRD よりも表面敏感なことを踏まえると、

この結果は w/o SiO_2 と w/ SiO_2 は深さ~150 nm 程度の領域では同程度の酸素欠損が存在するが、< 2 nm 程度の界面付近に限定すると w/ SiO_2 の方が酸素欠損は多く存在すると解釈できる。これは XPS の結果から Ga_2O_3 表面から SiO_2 側へ酸素の移動が起こるという前回応物の考察[2]と矛盾しない。また、アニール未処理の試料(w/o annealing)については、化学洗浄後の表面に酸素欠損が生じていることが、XRD 及び XPS 双方の結果から示されている。

[結論] In-plane XRD で決定した $\beta\text{-Ga}_2\text{O}_3$ 格子定数のアニール処理や SiO_2 成膜、化学洗浄等の表面処理に伴う変化には XPS で推定した酸素欠損の変化と相関がみられ、特に SiO_2 成膜に伴って表面ごく近傍で生じる酸素欠損の影響を考慮して説明可能である。[1] K. Kita et al, ECS. Trans. **92**, 59 (2019). [2] 片桐他, 第 71 回応用物理学会秋季学術講演会, 25p-52A-4 (2024).[3] L. Dong, et al., Scientific Reports. **7** 40160 (2017).

[謝辞] プラズマ酸化は NIMS 微細加工ユニットにて実施された。

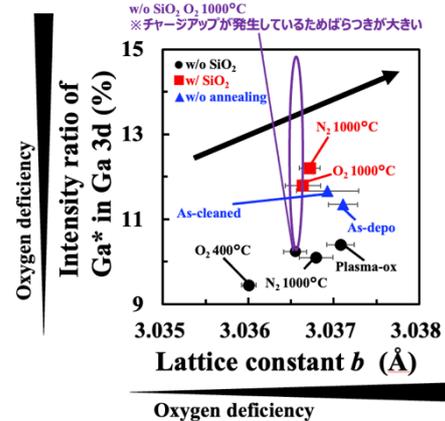


Fig.1 Relationship between intensity ratio of Ga^* in $\text{Ga}3d$ XPS and the lattice constant b .

β -Ga₂O₃ FinFET によるパワーFOM 1.23 GW/cm²の実証

Demonstration of β -Ga₂O₃ FinFET with power figure of merit of 1.23 GW/cm²

ノベルクリスタルテクノロジー ○脇本 大樹, 林家弘, 江間 研太郎, 上田 悠貴,
宮本 広信, 佐々木 公平, 倉又 朗人

Novel Crystal Technology

○D. Wakimoto, C.-H. Lin, K. Ema, Y. Ueda,

H. Miyamoto, K. Sasaki, and A. Kuramata

E-mail: daiki.wakimoto@novelcrystal.co.jp

β -Ga₂O₃はその高い絶縁破壊電界強度から、SiCやGaNを超える低損失パワーデバイスの実現が期待されている。これまでにfinが1本のシングルFinFET構造において耐圧1605V、オン抵抗5.5 m Ω ·cm²、power figure of merit (PFOM) 0.47 GW/cm²、finが複数本のマルチFinFET構造において耐圧2655V、オン抵抗25.2 m Ω ·cm²、PFOM 0.28 GW/cm²が報告されている。^[1,2]今回、マルチFinFETのゲート電極端部にMgイオン注入による高抵抗ガードリング構造を設け、 β -Ga₂O₃ FETにおけるPFOMの世界最高値1.23 GW/cm²を達成したので報告する。

試作したマルチFinFETの構造をFig.1に示す。n型 β -Ga₂O₃基板上にハライド気相成長法によりドナー濃度 7.5×10^{15} cm⁻³、膜厚55 μ mのホモエピタキシャル層を形成し、ドライエッチングにより微細fin構造を設けた。Mgを総注入量 3.43×10^{14} cm⁻²イオン注入したのち、1050度、30分のアニール処理を行った。ゲート絶縁膜は原子層堆積法を用いてSiO₂を50 nm成膜した。フィールドプレート絶縁膜はプラズマTEOS-CVDにて500 nm厚で形成した。ゲート電極はCr、ソース電極およびドレイン電極はTi/Auを用いた。

作製したマルチFinFETのドレイン電流密度-ドレイン電圧特性をFig.2に、オン抵抗-耐圧の関係性をFig.3に示す。耐圧測定はソース電極とゲート電極に0V、ドレイン電極に正電圧を印加して行った。Fin幅0.2 μ m、fin長さ70 μ m、finピッチ5 μ m、fin本数10本、ゲート長3.2 μ mのFinFETにおいて、しきい値+1.1V、最大電流密度217 A/cm²、特性オン抵抗21.6 m Ω ·cm²、耐圧5150V、PFOM 1.23 GW/cm²を達成した。 β -Ga₂O₃にかかる最大電界強度は3.72 MV/cmと見積られた。なお、電流密度及び特性オン抵抗はソース電極面積(50 μ m \times 60 μ m)で規格化した値である。

本研究は、防衛装備庁が実施する安全保障技術研究推進制度JPJ004596の支援を受けたものである。

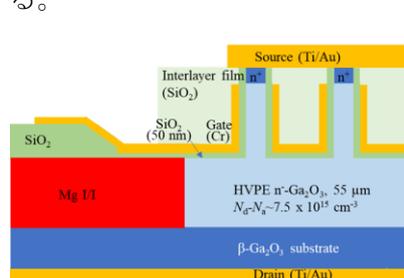


Fig. 1. β -Ga₂O₃ FinFET structure.

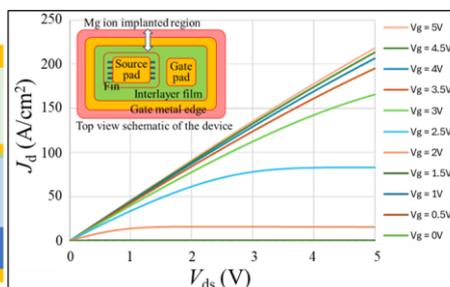


Fig. 2. J - V characteristics.

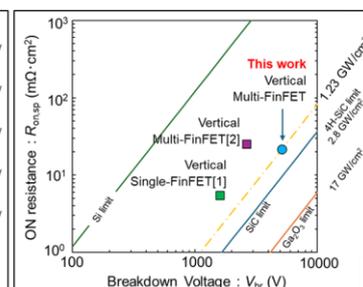


Fig. 3. V_{br} and $R_{on,sp}$ benchmark.

[1] Z. Hu *et al.*, 2019 31st ISPSD, (2019).

[2] W. Li *et al.*, IEEE IEDM Tech. Dig., p. 270 (2019).

高周波 Ga₂O₃ ショットキーバリアダイオードを活用した 24 GHz マイクロ波無線電力伝送用レクテナ回路設計

Design of Rectenna Circuit Using High-Frequency Ga₂O₃ Schottky Barrier Diodes for Applications
to 24-GHz Microwave Wireless Power Transmission

大阪公立大院工¹, レーザーシステム², 情通機構³

○(M1) 末廣 雄大¹, (M2) 江口 輝生¹, (B) 田端 悠大¹, 堤 卓也¹, 大野 泰夫^{1,2},
東脇 正高^{1,3}

Osaka Metropolitan Univ.¹, Laser Systems Inc.², NICT³ ○Yudai Suehiro¹, Kohki Eguchi¹,
Yuto Tabata¹, Takuya Tsutsumi, Yasuo Ohno^{1,2}, and Masataka Higashiwaki^{1,3}

E-mail: sj24898h@st.omu.ac.jp

近年、様々な分野での実用が期待され、マイクロ波無線電力伝送技術の研究開発が活発化している。マイクロ波電力受電部レクテナ回路の RF/DC 変換効率 (η) は、同回路を構成するショットキーバリアダイオード (SBD) の性能に強く依存し、 η の向上には式(1)で表されるダイオード損失 [= オン時の直列抵抗 (R_{ON}) とオフ時の容量 (C_{OFF}) の積] を小さくすることが重要である。

$$R_{ON}C_{OFF} = \frac{V_{OUT}}{\mu E_c^2} \quad (V_{OUT}: \text{最大印加電圧}, \mu: \text{電子移動度}, E_c: \text{絶縁破壊電界}) \quad (1)$$

式(1)から、高い E_c を有する Ga₂O₃ を材料とするダイオードをレクテナ回路に用いることによって、受電部の低損失・高効率化が期待される [1]。我々は、マイクロ波無線電力伝送システムの受電部で使用するレクテナ回路用高周波 Ga₂O₃ SBD の構造設計を、デバイスシミュレータ (Silvaco ATLAS) を用いて行った。結果、SBD 単体でのカットオフ周波数は、アノード電極半径 (r) に強く依存することが明らかとなった。本研究では、デバイスシミュレーションで得た r と n^+ -Ga₂O₃ アクセス層のキャリア濃度 (n_{access}) が異なる Ga₂O₃ SBD のデバイス特性から、回路シミュレータ (AWR Microwave Office) を用いてレクテナ定電圧負荷回路の η を導出したので報告する。

Figure 1 に、本研究で用いたレクテナ回路図を示す。最初に、高周波 Ga₂O₃ SBD の電流-電圧、および容量-電圧特性を $r = 1, 2, 4, 7, 10 \mu\text{m}$, $n_{access} = 3 \times 10^{19}, 1 \times 10^{20}, 4 \times 10^{20} \text{cm}^{-3}$ の条件でデバイスシミュレータを用いて求め、得られた値を SPICE パラメータに変換した。なお、電子移動度は $40 \text{cm}^2/\text{Vs}$ とした [2]。次に、同パラメータを Fig. 1 に示す回路上のダイオード D_1, D_2 に代入し、24 GHz における η の P_{in} 依存性を求めた (Fig. 2)。 $n_{access} = 3 \times 10^{19} \text{cm}^{-3}$ の時、 η 最大値は r が小さいほど高くなり、 $r = 1 \mu\text{m}$ では 78.37% (@ $P_{in} = -7 \text{dBW}$) となった。また、 $n_{access} = 1 \times 10^{20}, 4 \times 10^{20} \text{cm}^{-3}$ では $r = 2 \mu\text{m}$ で η は極大値を取り、それぞれ 80.19% (@ $P_{in} = -2 \text{dBW}$), 80.76% (@ $P_{in} = -2 \text{dBW}$) となった。なお、 $n_{access} = 4 \times 10^{20} \text{cm}^{-3}$ では、 r に関わらず約 80% と高い η 最大値が見込まれる。これは、受電部で想定される P_{in} に対して r を最適化することによって、ダイオード単体で高い η が得られることを示している。以上のシミュレーション結果から、Ga₂O₃ SBD がマイクロ波無線電力伝送応用に対して高いポテンシャルを有することが確認された。

本研究は、総務省 ICT 重点技術の研究開発プロジェクト (JPMI00316) 次世代省エネ型デバイス関連技術の開発・実証事業 (第二期) (環境省連携事業) の委託を受け実施した。

[1] 江口 他、第 71 回春季応用物理学会講演予稿集、25a-52A-8 (2024)。

[2] K. R. Gann *et al.*: J. Appl. Phys. **135**, 015302 (2024)。

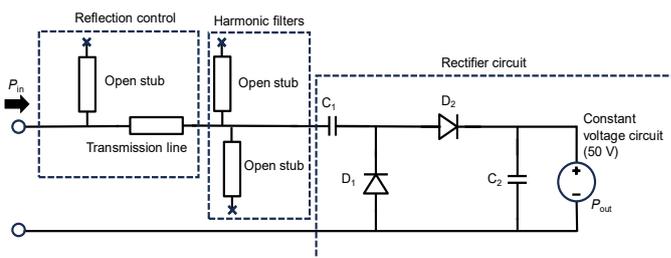


Fig. 1 Rectenna circuit diagram with constant voltage load circuit used for simulation.

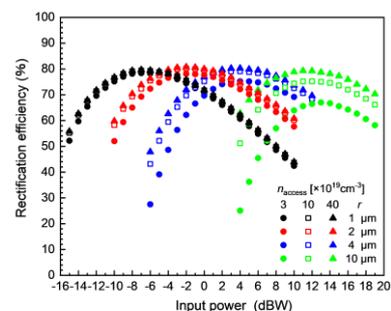


Fig. 2 P_{in} dependence of η in the rectenna constant voltage load circuit.

ルチル構造二酸化ゲルマニウム($r\text{-GeO}_2$)の ショットキーバリアダイオード特性

Characteristics of rutile-type GeO_2 Schottky barrier diode.

清水悠吏^{1,2}, 大島孝仁³, 衣斐豊祐^{1,4}, 高橋勲¹, 金子健太郎^{1,4}

Patentix 株式会社¹, 立命館大理工², 物材研³, 立命館大学半導体応用研究センター⁴

Y. Shimizu^{1,2}, T.Oshima³, T.Ibi^{1,4}, I.Takahashi¹, K. Kaneko^{1,4}

Patentix Inc.¹, Col. of Sci. & Eng. Ritsumeikan Univ.², NIMS³, RISA.⁴

E-mail: y.shimizu@patentix.co.jp

近年、 AlN 、 α 、 $\beta\text{-Ga}_2\text{O}_3$ などの GaN 以上のバンドギャップをもつ超ウルトラワイドバンドギャップ半導体のパワーデバイス応用研究が注目されている。その中でも当研究グループではルチル構造をもつ二酸化ゲルマニウム($r\text{-GeO}_2$)に着目している。 $r\text{-GeO}_2$ はバンドギャップが 4.68 eV であり、 p 型 n 型の両伝導が理論的に予測されているため^[1]、normally-off 型 MOSFET など汎用的な電力変換素子への応用が期待できる。これまで $r\text{-GeO}_2$ と二酸化スズ ($r\text{-SnO}_2$)との混晶薄膜によるショットキーバリアダイオード(SBD)動作が報告されているが^[2]、 $r\text{-SnO}_2$ との混晶化ではバンドギャップが小さくなり、絶縁破壊電界が低減するという課題があった。本研究ではこれまで報告例が無かった $r\text{-GeO}_2$ 単相膜での SBD 動作について実証研究を行ったため報告する。

絶縁性の酸化チタン($r\text{-TiO}_2$)(001)基板に、大気圧 CVD 法を用いて $r\text{-GeO}_2$ 膜の結晶成長を行った。その際、 n 型ドーパントである Sb のドーピング量を調整する事により $n+r\text{-GeO}_2$ 層と $n\text{-}r\text{-GeO}_2$ 層を形成し、リソグラフィプロセスと電子線ビーム(EB)蒸着法によりショットキー電極とオーミック電極を形成し、ドライエッチング法により $r\text{-GeO}_2$ 層のエッチングを行い、疑似縦型構造の SBD 素子を形成した。

X 線回折測定 of $2\theta/\theta$ スキャン測定から、作製した $r\text{-GeO}_2$ 薄膜は基板である $r\text{-TiO}_2$ に対して(001)面に配向しており、エピタキシャル成長している事が確認された。電流-電圧(I - V)測定結果より、ON/OFF 比が約 7 桁のショットキー特性が確認できた。発表当日は ON/OFF 比が約 10 桁の整流性が確認されたデバイスの詳細な構造評価と電気特性評価の結果と併せて言及する予定である。文科省 ARIM 事業 (JPMXP1224NM5062) を通じて、NIMS 微細加工ユニットを利用した。

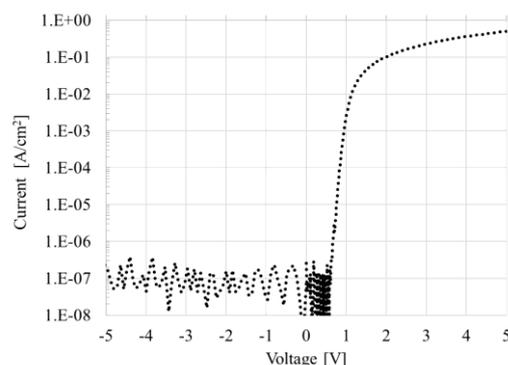


Fig.1 I - V characteristic of the $r\text{-GeO}_2$ quasi-vertical SBD.

[1] S. Chae, *et al.* Appl. Phys. Lett. 114, 102104 (2019).[2] H.Takane, *et al.* Appl.Phys. Express 17, 011008 (2024).

トレンチ階段状フィールドプレートを有する 縦型 β -Ga₂O₃ ショットキーバリアダイオード

Vertical β -Ga₂O₃ Schottky Barrier Diodes With Trench Staircase Field Plate

情通機構¹, 東京農工大院工², 大阪公立大院工³

◦クマール サンディーブ¹, 村上 尚², 熊谷 義直², 東脇 正高^{1,3}

NICT¹, Tokyo Univ. of Agriculture and Technology², Osaka Metropolitan Univ.³

◦Sandeep Kumar¹, Hisashi Murakami², Yoshinao Kumagai², Masataka Higashiwaki^{1,3}

E-mail: sandeep@agnitsemi.com, mhigashi@nict.go.jp

We are gradually transitioning into the era of artificial intelligence (AI), and since AI systems consume significant power, extensive adoption will require the use of energy-efficient wide-bandgap and ultra-wide-bandgap power device technologies as alternatives to traditional Si-based power electronics.

β -Ga₂O₃, an ultra-wide bandgap semiconductor, boasts a higher Baliga's figure of merit compared to well-established materials like Si, GaN, and SiC, thanks to its wider bandgap [1]. Consequently, the widespread adoption of Ga₂O₃ devices holds significant potential for advancing energy-efficient technologies leading to reduction in greenhouse gas emissions. Additionally, the automotive sector, particularly electric bikes and cars, is expected to drive substantial demand for energy-efficient power systems, where Ga₂O₃ devices can play a pivotal role.

Recently, Ga₂O₃ Schottky barrier diodes (SBDs) have been explored to increase a breakdown voltage (V_{BR}) with keeping a low on-resistance (R_{on}) by employing various types of edge termination structures. Previously, we demonstrated SBDs utilizing a N-implanted guard ring as the edge termination region, achieving an R_{on} of 4.7 m Ω ·cm² and a V_{BR} of 1.4 kV [2]. The performance of the guard ring is influenced by the dopant concentration and the thickness of the ring. However, the thickness of the N-doped guard ring was constrained by the ion implantation process, making it challenging to further increase the V_{BR} using this approach.

To address this limitation, we investigated an alternative design incorporating deep trenches filled with SiO₂ as the edge termination region, combined with a staircase field plate. A key advantage of the trench-based edge termination is the ability to adjust the trench depth to achieve a specific V_{BR} . Furthermore, the use of high-k dielectric materials in the trench region is expected to enhance a V_{BR} by reducing the electric field in the trench region. Main challenges in implementing the trench SBDs lie in deep trench etching and planarization processes. The fabricated devices demonstrated a commendable R_{on} of 7.6 m Ω ·cm² and a V_{BR} of 1.66 kV, effectively validating the proposed design concept [3]. Moving forward, trench SBDs with varying trench depths and dielectric materials should be explored to further enhance device performance.

This work was supported by MIC under a grant entitled "R&D of ICT Priority Technology (grant No. JPMI00316): Next-Generation Energy-Efficient Semiconductor Development and Demonstration Project (in collaboration with MOEJ)."

[1] M. Higashiwaki *et al.*, Jpn. J. Appl. Phys. **55**, 1202A1 (2016). [2] C.-H. Lin *et al.*, IEEE Electron Device Lett. **40**, 1487 (2019). [3] S. Kumar *et al.*, Appl. Phys. Express **15**, 054001 (2022).