

シンポジウム(口頭講演) | シンポジウム：【一般公開】実装技術アラカルトII：最先端半導体実装技術と将来展望

📅 2025年3月15日(土) 13:30 ~ 17:30 📍 K101 (講義棟)

[15p-K101-1~9] 【一般公開】実装技術アラカルトII：最先端半導体実装技術と将来展望

木下 啓藏(アイオーコア)、井上 史大(横国大)

13:30 ~ 13:35

[15p-K101-1]

オープニング

○井田 次郎^{1,2} (1.金沢工大、2.JSAPシリコンテクノロジー分科会幹事長)

13:35 ~ 14:05

[15p-K101-2]

半導体実装技術の概論

○菅沼 克昭¹ (1.阪大産研・フレキシブル3D実装協働研究所)

14:05 ~ 14:35

[15p-K101-3]

High Bandwidth Memory(HBM)におけるChip-Package Interaction

○横井 直樹¹ (1.マイクロンメモリジャパン)

14:35 ~ 15:05

[15p-K101-4]

集積デバイス熱設計

○内田 建¹ (1.東大工)

15:05 ~ 15:35

[15p-K101-5]

2.xD/3D集積・パッケージング技術

○栗田 洋一郎¹ (1.東京科学大学)

15:55 ~ 16:25

[15p-K101-6]

光電融合デバイス実装

○那須 秀行¹ (1.古河電工)

16:25 ~ 16:55

[15p-K101-7]

量産実績を持つOKI独自の異種材料接合技術CFBとその未来への展望

○鈴木 貴人¹ (1.沖電気)

16:55 ~ 17:25

[15p-K101-8]

モビリティの進化に向けた車載機器の動向と実装・パッケージ構造

○三宅 敏広¹ (1.車載エレ実装研)

17:25 ~ 17:30

[15p-K101-9]

クロージング

○中塚 理^{1,3}、宮下 桂^{2,3} (1.名大、2.東芝デバイス&ストレージ、3.JSAPシリコンテクノロジー分科会副幹事長)

半導体実装技術の概論

Packaging Technology for Advanced Semiconductors

阪大産研・フレキシブル3D実装協働研究所 ○菅沼克昭

Osaka Univ.

E-mail: suganuma@sanken.osaka-u.ac.jp

今日、世界中で先端半導体とパワー半導体の製造に於いて、後工程（Packaging）に焦点が当てられている。生成 AI の進化とエネルギー問題の克服の2つがその背景に存在するのはもちろんであるが、後工程が品質だけでなく性能・信頼性と省エネの鍵を握るからである。いずれも市場の急速な拡大に合わせ、世界的な政治摩擦が生じて技術開発に拍車が掛けられ、それぞれの国や地域における法制度変革が進み競い合う状態にある。日本においてもこの状況は同様で、半導体技術開発に関するニュースは日々もたらされ、一般の人々にも「半導体」の重要性は周知の状況になっている。本講演では、主として先端半導体の後工程について、現状を簡単に紹介したい。

半導体後工程技術は、Si そのものの微細化と同時に次世代の先端半導体市場を左右する中心となる技術であり、その目指す方向は大きく分けるとデータセンターなど向けの HPC 半導体と車載の自動運転などへ向けたエッジ AI 半導体になるだろう。HPC 向けではマルチチップを搭載するパッケージはますます大きくなり、Si ダイ間の通信速度の向上、エネルギーロスの低減、放熱特性の向上、そして、生産性（歩留まり）の改善などの多項目が技術の争点になる。一方、エッジ AI 半導体では、上記に加え信頼性の確保とコスト低減が必須の要求に加わるだろう。

過去に培ってきた半導体産業の名残から、パッケージングの材料とプロセスに強い日本の半導体産業であるが、データセンターや PC、スマートフォンなど HPC ユーザーが国内に激減する今日、将来に渡って技術開発を持続的に継続させるためには、今日強い自動車産業で要求される先端 AI 半導体を世界に先行して開拓する効果的な戦略の設定が望まれる。

下図には、先端 AI 半導体開発において重要な技術要素の概要を模式的に示した。パッケージ内部には至る所に異相界面が形成され、その材料、形成プロセス、評価技術を含めた統合的な開発が望まれる。本講演では、まず日本と世界の現状をまとめ、パッケージング技術においてどのような課題があり開拓すべきかの方向について議論したい。

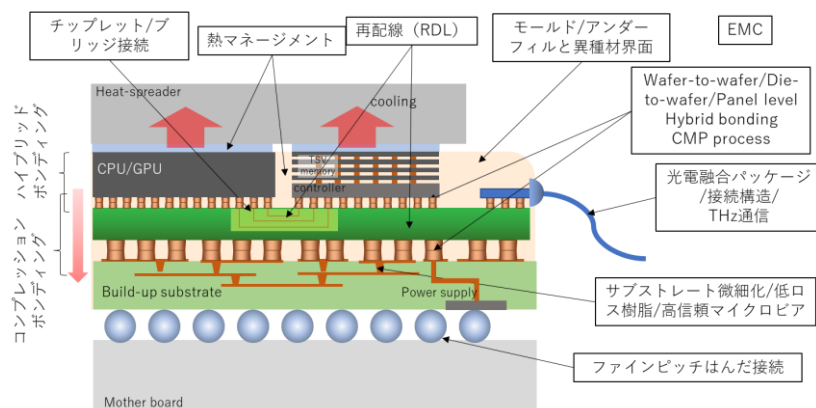


図 先端半導体に必要な開発技術要素模式図。

High Bandwidth Memory (HBM) における Chip-Package Interaction

Chip-Package Interaction on High Bandwidth Memory (HBM)

マイクロンメモリジャパン ○横井 直樹

Micron Memory Japan ○Naoki Yokoi

E-mail: nyokoi@micron.com

HBM(High Bandwidth Memory)はプロセッサとともに SiP(System in Package)に組み込まれる、高速、大容量、低消費電力の DRAM(Dynamic Random Access Memory) 製品である。生成 AI(Artificial Intelligence)やディープラーニングに使われるプロセッサと組み合わせることが多いため、近年急速に市場が拡大している。

HBM は複数の DRAM チップと、これらを制御する、インターフェイスと呼ばれるロジックチップを積層して構成されており、チップ同士は TSV(Through Silicon Via)を介して接続されている。HBM の製造工程は、シリコンウェハプロセスから、チップ同士の接続のための電極を形成するバンピングを経て、チップ同士を積層する組み立てまで、通常の DRAM 製品に比べて複雑である。

Figure 1 には、HBM を用いた SiP の作製の概要を示す。HBM の特徴は、シリコンインターポーザを介したプロセッサとの接続である。インターポーザは、シリコンプロセスを用いて高密度の配線層を形成したチップであり、プロセッサと HBM の間的高速、大容量の通信を可能としてい

る。プロセッサと複数の HBM は、まずこのインターポーザ上に配置され、更にインターポーザがパッケージ基板上に搭載される構造となっている。同図に示すように、HBM の完成後も、最終製品である SiP の完成に至るまでには、複数の企業に関する複雑な工程を経る必要がある。

このような複雑な SiP の製造においては、上流のプロセスが下流の工程で不良を発生させたり、下流の工程のプロセスが完成したデバイスに悪影響を与えたりすることがないように、工程間で緊密に連携する必要がある。DRAM メーカーにおける HBM の製造工程でも、シリコンウェハプロセスとバンピング、組み立ての各工程が密接に関わり合う、垂直統合(Vertical Integration)が重視される。

本講演では、HBM の特徴、構成、製造の概要を述べるとともに、主にシリコンウェハプロセスの観点から、チップ積層時の外力の影響、熱負荷の制限、ウェハとチップの反りと言った、組み立て工程との相互作用(Chip-Package Interaction)に焦点を当て、HBM の製造における課題を議論する。

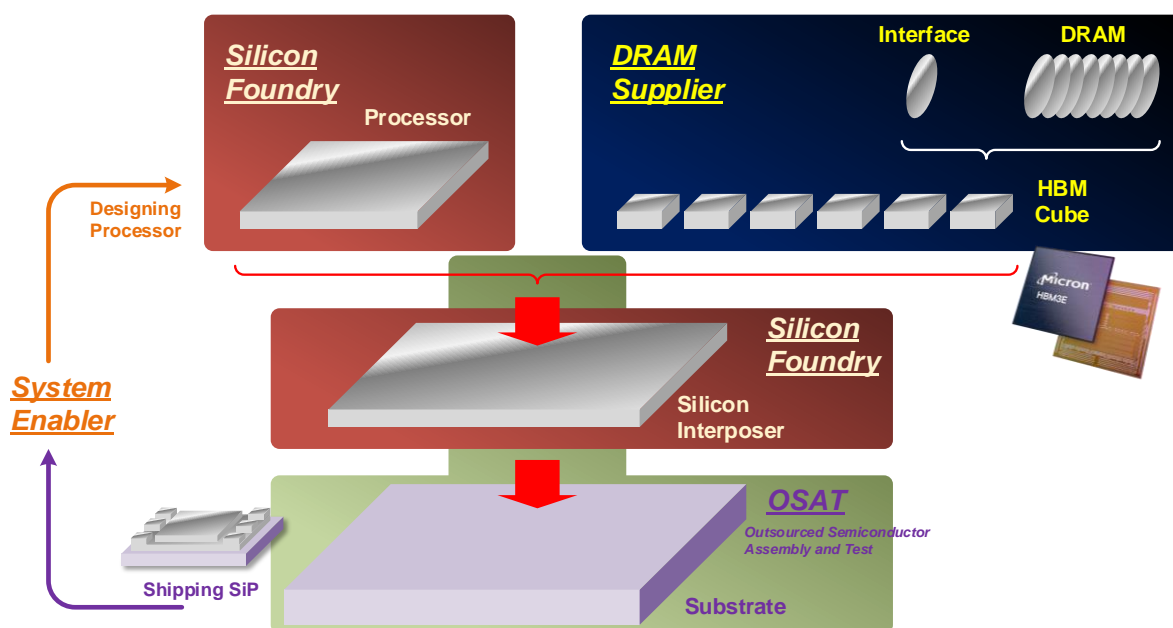


Figure 1 HBM を用いた SiP 製造の概要。

集積デバイス熱設計

Thermal-aware Device Design of Integrated MOS Transistors

東大工, ○内田建

Faculty of Engineering, The Univ. of Tokyo, ○Ken Uchida

E-mail: uchidak@material.t.u-tokyo.ac.jp

CMOS 集積回路の集積度を向上するために、トランジスタの微細化が引き続き追求されている。2025 年に量産が開始される 2nm 世代ではゲート長 15nm のナノシートトランジスタの導入が見込まれている。さらに、2028 年に量産される 1.5nm 世代では、p 型ナノシートトランジスタと n 型ナノシートトランジスタが縦に積み重なる CFET 構造が SRAM で導入される見込みである。また、ロジックの要素素子となるナノシートの積層数は 1 デバイスあたり 4 層に増加する。このように、世代ごとにデバイス構造、デバイス集積化方法に大きな変革が見込まれており、デバイス技術的には大変革の時を迎えている。特に、従来の LSI では、熱伝導率が非常に良い Si の上にデバイスが作製されていた。そのため、デバイスからの排熱の多くは、Si 基板を通してヒートシンクでなされており、自己加熱の影響は、立体構造デバイスである FinFET ではある程度の上昇は見込まれるものの、あまり大きな問題とはならなかった。しかし、CFET のような構造では、デバイスの下にさらに別のデバイスが存在するため、排熱に関してより注意深く考慮する必要がある。本発表では、自己加熱がデバイス特性に及ぼす影響について、SOI トランジスタと FinFET の場合について我々のデータを紹介する。そのことを通じてデバイス近傍からの排熱について議論をする。

デバイスからの排熱は、基本的には 1) 基板への排熱と 2) 配線による排熱に大きく分けることができる。ここで重要なことは、配線への排熱は、配線方向に熱伝導率がよい配線材料を通して横方向に流れながら、配線から基板へ垂直方向に排熱がなされていることである。基板へ逃げた熱は、最終的にはヒートシンクで回収される。従って、基板への排熱が非常に重要であり、配線の実効的な熱抵抗は、層間絶縁膜を含めた立体構造で決定される[1]。熱抵抗を考える上で層間膜を含めた立体構造が重要なことは、ビアにおいても同様である。また、配線材料は微細化による界面散乱の増大により電気的な抵抗率が上昇する。そのため、Wiedemann-Franz 則から予測されるように熱伝導率は低下し、配線の排熱能力も低減する。微細構造における熱伝導率の低下は、半導体材料ではより深刻である。10 nm 厚のシリコンの熱伝導率は、バルクシリコンの熱伝導率の 1/10 程度にすぎない。このように、微細化が進展すると、トランジスタ周辺の排熱能力は、あらゆる要素において低下をする傾向にある。その一方で、デバイスに投入されるエネルギー密度は上昇するため、デバイスにおいて時空間的に熱が局在化する傾向はますます増加する。横方向への排熱、縦方向への排熱を実現する新規材料の導入が FEOL, BEOL において必要となる可能性がある。また、デバイスレベルでも熱に配慮した構造設計により、性能が向上する可能性がある[2,3]。

デバイスの動作時の昇温を評価する方法は、1) 4 端子構造のゲート電極を利用しゲート抵抗の温度依存性を用いる方法[4]、2) 昇温に伴う過渡特性を評価する方法[5]などが挙げられる。チャンネル幅 1 μm あたり 1mW の電力を導入したときには、100°C前後の温度上昇となることが FinFET で試算されている。また、同様の電力投入を SOI トランジスタに行った場合には、埋込酸化膜厚が厚い場合には 100°C程度、6nm 程度と薄い場合にも 40°C程度の温度上昇が実験的にも確認されている。

これから市場に登場する Gate-All-Around 型ナノシート構造のデバイスにおいても、実験的な温度上昇の評価と、デバイス周囲の熱抵抗の見積もり、またこれらの整合性を確認することは高信頼性のトランジスタを作製する上では不可欠であると考えられる。

[1] T. Takahashi *et al.*, *Jpn. J. Appl. Phys.*, 52, 064203, 2013.

[2] T. Takahashi *et al.*, *IEEE Electron Devices Meeting*, 2011. doi: 10.1109/IEDM.2011.6131672

[3] T. Takahashi *et al.*, *Jpn. J. Appl. Phys.*, 52, 04CC03, 2013.

[4] T. Takahashi *et al.*, *IEEE J. Elec. Dev. Soc.*, 4, 365, 2016.

[5] N. Beppu *et al.*, *IEEE Electron Devices Meeting*, 2012. doi: 10.1109/IEDM.2012.6479120

光電融合デバイス実装

Packaging Technologies for Photonics and Electronics Convergence Devices

那須秀行¹

¹Photonics Lab., Furukawa Electric Co., Ltd.

E-mail: hideyuki.nasu@furukawaelectric.com

近年、SNS (Social Networking Service)や高画質な動画配信サービスが普及し、生成 AI (Artificial Intelligence)等の新しいサービスが導入されたことで、IP トラフィックは右肩上がりに増大している。これに伴い、データセンタ内の信号伝送容量も増大しており、ネットワークスイッチ装置の帯域拡大が求められている。これまで、スイッチ ASIC (Application Specific Integrated Circuit)の帯域は、2年毎に倍に拡大しており、102.4 Tb/s スイッチ ASIC が近い将来リリースされる見込みである。また、AI/ML (Machine Learning)に必要なとされる帯域は2年で35倍と急速に拡大している。

一方、スイッチ ASIC や AI/ML に用いられる GPU (Graphics Processing Unit)は大きな電力を消費する。したがって、帯域拡大に伴い、光リンクの大容量化が求められる一方で、消費電力の増大が懸念されている。そこで、CPO (Co-Packaged Optics)の導入が期待されている。

図1は光電融合技術の進展を示すイメージ図である。図中の左からCPOの第1世代から始まり、右に進展していくことが予想されている。CPOの第1世代のリンクエネルギーは12 pJ/bitの実現が目標とされている。次に、LSIと光トランシーバが一つの光電子集積パッケージになり、複数の光電子集積パッケージがボード上に配置され、互いに通信することが予想されている。さらなる広帯域化と省電力化が期待され、1レーン当たりの信号速度は200 Gb/s以上かつリンクエネルギーは5 pJ/bitに到達することが予想されている。さらに、その先に進展すると光集積回路と電子集積回路がデバイスレベルで融合していくことが期待され、光信号を入力し、光信号を出力する全光スイッチを採用することが期待される。さらに、光信号を入力し、その信号を元に演算処理をすることも求められる。現在、電子集積回路は高い演算能力を実現しており、さらに日々進展している。演算処理を電子集積回路で行い、光集積回路から演算結果を出力する構成が期待される。一方で、光集積回路による演算も研究開発が進んでおり、全て光化する構成も将来的に実現する可能性がある。この段階におけるリンクエネルギーは1 pJ/bit以下が目標とされている。

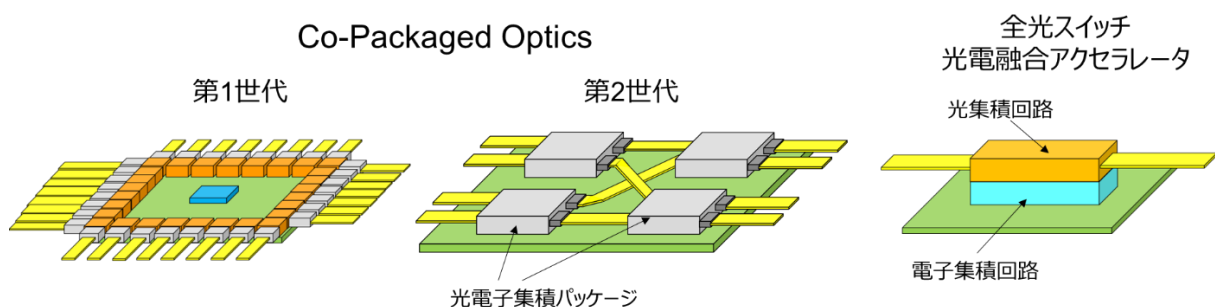


図1 光電融合技術の進展

量産実績を持つ OKI 独自の異種材料接合技術 CFB とその未来への展望

Mass Production Achievements and Future Prospects of OKI's Proprietary CFB

Technology for Heterogeneous Integration

沖電気工業株式会社¹, [○]鈴木 貴人¹

Oki Electric Industry Co., Ltd.¹, [○]Takahito Suzuki¹

E-mail: suzuki448@oki.com

これまで半導体の進化をけん引してきた微細化技術にも陰りが見え始め、チップレットなどの複合化技術の潮流が活況となっている[1]。中でも、Si 基板上に形成された光配線上に、化合物半導体からなる光半導体を異種材料接合することで実現する光電融合技術は、データセンターにおける消費電力問題を解決するコア技術として注目されている[2]。しかし、異種材料接合技術の社会実装のためには、異なる物性値や異なるウェハサイズの擦り合わせ、さらに異種材料接合ウェハを流動するインフラ整備など、様々な課題が山積している。

今回の発表では、上記課題を克服し、2006年に世界に先駆けて量産化に成功した OKI 独自の異種材料接合技術「Crystal Film Bonding (CFB)」を紹介する。OKI の電子写真プリンターに搭載するプリントヘッドの課題には、その高いコスト構造があった。そこで、その課題解決を目指し、GaAs からなる LED アレイチップと Si からなるドライバー IC をモノリシックに集積する異種材料接合技術 CFB を開発した (Fig. 1)。そして CFB の導入により、プリントヘッドの実装チップ数、金ワイヤー数、GaAs 使用量を大幅に削減し、そのコスト構造の改善に成功した (Fig. 2)。さらに、CFB の特長を活かし、LED の取り出し効率を改善し、電子写真プリンターの消費電力も削減した。そして、量産開始から今日に至るまで 1,000 億ドットを超える LED 出荷実績を持ちながら、出荷後における LED 剥がれ報告が 1 ドットもない程、CFB は安定性と信頼性が担保された異種材料接合技術へと成長を遂げた。

現在、OKI は CFB の特長とその量産実績を活かし、様々なパートナーとオープン・イノベティブに活動することで、アナログ半導体を有機的に結合させ、それらの付加価値を向上させる取り組みを行っている。当日は、それらの取り組みを踏まえながら、CFB が目指す未来への展望も紹介する。[1]西田 秀行, エレクトロニクス実装学会誌 (2024), 27 (1), 59-70 [2]竹村 浩一, エレクトロニクス実装学会 (2024), 27 (6), 527-532

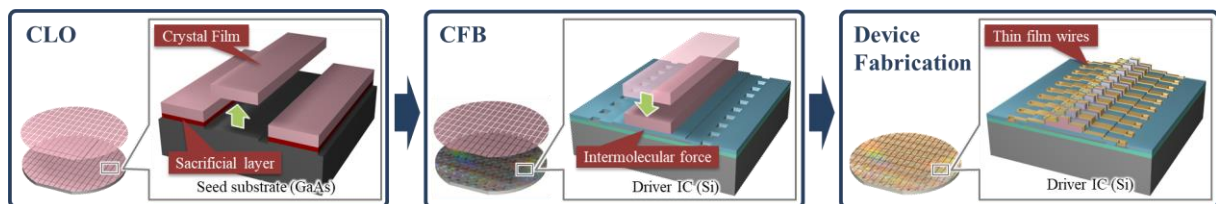


Fig. 1 Process flow diagram of CFB technology for mass production of LED driver chips

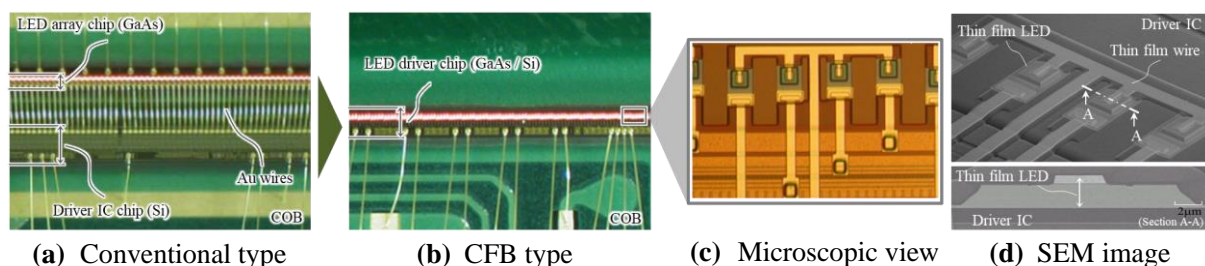


Fig. 2 Mass production record of LED driver chips

モビリティの進化に向けた車載機器の動向と実装・パッケージ構造

Trends in in-vehicle equipment and their mounting and packaging structures for the evolution of mobility

車載エレクトロニクス実装研究所¹, 三宅敏広¹

In-Vehicle Packaging Research¹, Toshihiro Miyake¹

E-mail: toshihiro.miyake@i-vpr.com

1. はじめに

モビリティビジネスにおいては、100年に一度と言われる変革が進んでいる。従来は車の製造販売が中心のビジネスであったが、モビリティサービスを提供するビジネスやサービスのためのプラットフォームを提供するビジネスへ拡大してきている (MaaS: Mobility as a Service)。これに伴い、自動車のIoT化、知能化、電動化が進み、自動車技術はCASE (Connected、Autonomous、Shared & Service、Electric) と呼ばれる大きな方向性に向かって進化している (コネクテッド、自動運転、シェアリング&サービス、電動化)。

2. C, A, S (コネクテッド、自動運転、シェアリング) に向けた車載機器と実装・パッケージ構造

コネクテッドシステムの通信機器は、情報通信システムの大容量・高速通信対応と共に統合化が進んでいる。半導体は、一例としてコネクテッドゲートウェイ機能などを持つチップが SoC (System On Chip) パッケージ構造で搭載されるようになってきている。冷却構造としては、ケース側に TIM (Thermal Interface Material) を介して接触された構造になっている。

AD-ECU (自動運転 ECU) においても、CPU (Central Processing Unit)、GPU (Graphics Processing Unit)、DLA (Deep Learning Accelerator) などが SoC として集約されたパッケージが搭載された大規模な回路となっている。冷却構造としては、強制空冷や水冷の構造も必要となっており、実際に採用されている。今後はさらなる機器の統合化に向けて、より大型で発熱量の大きいパッケージ実装部の信頼性確保や、より低熱抵抗の放熱構造が課題となる。

3. E (電動化) に向けた車載機器と実装・パッケージ構造

電源システムとしてバッテリーおよびそのマネジメント ECU、電力変換システムとしてモータジェネレータ (MG: Motor Generator) を制御・駆動するパワーコントロールユニット (PCU: Power Control Unit)、DC-DC コンバータなどの充電・変電系の機器の、高出力密度化、小型・軽量化が進んでいる。また、トランスアクスル (減速機)、モータ、及び PCU が一体化した e-Axle 等へのモジュール化が進んでいる。そのため、制御・駆動回路部においては、ロジック回路とパワー回路・電気回路全体の小型・高出力密度化が求められる。出力密度を高めるためには、半導体を接続する配線経路を短くする実装構造もスイッチング損失の低減に有効であり、表面実装モジュール構造やパワー半導体内蔵構造なども検討されている。